



サンケン電気株式会社



3相ブラシレスモータコントローラ IC
A4915MLP/A4915MET
データシート

2014年4月 Ver.1.3
MCD 事業部 低圧モータグループ

本資料は、アレグロマイクロシステムズ社製 3 相ブラシレスモータコントローラ A4915MLP/A4915MET に関する製品の特徴、ご使用方法等をまとめたものです。

本資料は、アレグロマイクロシステムズ社からの情報を日本語のアプリケーションとして作成したものです。最新の情報に関しては、弊社担当部門まで問い合わせ願います。

〔目次〕

1. はじめに.....	3
2. 特徴.....	3
3. セレクションガイド.....	4
3.1. 型番命名規則.....	4
4. 製品仕様.....	5
4.1. 絶対最大定格.....	5
4.2. 電気的特性.....	6
5. 外形図.....	8
5.1. 28ピン eTSSOP パッケージ.....	8
5.2. 28ピン eQFN パッケージ.....	9
6. 内部ブロック図&Pin 配列.....	10
6.1. 内部ブロック図.....	10
6.2. Pin 配列.....	11
7. 応用回路例.....	12
8. 機能説明.....	14
8.1. 基本動作.....	14
8.2. DIR.....	14
8.3. ENABLE.....	15
8.4. SPEED.....	16
8.5. BRAKEen.....	17
8.6. VREG.....	18
8.7. FAULT.....	18
8.8. Fault Reset.....	19
8.9. LSS.....	19
8.10. CA, CB, CC.....	19
8.11. GHA, GHB, GHC.....	19
8.12. SA, SB, SC.....	19
8.13. GLA, GLB, GLC.....	19
8.14. CP1, CP2.....	19
8.15. TSD.....	19

8.16. HA, HB, HC.....	19
8.17. Dead Time	20
8.18. スリープモード.....	21
8.19. Center Aligned PWM	21
8.20. Internal/External PWM.....	21
8.21. Synchronous Rectification	22
8.22. CP1, CP2, VREG	22
8.23. Gate Drive and R_{GATE}	22
8.24. Boot Charge Management	23
8.25. 真理値表	23
8.26. コミュテーション表	24
8.27. ブートコンデンサの選定について.....	24
8.28. VREG コンデンサの選定について	24
9. アプリケーション情報.....	25
9.1. 参考基板レイアウト図.....	25
9.2. Ground.....	26
9.3. Layout.....	26
10. 動作波形図	27
10.1. PWM100% 駆動時	27
10.2. PWM85%駆動時	28
11. パッケージの熱抵抗について	29

1. はじめに

A4915 は PWM 電流制御機能を内蔵した 3 相ブラシレス DC モータコントローラです。本製品は高いゲート駆動能力を有しており、広範囲における N チャネルパワー MOSFET を駆動できます。

A4915 は内部にチャージポンプ回路を有しており、電源電圧 7V からの駆動が可能です。また、条件によっては 5V からの駆動も可能です。

ブートストラップコンデンサは、ハイサイドの N チャネルパワー MOSFET を駆動するためのゲート電圧を作り出します。

A4915 は、同期整流回路を有しています。

この同期整流回路の特徴は、PWM の OFF 期間 (電流回生期間) において、外付けパワー MOSFET のボディダイオードに流れていた回生電流をショートすることです (この間、回生電流は外付けパワー MOSFET のソースからドレインに向かって流れます)。

これにより、外付けパワー MOSFET の損失を減らし、本来必要とされていた外付けクランプダイオードを削除でき、さらにはより最適な外付けパワー MOSFET の選択が可能です。

また、A4915 の保護機能として、低電圧保護回路、ラッチ式過熱保護回路および貫通電流防止回路を有しています。

A4915 を起動するにあたり、特別な電源シーケンスは不要です。

A4915 は、裏面に放熱用シンク Tab を有した 28 ピン eTSSOP パッケージの A4915MLP-T、28 ピン eQFN パッケージ (5mm×5mm×0.9mm) の A4915MET-T があります。

いずれのパッケージも鉛フリーで、100%スズメッキをしているリードフレームです。

2. 特徴

- 電源電圧範囲 5V~50V
- ラッチ式過熱保護回路と Flag 出力機能内蔵
- 大電流の外付け N チャネルパワー MOSFET 駆動可能
- 外付けパワー MOSFET の損失を低減する同期整流機能内蔵
- アナログ入力-PWM Duty 変換回路内蔵
- Center Aligned PWM 採用
- 低電圧保護機能内蔵
- ホール IC 入力
- 貫通電流防止のための時間調整可能なデッドタイム機能搭載
- 低消費電力スリープモード (電池用途対応)

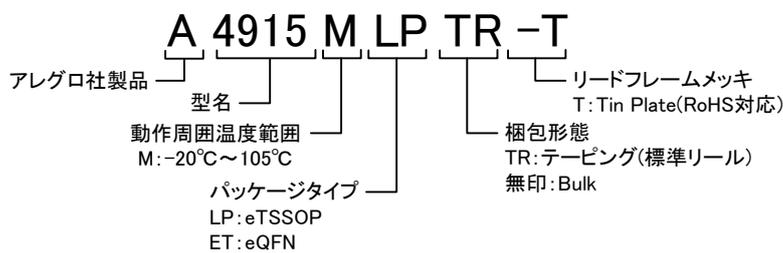


3. セレクションガイド

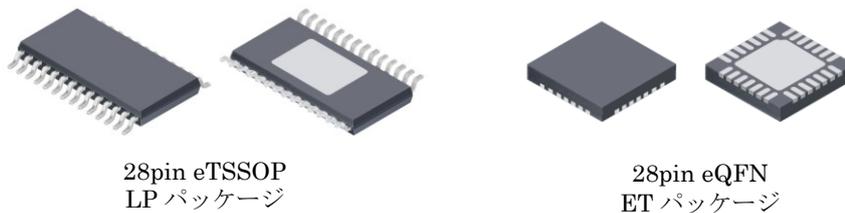
Parts No.	パッケージ	最小梱包単位	梱包状態	対応
A4915MLPTR-T	28pin eTSSOP	4,000	リール(標準)	量産時
A4915MLP-T		1	スティック または IC ケース	サンプル時
A4915METTR-T	28pin eQFN	1,500	リール(標準)	量産時
A4915MET-T		1	スティック または IC ケース	サンプル時

※リール対応は、量産出荷のみの対応となります。サンプルは、スティックまたは IC ケースでの提供のみとなります。

3.1. 型番命名規則



製品外観イメージ(not to scale)



4. 製品仕様

4.1. 絶対最大定格

絶対最大定格 (T_j=25°C)

項目	記号	規格値	単位	備考
主電源電圧	V _{BB}	-0.3~50	V	
ロジック電源電圧	V _{DD}	-0.3~6	V	
VREG端子電圧	V _{REG}	-0.3~16	V	
CP1端子電圧	V _{CP1}	-0.3~16	V	
CP2端子電圧	V _{CP2}	V _{CP1} -0.3~V _{REG} +0.3	V	
Logic入力電圧	V _I	-0.3~6	V	
ホール入力電圧	V _H	-0.3~6	V	
Logic出力電圧	V _O	-0.3~6	V	
SPEED入力	V _{SPEED}	-0.3~6	V	
CA,CB,CC端子電圧	V _{CX}	-0.3~V _{REG} +50	V	
GHA,GHB,GHC端子電圧	V _{GHX}	V _{CX} -16~V _{CX} +0.3	V	
SA,SB,SC端子電圧	V _{SX}	V _{CX} -16~V _{CX} +0.3	V	
GLA,GLB,GLC端子電圧	V _{GLX}	V _{REG} -16~18	V	
ジャンクション温度(*)	T _J	150	°C	
保存温度	T _{stg}	-55~150	°C	
動作周囲温度	T _a	-20~105	°C	

(*) ジャンクション温度(T_J)が+150°Cを越すような異常条件下で使用した場合、デバイス内のサーマルシャットダウン回路が動作しますが、このような条件下での使用は極力避けて下さい。

4.2. 電気的特性

(特に断りなき場合、 $T_j=25^\circ\text{C}$ 、 $V_{BB}=24\text{V}$)

Supply and Reference

特性項目 Characteristics	記号 Symbol	定格 Limits			単位 Units	試験条件 Test Conditions
		MIN	TYP	MAX		
主電源電圧	V_{BB}	5	-	50	V	動作状態、出力Active
主電源電流	I_{BB}	-	10	20	mA	$f_{ENB} \sim 30\text{kHz}$, $C_{LOAD}=10\text{nF}$
		-	12	24	mA	$f_{PWM} \sim 20\text{kHz}$, $C_{LOAD}=10\text{nF}$
		-	3	3.5	mA	$V_{REG}=13\text{V}$, 出力Disable
		-	-	1	μA	スリープモード
ブートダイオード順方向電圧	V_{fBOOT}	0.4	0.7	1.0	V	$I_D=10\text{mA}$
		1.5	2.2	2.8	V	$I_D=100\text{mA}$
ブートダイオード電流制限	I_{DBOOT}	250	500	750	mA	
ロジック電源電圧	V_{DD}	3	-	5.5	V	
ロジック入力電流	I_{DDQ}	-	6	10	mA	ENABLE=High, 出力Disable
	I_{DDS}	-	-	10	μA	スリープモード
ENABLE端子入力電流(スリープ)	I_{ENBSLP}	-	-	1	μA	ENABLE=Low, SPEED=Low > t_{SLEEP}
SPEED端子入力電流(スリープ)	$I_{SPEEDSLP}$	-	-	1	μA	ENABLE=High, SPEED=Low > t_{SLEEP}
BRAKE _n 端子入力電流(スリープ)	$I_{BRAKESLP}$	-	-	1	μA	ENABLE=Low > t_{SLEEP}
DIR端子入力電流(スリープ)	I_{DIRSLP}	-	-	1	μA	ENABLE=Low > t_{SLEEP}
ENABLE端子入力周波数	f_{ENB}	1	-	100	kHz	$V_{SPEED}=V_{DD}$
内部PWM周波数	f_{PWM}	14	20	26	kHz	$V_{ENABLE}=V_{DD}$
SPEED端子入力電圧範囲	V_{RANGE}	0	-	V_{DD}	V	
SPEED disable電圧	V_{SPEEDD}	10	15	20	%	V_{SPEED}/V_{DD} , Duty=0%
SPEED Enable電圧	V_{SPEEDE}	79	82	86	%	V_{SPEED}/V_{DD} , Duty=100% ¹
SPEED端子バイアス電流	I_{SPEED}	-25	0	25	μA	$V_{SPEED}=V_{DD}=5\text{V}$
V_{REG} 出力電圧	V_{REG}	11.8	13	13.75	V	$V_{BB}=9\text{V}$
		11.5	13	13.75	V	$V_{BB}=7.5\text{V}$
		2* V_{BB} -3.5	-	-	V	$V_{BB}=6\text{V}$
		8.0	9.5	-	V	$V_{BB}=5.5\text{V}$

Protection

過熱保護動作温度	T_{TSD}	155	170	185	$^\circ\text{C}$	温度上昇時
V_{REG} 低電圧保護電圧	V_{REGON}	7	7.8	8.6	V	V_{REG} Rising
	V_{REGOFF}	6.39	7.1	7.81	V	V_{REG} Falling
V_{REG} 低電圧保護ヒステリシス	V_{REGHYS}	-	700	-	mV	
ブートストラップ低電圧保護電圧	V_{BOOTUV}	55	-	65	%	V_{REG} に対する割合
ブートストラップ低電圧保護ヒステリシス	$V_{BOOTUVHYS}$	-	20	-	%	V_{REG} に対する割合
V_{DD} 低電圧保護電圧	V_{VDDUV}	-	2.75	2.95	V	V_{DD} Rising
V_{DD} 低電圧保護電圧	V_{VDDUV}	2.45	2.6	-	V	V_{DD} Falling
V_{DD} 低電圧保護ヒステリシス	$V_{VDDUVHYS}$	50	100	150	mV	
スリープ解除ディレイ	t_{WAKE}	-	-	3	ms	

1 出力デューティはデッドタイムにより制約を受けます。

※ Typ データは設計情報として使用して下さい。

(特に断りなき場合、 $T_j=25^{\circ}\text{C}$ 、 $V_{BB}=24\text{V}$)

Gate Drive

特性項目 Characteristics	記号 Symbol	定格 Limits			単位 Units	試験条件 Test Conditions
		MIN	TYP	MAX		
ハイサイドゲート出力電圧	V_{GSH}	$V_{CX}-0.2$	-	-	V	ブートストラップ充電状態、 $C_{LOAD}=10\text{nF}$
	V_{GSL}	-	-	$V_{SX}+0.3$	V	$I_{gate}<10\mu\text{A}$
ローサイドゲート出力電圧	V_{GSH}	$V_{REG}-0.2$	-	-	V	$V_{REG}=13\text{V}$, $C_{LOAD}=10\text{nF}$
	V_{GSL}	-	-	0.3	V	$I_{gate}<10\mu\text{A}$
ゲートドライブプルアップ抵抗	$R_{Gate(ON)UP}$	6	9	12	Ω	$T_j=25^{\circ}\text{C}$, $I_{GHX}=-150\text{mA}$
		-	17	-	Ω	$T_j=125^{\circ}\text{C}$, $I_{GHX}=-150\text{mA}$
ゲートドライブプルダウン抵抗	$R_{Gate(ON)DOWN}$	2.4	3.5	4.6	Ω	$T_j=25^{\circ}\text{C}$, $I_{GHX}=150\text{mA}$
		-	5	-	Ω	$T_j=125^{\circ}\text{C}$, $I_{GHX}=150\text{mA}$
GHx端子プルダウン固定抵抗	R_{GHPD}	-	5	-	$\text{k}\Omega$	$V_{GHx}-V_{SX}<0.3\text{V}$
GLx端子プルダウン固定抵抗	R_{GLPD}	-	5	-	$\text{k}\Omega$	$V_{GLx}-V_{LSS}<0.3\text{V}$
出力スイッチング時間	t_{rGX}	-	200	-	ns	20% to 80%, $C_{LOAD}=10\text{nF}$
	t_{fGX}	-	150	-	ns	80% to 20%, $C_{LOAD}=10\text{nF}$
デッドタイム (OFFからONのデレイ)	t_{DEAD}	10	-	-	ns	$T_{DEAD}=\text{GND}$
		-	150	-	ns	$R_{DEAD}=12\text{k}\Omega$
		800	925	1050	ns	$R_{DEAD}=64\text{k}\Omega$
		-	2.9	-	μs	$R_{DEAD}=220\text{k}\Omega$

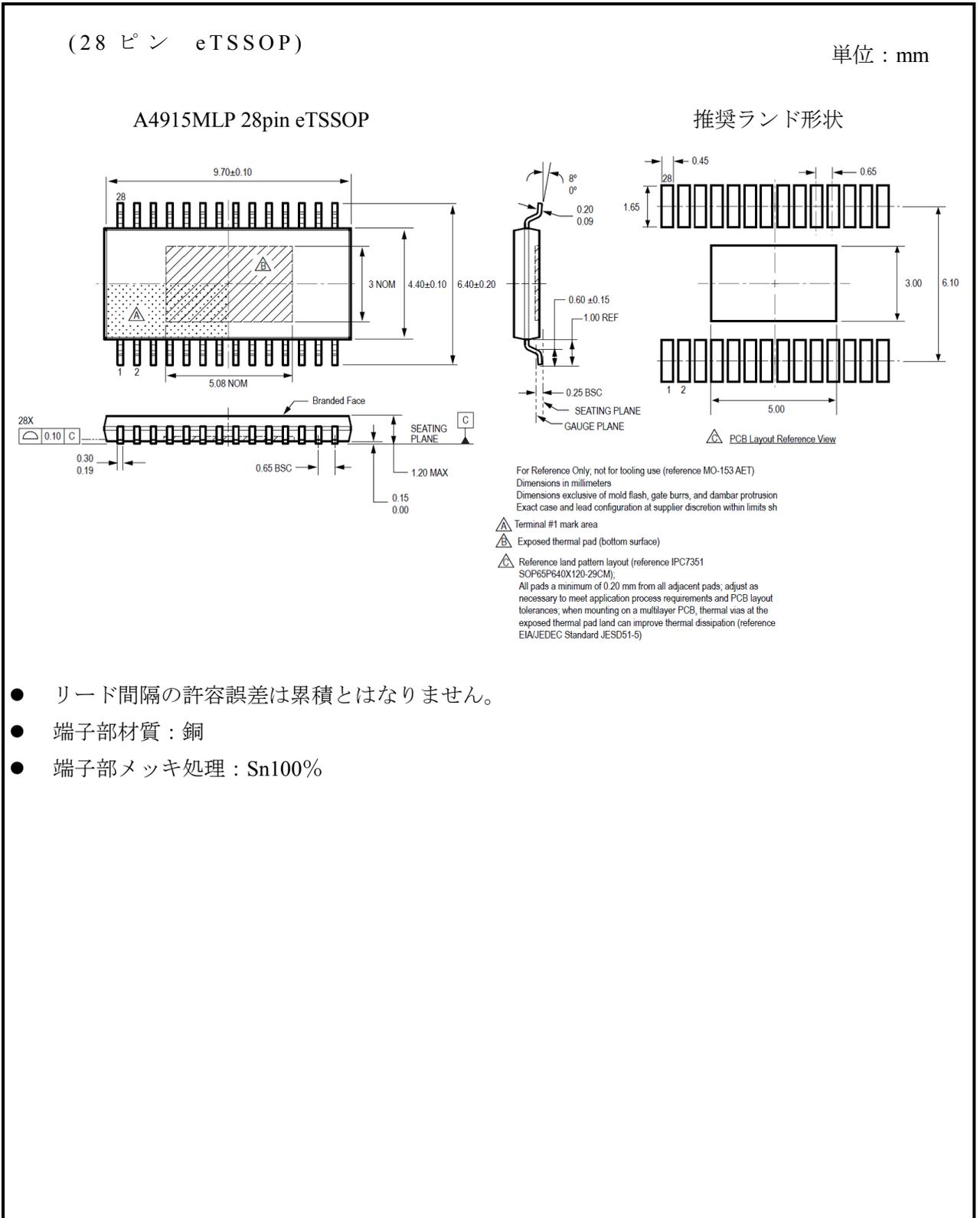
Logic I/O

ロジック入力電圧	$V_{IN(1)}$	$0.7V_{DD}$	-	-	V	BRAKE _n , DIR, ENABLE HA, HB, HC
	$V_{IN(0)}$	-	-	$0.3V_{DD}$	V	
ロジック入力電流	$I_{IN(1)}$	-	10	-	μA	$V_{IN}=\text{High}$
	$I_{IN(0)}$	-1	0	1	μA	$V_{IN}=\text{Low}$, ENABLE=Low
Fault出力電圧	V_{Fault}	-	-	0.2	V	No Fault Present; $I_{SINK}=1\text{mA}$
ENABLE/SPEED スリープタイマー	t_{SLEEP}	1	2	3	ms	ENABLE=Low, SPEED=High
		1	2	3	ms	ENABLE=High, SPEED=Low
SPEED端子スリープ閾値電圧	$SPEED_{STH}$	-	-	295	mV	Speed=Low> $>t_{SLEEP}$
Faultラッチリセット電圧	V_{RESET}	-	-	0.8	V	Fault Present; 出力ラッチ状態
Faultラッチリセットパルス時間	t_{FAULT}	12	-	-	μs	Fault Present; 出力ラッチ状態
ホール入力プルアップ抵抗	R_{Hx}	-	100	-	$\text{k}\Omega$	$V_{IN}=0\text{V}$
ホール入力電流	I_{HALL}	-	0	1	μA	$V_{IN}=5\text{V}$
ロジック入力プルダウン抵抗	R_{LPD}	-	50	-	$\text{k}\Omega$	$V_{IN}=5\text{V}$, ENABLE, DIR, BRAKE _n
ロジック入力電流(スリープ時)	I_{LSLP}	-	-	1	μA	ENABLE, DIR, BRAKE _n
伝播遅延時間	$t_{Pd(ON)}$	-	-	1200	ns	DIR or BRAKE _n Input to output change, $C_{LOAD}=0\text{nF}$
		-	-	900	ns	ENABLE Input to output change, $C_{LOAD}=0\text{nF}$
	$t_{Pd(OFF)}$	-	-	1200	ns	DIR or BRAKE _n Input to output change, $C_{LOAD}=0\text{nF}$
		-	-	900	ns	ENABLE Input to output change, $C_{LOAD}=0\text{nF}$
入カグリッチフィルタ	t_{Glitch}	-	-	900	ns	ENABLE
		-	-	1000	ns	DIR, BRAKE _n

※ Typ データは設計情報として使用して下さい。

5. 外形図

5.1. 28ピン eTSSOP パッケージ



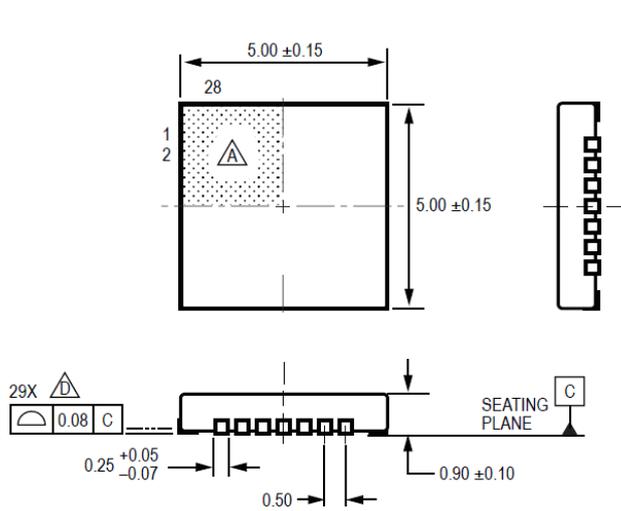
- リード間隔の許容誤差は累積とはなりません。
- 端子部材質 : 銅
- 端子部メッキ処理 : Sn100%

5.2. 28ピン eQFN パッケージ

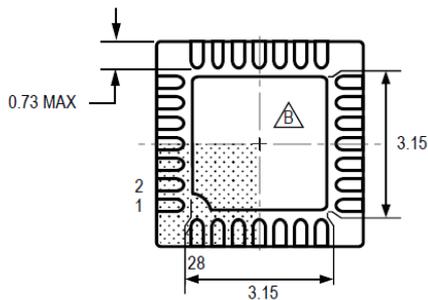
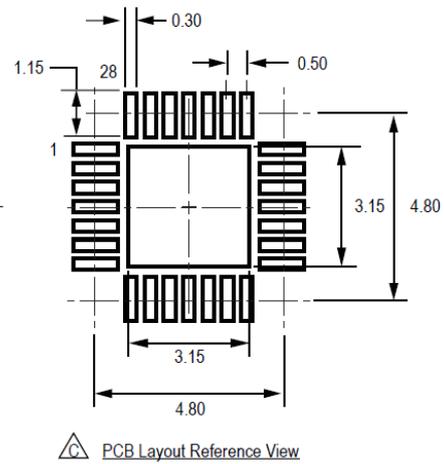
(28ピン eQFN)

単位：mm

A4915MET 28pin eQFN



推奨ランド形状



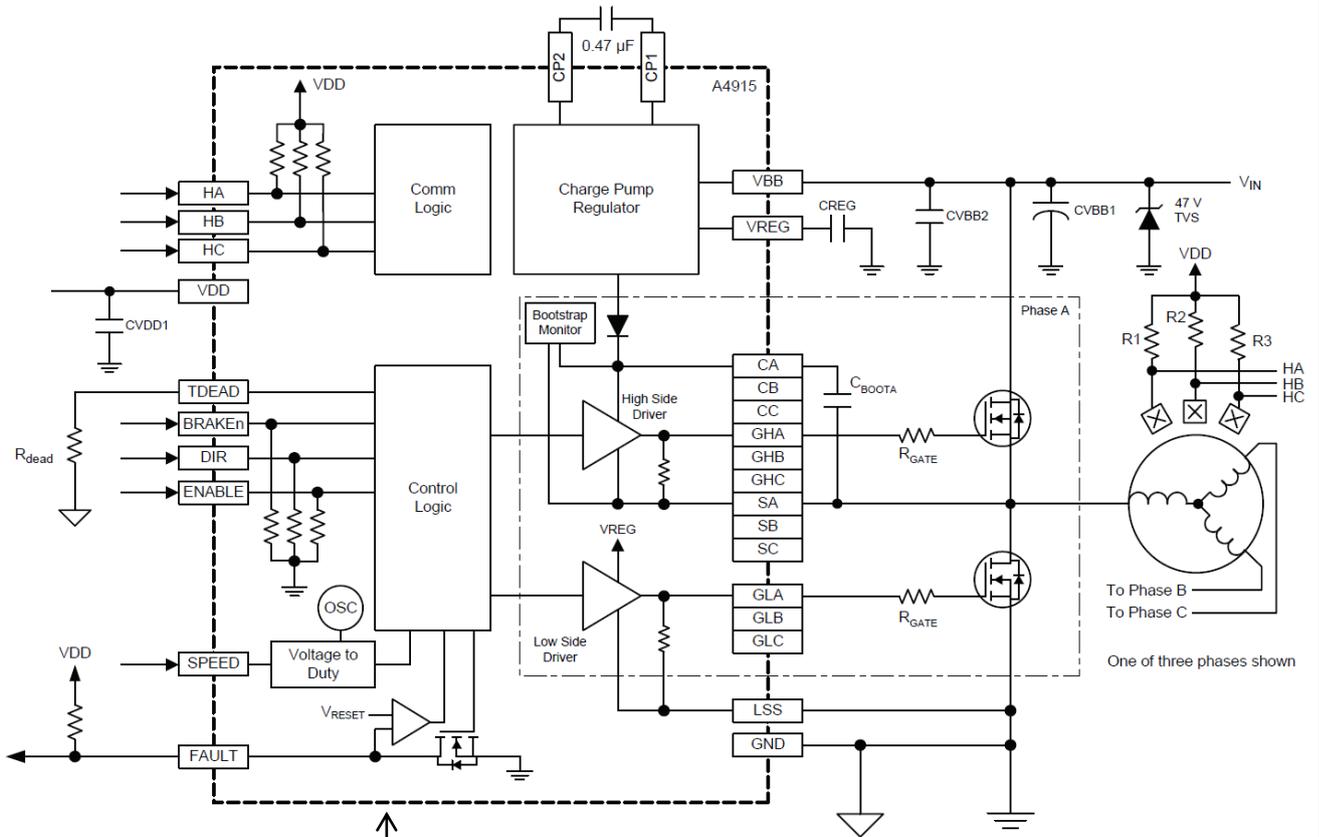
For Reference Only; not for tooling use
(reference JEDEC MO-220VHHD-1)
Dimensions in millimeters
Exact case and lead configuration at supplier discretion within limits shown

- △ Terminal #1 mark area
- △ Exposed thermal pad (reference only, terminal #1 identifier appearance at supplier discretion)
- △ Reference land pattern layout (reference IPC7351 QFN50P500X500X100-29V1M); All pads a minimum of 0.20 mm from all adjacent pads; adjust as necessary to meet application process requirements and PCB layout tolerances; when mounting on a multilayer PCB, thermal vias at the exposed thermal pad land can improve thermal dissipation (reference EIA/JEDEC Standard JESD51-5)
- △ Coplanarity includes exposed thermal pad and terminals

- リード間隔の許容誤差は累積とはなりません。
- 端子部材質：銅
- 端子部メッキ処理：Sn100%（ただし、側面はメッキ処理されておりません）

6. 内部ブロック図 & Pin 配列

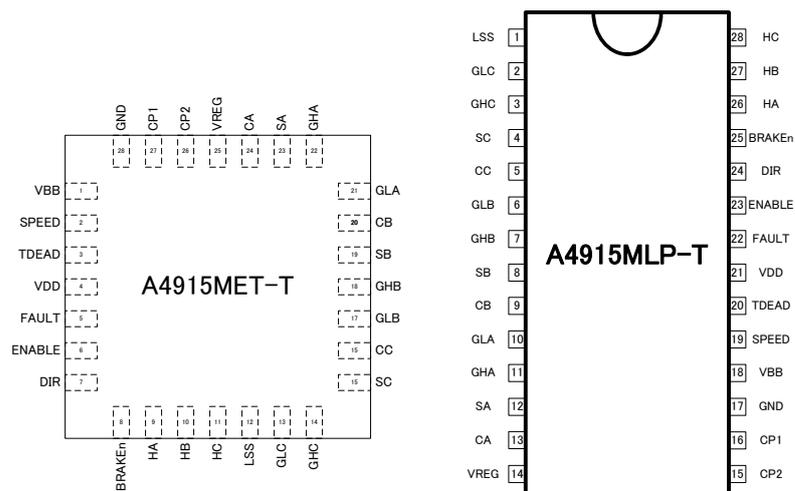
6.1. 内部ブロック図



本点線より外側は、外付け部品および回路を示します。

6.2.Pin 配列

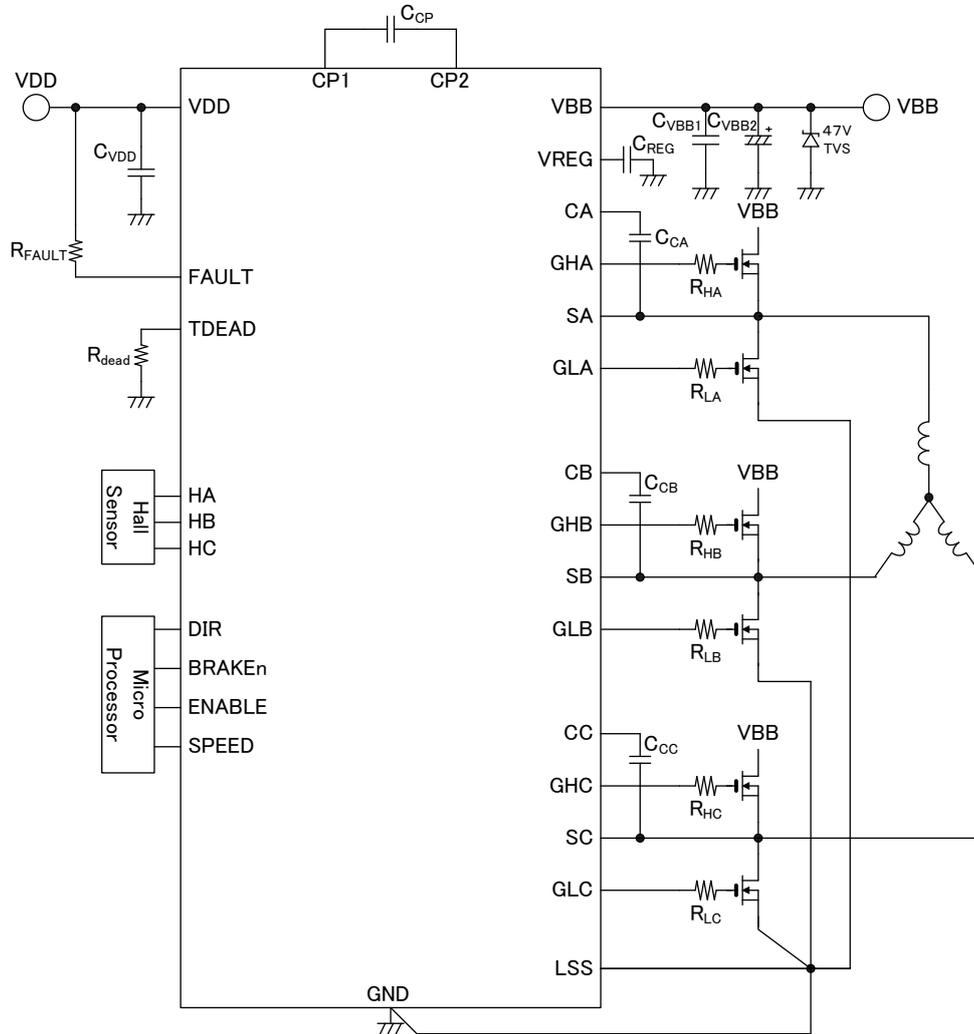
記号	機能	A4915MET-T	A4915MLP-T
VBB	モータ電源入力端子	1	18
SPEED	基準アナログ電圧入力端子	2	19
TDEAD	デッドタイム設定端子	3	20
VDD	ロジック電源入力端子	4	21
FAULT	異常状態出力端子	5	22
ENABLE	PWM制御入力端子	6	23
DIR	回転方向切り替え端子	7	24
BRAKE _n	ブレーキ入力端子	8	25
HA	A相ホールIC入力端子	9	26
HB	B相ホールIC入力端子	10	27
HC	C相ホールIC入力端子	11	28
LSS	センス端子	12	1
GLC	C相ローサイドゲート端子	13	2
GHC	C相ハイサイドゲート端子	14	3
SC	C相モータ出力端子	15	4
CC	C相ブートストラップ出力端子	16	5
GLB	B相ローサイドゲート端子	17	6
GHB	B相ハイサイドゲート端子	18	7
SB	B相モータ出力端子	19	8
CB	B相ブートストラップ出力端子	20	9
GLA	A相ローサイドゲート端子	21	10
GHA	A相ハイサイドゲート端子	22	11
SA	A相モータ出力端子	23	12
CA	A相ブートストラップ出力端子	24	13
VREG	ゲートドライブ出力端子	25	14
CP2	チャージポンプ組み上げ端子2	26	15
CP1	チャージポンプ組み上げ端子1	27	16
GND	グランド端子	28	17



7. 応用回路例

図 7-1 に応用回路例を示します。

図 7-1: 応用回路例



☆ 参考定数

- C_{VBB1} : 0.1 μ F/63V
- C_{VBB2} : 1000 μ F/63V
- C_{REG} : 0.68 μ F/25V
- C_{CP} : 0.47 μ F/25V
- C_{VDD} : 0.1 μ F/10V
- $C_{CA} \sim C_{CC}$: 0.033 μ F/63V
- R_{FAULT} : 10k Ω (1/8W)
- R_{dead} : 12k Ω ~ 220k Ω (1/8W)
- $R_{HA} \sim R_{HC}$: 10 Ω ~ 100 Ω (1/8W)
- $R_{LA} \sim R_{LC}$: 10 Ω ~ 100 Ω (1/8W)

- 特に V_{BB} ラインのノイズに注意して下さい。
 V_{BB} ラインには必ず製品の直近にバイパスコンデンサ C_{VBB1} および電解コンデンサ C_{VBB2} を挿入して下さい。
 C_{VBB1} および C_{VBB2} は、PCB による配線インピーダンス(スルーホールなども含む)をできるだけ避けるために、製品と同一面に挿入されることが望ましいです。
- コンデンサ容量 $C_{VDD}, C_{VBB1}, C_{VBB2}$ の選定について
 $C_{VDD}, C_{VBB1}, C_{VBB2}$ はノイズ除去を目的としたコンデンサになります。
応用回路例にてこれらのコンデンサの容量値を推奨値として掲載しておりますが、容量値の選定につきましては、ユーザー様における実働確認において十分検証を行った上でご判断ください。
- コンデンサ容量 $C_{REG}, C_{CA} \sim C_{CC}$ の選定について
応用回路例にてこれらのコンデンサの容量値を推奨値として掲載しておりますが、容量値の選定につきましては、「8.27 ブートコンデンサの選定について」および「8.28 VREG コンデンサの選定」についてを参考にしてください。

8. 機能説明

8.1. 基本動作

A4915 は大電流 MOSFET に対応した 3 相ブラシレス DC モータコントローラです。電池駆動を想定したアプリケーションにも対応しており、モータ電圧が低電圧においても動作いたします。

A4915 は低消費電流スリープモードを有しており、このスリープモードによりデバイスを OFF 状態にしたうえで消費電流を最小限に抑えます。

A4915 は 6 個の N チャンネルパワー MOSFET を駆動できます。

A4915 は外部 PWM に対する ENABLE, DIR, および BRAKE_n を含めた論理回路を内蔵しています。

SPEED 端子にて内部 PWM 機能を使用することができます。内部 PWM 周波数は 30kHz になります。

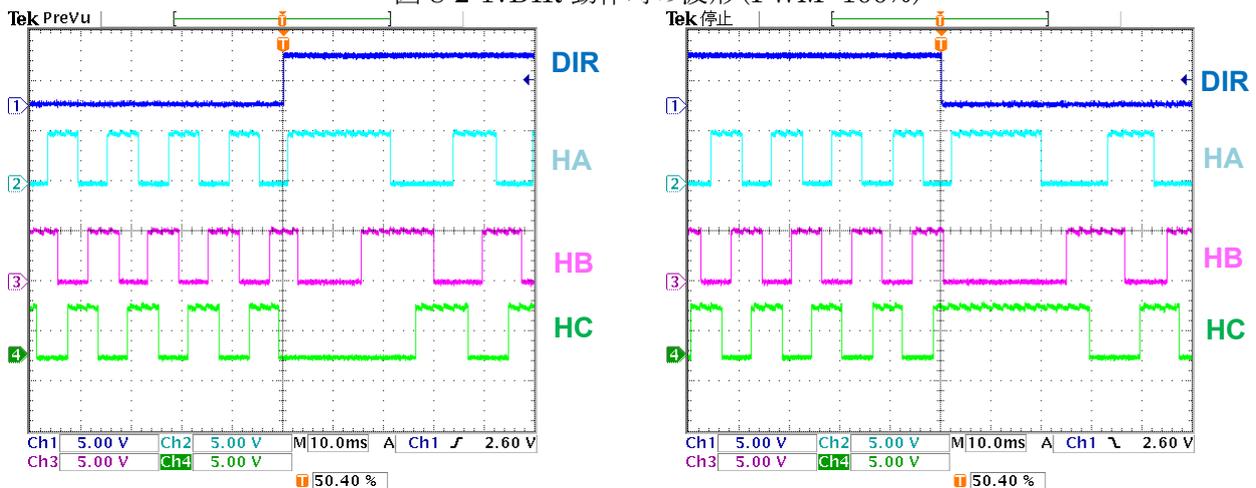
PWM デューティについては、SPEED 端子に入力されるアナログ電圧 (0~VDD) により制御されます。

8.2. DIR

DIR 端子は 3 つの Bridge のコミュテーション方向を決める端子です (表 8-25-1 のコミュテーション表を参照ください)。

図 8-2-1 に DIR 動作時の波形を示します。

図 8-2-1: DIR 動作時の波形 (PWM=100%)



8.3. ENABLE

ENABLE 端子は外部 PWM にてモータの回転速度を制御する端子です。

ENABLE 端子が H の時、ホール入力端子 (H1/H2/H3) で決められた外付け NMOSFET が ON になります。

ENABLE 端子が L の時、選択された外付け NMOSFET が OFF となり、負荷電流が減衰します。

外部 PWM を使用する場合、SPEED 端子は VDD に接続してください。

tsLEEP よりも長い時間 ENABLE 入力が Low となった場合、A4915 はスリープモードとなり、デバイス内の回路を OFF させ、電源からの消費電流を最小限に抑えます。

スリープモードを解除する場合、チャージポンプが安定するまで 3msec 程度の時間を要します。従いまして、この期間は出力を ON にする信号の入力は避けてください。

図 8-3-1 に外部 PWM 動作時の波形を示します。

図 8-3-1: 外部 PWM 動作時の波形 (HA/HB/H3=1/0/1、PWM=60%、DIR=H)

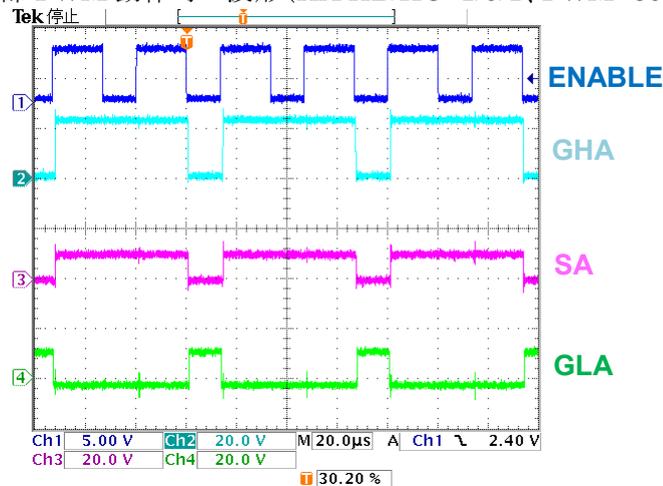
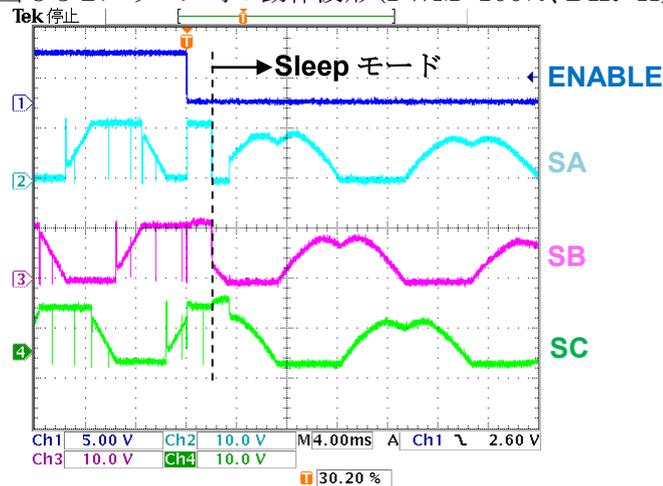


図 8-3-2: スリープ時の動作波形 (PWM=100%、DIR=H)



8.4. SPEED

内部で生成された PWM 周波数に対するデューティは、SPEED 端子に入力されるアナログ電圧により制御されます。

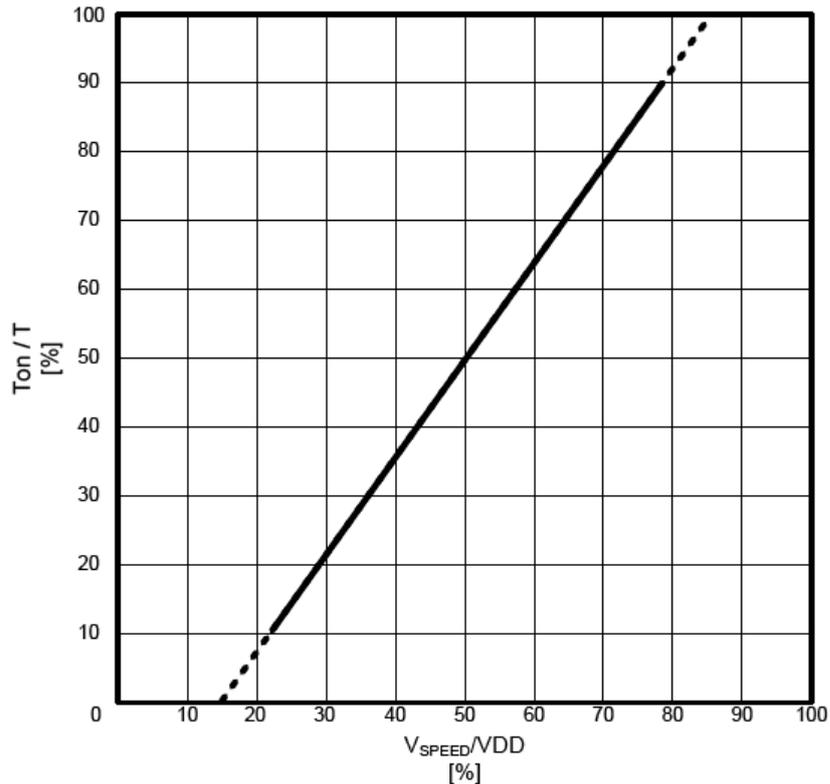
図 8-4-1 に VDD 電圧に対する SPEED 電圧の比率に対する ON デューティの特性カーブを示します。

SPEED 端子を VDD に接続すると、内部 PWM がディスエーブルになり、ENABLE 端子による外部 PWM が有効になります。

SPEED < V_{SPEEDD} の場合、出力は 0%となります。

SPEED > V_{SPEEDE} の場合、出力は 100%となります。

図 8-4-1: V_{SPEED}/VDD と ON デューティの特性



8.5. BRAKE_n

BRAKE_n 端子は、モータにブレーキをかけるための端子で、BRAKE_n 端子が L の時にブレーキモードとなります。

BRAKE_n 端子が L の時に、ローサイドの外付け NMOSFET が ON となり、ハイサイドの外付け NMOSFET は OFF となります。

これにより、モータに発生している BEMF (逆起電圧) を効果的にショートし、モータにブレーキをかけます。スリープモードを除いて、BRAKE_n 入力は ENABLE や SPEED 入力よりも優先されます (表 8-24-1 の真理値表を参照ください)。

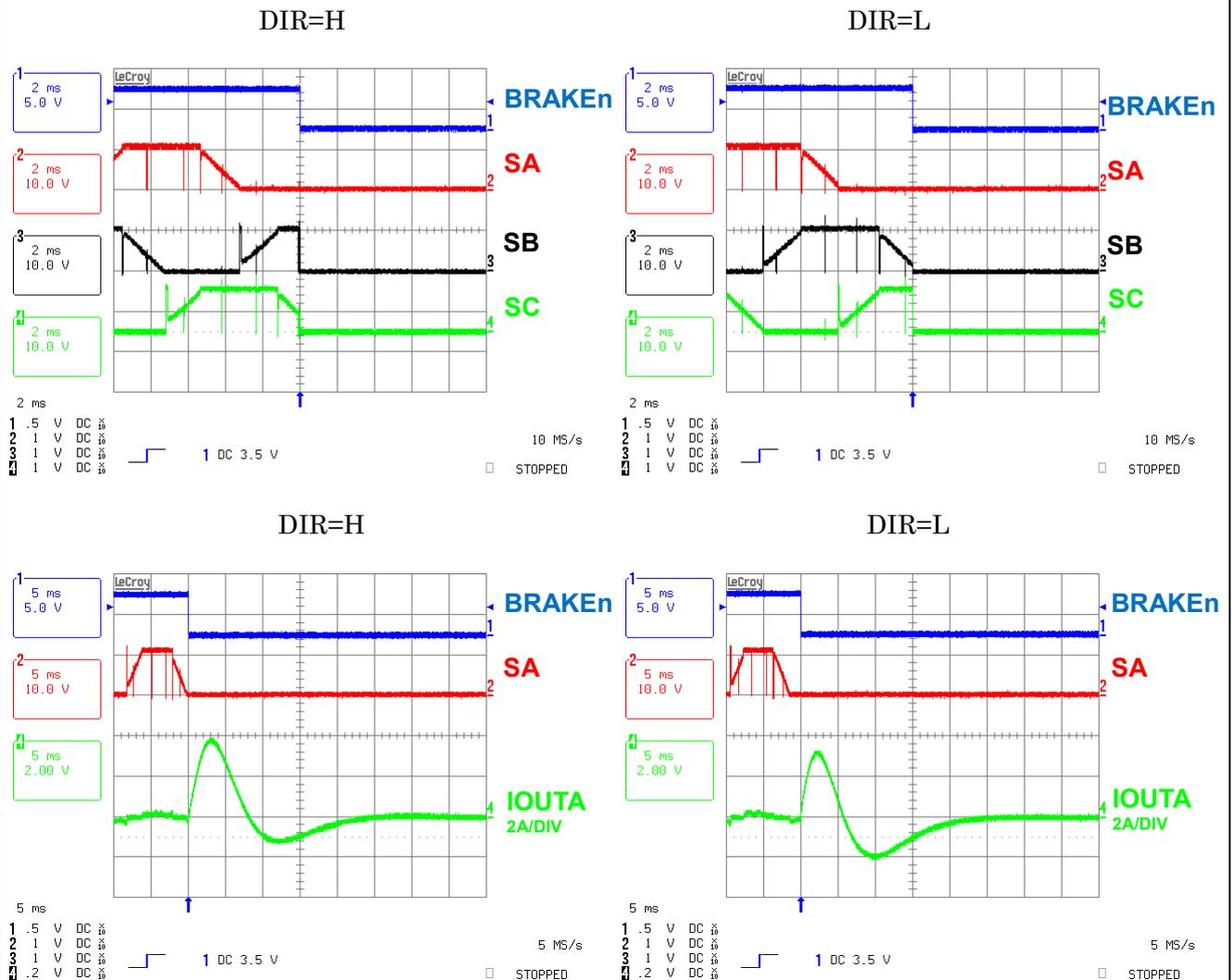
ブレーキの間、負荷電流は下記の式で与えられます。

$$I_{BRAKE_n} = V_{BEMF} / R_L$$

負荷電流はセンス抵抗を経由しないため、上記で与えられた負荷電流 (I_{BRAKE_n}) のワースト値が、外付け NMOSFET の電流定格を越えないように注意して下さい。

図 8-5-1 にブレーキ動作時の波形を示します。

図 8-5-1: ブレーキ動作時の波形 (PWM=100%)



8.6. VREG

この電圧は、ローサイドの外付け NMOSFET のゲートドライブおよびブートストラップコンデンサの充電を行います。

8.7. FAULT

FAULT 端子はオープンドレイン出力となっています。通常動作時 FAULT 端子は Low を出力となり、異常が発生した場合出力の MOSFET が OFF となるため、FAULT 端子の出力は外付けのプルアップ抵抗を介して High 出力となります。

表 8-7-1 に異常状態を示します。

ホール端子への不適切なコード入力は異常状態(Invalid Hall)とみなし、モータを停止させます。不適切なコード入力に関しましては、表 8-25-1 のコミュニケーション表を参照ください

Invalid Hall が発生した場合出力はディスエーブルになりますが、この異常状態はラッチされず出力も Low を保持します。

下記に示す FAULT モード(異常モード)が検知された場合、FAULT 端子は H に出力されま
す (FAULT 端子は外部でプルアップする必要があります)。

表 8-7-1: 異常状態一覧

Event	FAULT端子	出力	ラッチ
TSD	High	Disabled	Yes
SLEEP	High	Disabled	No
UVLO VREG/VDD	High	Disabled	No
Invalid Hall	Low	Disabled	No

8.8. Fault Reset

Fault がラッチした状態 (TSD) では出力ディスエーブルを保持しますが、以下の方法でリセットすることができます。

- VDD UVLO を作動させる
- デバイスをスリープモードにする
- Fault がラッチした状態で FAULT 端子に V_{RESET} 以上の電圧を t_{FAULT} 以上の時間印加する

8.9. LSS

LSS 端子は外付け NMOSFET のローサイドのソースと接続されます。

外部 PWM 制御を行う場合は LSS と GND 間に低抵抗を装着することによって、電流制限回路を構成することができます。

抵抗を使用しない場合、LSS 端子はパワーグランドに接続してください。

8.10. CA, CB, CC

CA/CB/CC はブートストラップコンデンサ (C_{BOOTX}) のプラス側に接続され、外付けのハイサイド NMOSFET をドライブするために使われます。

8.11. GHA, GHB, GHC

GHA/GHB/GHC は、ハイサイドの外付け NMOSFET を駆動するためのゲート端子になっています。

8.12. SA, SB, SC

SA/SB/SC 端子は直接モータに接続され、ハイサイド外付け NMOSFET に対してマイナス側の端子となっています。

8.13. GLA, GLB, GLC

GLA/GLB/GLC は、ローサイドの外付け NMOSFET を駆動するためのゲート端子になっています。

8.14. CP1, CP2

チャージポンプ組み上げ用のコンデンサが接続されます。0.47 μ F のコンデンサを接続してください。

8.15. TSD

ジャンクション温度が TTSD を超えると、FAULT 出力が High になり出力がディスエーブルになります。TSD はラッチ動作となっております。

8.16. HA, HB, HC

H1/H2/H3 はホールセンサの入力端子となっております。

8.17. Dead Time

デッドタイム (t_{DEAD}) は外付け NMOSFET の貫通電流を防ぐために必要となります。デッドタイムは外付け NMOSFET が OFF してから他の外付け NMOSFET が ON するまでの時間を設定します。

全ての相のデッドタイムは TDEAD 端子と GND 間に接続される抵抗 (R_{DEAD}) で設定されます。

R_{DEAD} は $12k\Omega \sim 220k\Omega$ (@ $25^\circ C$) の間で使用してください。このときのデッドタイム t_{DEAD} は以下の様に設定できます。

$$t_{DEAD}[\text{ns}] = 40 + \{ (1.28 \times 10^{-2}) \times R_{DEAD}[\text{Ohm}] \}$$

また、電流 I_{DEAD} は以下の様に計算されます。

$$I_{DEAD}[\text{uA}] = 1.2 / R_{DEAD}[\text{Ohm}]$$

R_{DEAD} の値が大きくなるにつれて、電流のオフセットや抵抗の mismatch が生じます。

図 8-17-1 に R_{DEAD} とデッドタイムの特性を示します。

図 8-17-1: R_{DEAD} とデッドタイムの特性

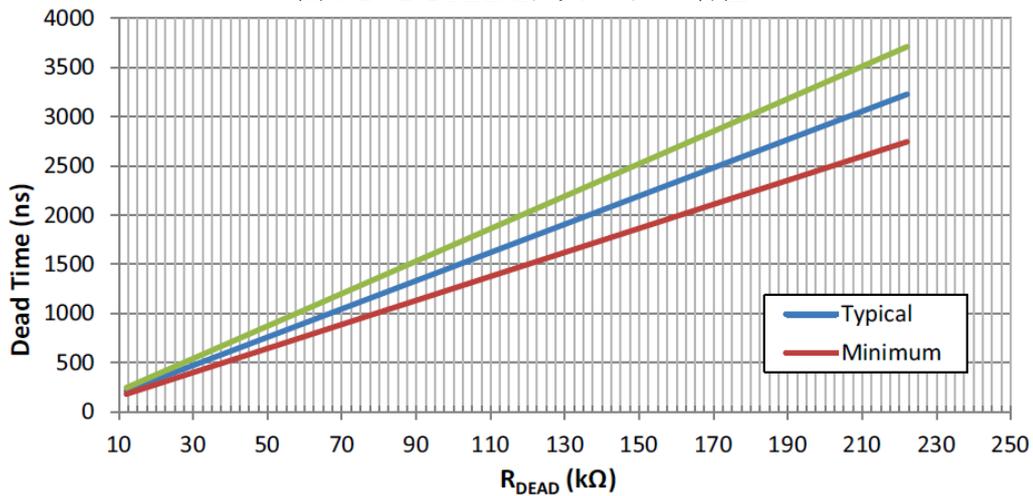
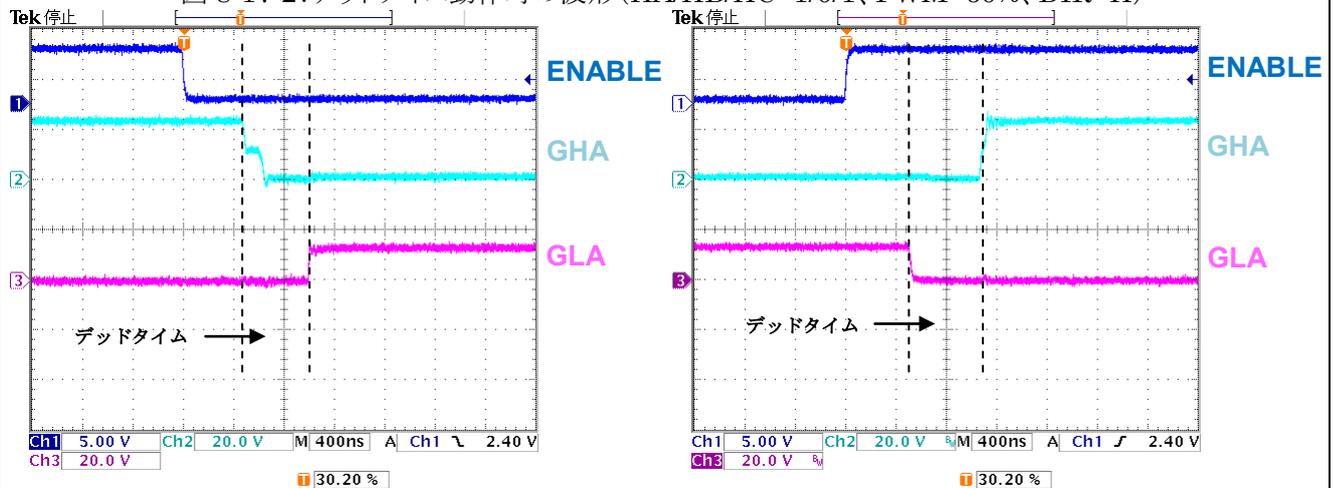


図 8-17-2 にデッドタイム動作時の波形を示します。

図 8-17-2: デッドタイム動作時の波形 (HA/HB/HC=1/0/1, PWM=60%, DIR=H)



8.18. スリープモード

A4915 には低消費電力のスリープモードを搭載しており、特にバッテリー駆動の際の省エネ化に貢献します。スリープモード時、VBB と VDD の消費電流は 1 μ A 以下となります。スリープモードへは、SPEED 端子を High かつ ENABLE 端子を t_{SLEEP} 以上 Low にすることで移行できます。

スリープモード時には、ロジック入力端子への流入電流も最小限にするため、Hall 入力のプルアップ抵抗および BRAKE_{EN} 端子のプルダウン抵抗がオープンとなります。

8.19. Center Aligned PWM

A4915 は Center Aligned PWM 方式を採用しています。

この Center Aligned PWM により損失の低減と EMI ノイズの改善効果が期待されます。

内部 PWM もしくは外部 PWM による OFF 時間の間、電流回生はハイサイド回生とローサイド回生を交互に実施します。

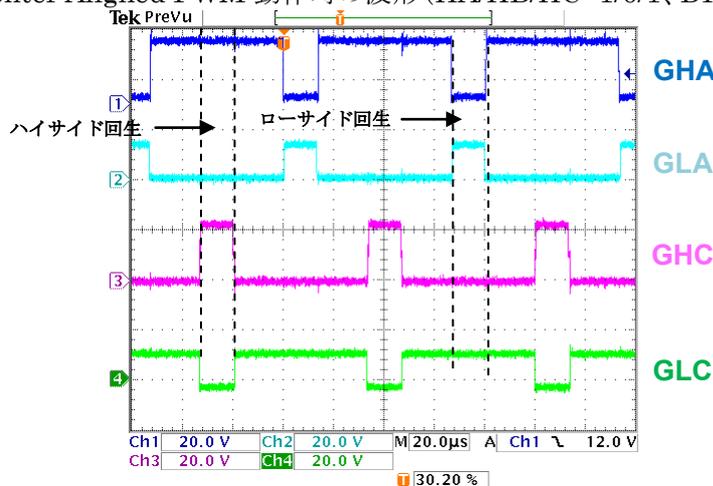
各ブリッジの Enable コマンドラッチはリセットされ、ハイサイド回生からローサイド回生に移行します。

回生を交互に行い、50%の損失をハイサイドに背負わせることにより、OFF 時間におけるローサイドの損失を低減させることができます。

6 個の外付け MOSFET に発熱を分散させることにより、外付け MOSFET の温度を抑えることができ、結果としてシステムの効率や電池の寿命を改善することができます。

図 8-18-1 に Center Aligned PWM 動作時の波形を示します。

図 8-18-1: Center Aligned PWM 動作時の波形 (HA/HB/HC=1/0/1, DIR=H, PWM Duty=60%)



8.20. Internal/External PWM

A4915 は 2 種類の PWM 機能を有しています。

1 つは外部 PWM 機能で ENABLE 端子に入力される PWM 信号に適用されます。

SPEED 端子を VDD 端子に接続することで、ENABLE 端子の外部 PWM デューティは 0% から 100% まで対応可能です。

ENABLE 端子を t_{SLEEP} の期間以上 Low とすると、デバイスはスリープモードになります。

もう 1 つは内部 PWM 機能で、SPEED 端子に入力するアナログ電圧に適用されます。

ENABLE 端子を VDD に接続することで、内部 PWM のデューティは 0% から 100% まで対応可能です。

詳細は「8.4 SPEED」の項目を参照ください。

デバイスの状態に関する詳細は表 8-24-1: 真理値表を参照ください。

8.21. Synchronous Rectification

ENABLE 端子が Low の期間もしくは内部 PWM OFF の間、負荷電流は電流回生を行います。

A4915 の同期整流の機能は、負荷電流が回生している期間、負荷電流を外付け NMOSFET のボディダイオード(もしくは外付けショットキーダイオード)で経由させるのではなく、外付け NMOSFET 自身にて負荷電流を回生させます。

この同期整流機能により損失が大幅に軽減され、ショットキーダイオードを削除することが可能です。

8.22. CP1, CP2, VREG

外付けローサイド MOSFET を駆動するためのゲートドライブ回路と外付けハイサイド MOSFET を駆動する為のブートストラップ回路はチャージポンプレギュレータにより実現できます。

VBB が 16V の場合、レギュレータはリニアレギュレータとして動作します。VBB が 16V 以下の場合は、このレギュレータはチャージポンプ回路より供給されます。

このチャージポンプ回路は CP1 と CP2 に装着されるコンデンサを必要とします。

レギュレータ電圧は VREG 端子を通してデカップリングされます。

デカップリングコンデンサはブートストラップのコンデンサがベースになります。

さらにブートストラップのコンデンサは選定される MOSFET により決まります。

VREG とブートストラップコンデンサの容量値の選定については「8.28 VREG コンデンサの選定について」を参照ください。

8.23. Gate Drive and R_{GATE}

外付け NMOSFET を駆動するためのゲートドライブ回路は過渡的な大電流に対応しています。

この過渡的な大電流は、外付け NMOSFET のコンデンサの充放電を素早く行うために必要になります。

外付け NMOSFET の充放電を素早く行うことにより、スイッチング速度を上げることが可能となり、また過渡的な損失を抑えることもできます。

ローサイドのゲートドライブ電流は VREG 端子のコンデンサより供給されます。ハイサイドのゲートドライブ電流は各相(C_x-S_x間)のブートストラップコンデンサより供給されます。

ゲート容量の充放電に関してはゲートに直列に接続する抵抗 R_{GATE} にて制御します。

8.24. Boot Charge Management

外付け NMOSFET を駆動するゲート電圧が十分でない場合、外付け NMOSFET を保護するために、このゲート電圧をモニタする必要があります。

ハイサイド外付け NMOSFET を ON にする前に、ゲート電圧が十分に確保されている必要があります。そのため、ブートストラップコンデンサに電荷が十分に充電されている必要があります。

もしブートストラップコンデンサの電圧が十分でない場合、その相のローサイド NMOSFET を ON することによりブートコンデンサへの充電を実施します。

ブートストラップ電圧のモニタはハイサイドが ON している期間継続します。

ハイサイドが ON している期間にブートストラップの電圧が規定を下回った場合には、ハイサイドを OFF した後ローサイドを ON にしてブートコンデンサへの充電を実施します。

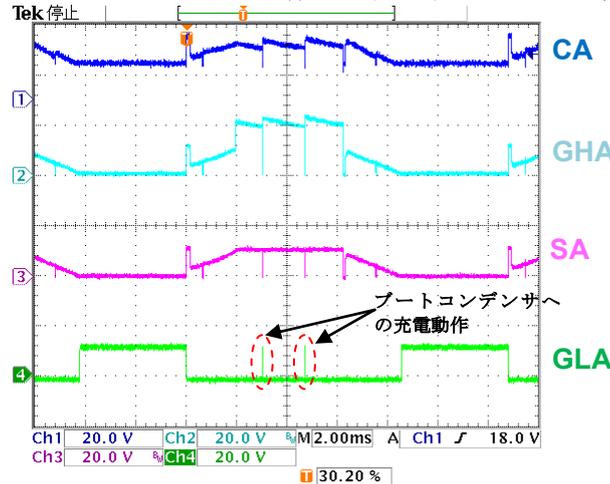
通常動作時や PWMOFF のデューティが非常に短い様な状況においては、ブートストラップ電圧を確保するために時折ローサイドが ON になることがあります。

VREG やブートストラップコンデンサの容量値を適切にすることで、効果的なゲートドライブを維持することができます。

詳細は「8.27 ブートストラップコンデンサの選定について」および「8.28 VREG コンデンサの選定について」を参照ください。

図 8-23-1 にブートストラップ動作時の波形を示します。

図 8-23-1:ブートストラップ動作時の波形 (PWM=100%、DIR=H)



8.25. 真理値表

表 8-24-1:真理値表

Inputs			Mode of Operation
ENABLE	SPEED	BRAKEN	
Low	High	High	PWM chop slow decay synchronous rectification (center aligned)
Low	High	Low	Brake mode – All low-side gates on
High	High	High	Selected drivers on ^b
High	High	Low	Brake mode – All low-side gates on
High	$V_{DD} \times V_{SPEED(E)}$ to $V_{DD} \times V_{SPEED(D)}$	High	PWM chop slow decay synchronous rectification (center aligned) ^c
High	$> V_{DD} \times V_{SPEED(E)}$	High	Selected drivers on ^b
High	$< V_{DD} \times V_{SPEED(D)}$	High	PWM chop slow decay synchronous rectification (center aligned)
Low longer than t_{SLEEP}	High	X ^a	Sleep mode – coast
High	Low longer than t_{SLEEP}	X ^a	Sleep mode – coast

^a X: Don't care

^b 最大および最小のデューティはブートコンデンサの充電状況によります

^c 内部 PWM 動作時になります

8.26. コミュテーション表

表 8-25-1 に真理値表を示します。

表 8-25-1: コミュテーション表

	HA	HB	HC	DIR	GLA	GLB	GLC	GHA	GHB	GHC	SA	SB	SC
1	1	0	1	1	0	0	1	1	0	0	High	-	Low
2	1	0	0	1	0	0	1	0	1	0	-	High	Low
3	1	1	0	1	1	0	0	0	1	0	Low	High	-
4	0	1	0	1	1	0	0	0	0	1	Low	-	High
5	0	1	1	1	0	1	0	0	0	1	-	Low	High
6	0	0	1	1	0	1	0	1	0	0	High	Low	-
1	1	0	1	0	1	0	0	0	0	1	Low	-	High
2	1	0	0	0	0	1	0	0	0	1	-	Low	High
3	1	1	0	0	0	1	0	1	0	0	High	Low	-
4	0	1	0	0	0	0	1	1	0	0	High	-	Low
5	0	1	1	0	0	0	1	0	1	0	-	High	Low
6	0	0	1	0	1	0	0	0	1	0	Low	High	-
Hall Fault	1	1	1	X	0	0	0	0	0	0	-	-	-
Hall Fault	0	0	0	X	0	0	0	0	0	0	-	-	-

8.27. ブートコンデンサの選定について

ブートコンデンサの最適な容量値 (C_{BOOT}) を設定するために、外付け NMOSFET の入力容量値を確認する必要があります。

ブートストラップコンデンサの容量値が大きすぎると、充電時間が長くなり、最大デューティに制限がかかります。

ブートストラップコンデンサの容量値が小さすぎると、外付け NMOSFET のゲート駆動時においてブートストラップ電圧のリップルが大きくなります。 C_{BOOT} の容量値 (コンデンサの電荷量 Q_{BOOT}) は外付け MOSFET の電荷量 (Q_{GATE}) の 20 倍以上としてください。

$$C_{BOOT} = (Q_{GATE} \times 20) / V_{BOOT}$$

ここで V_{BOOT} とはブートストラップコンデンサにかかる電圧になります。

外付け MOSFET を駆動する際に発生するブートストラップ電圧の落ち込み (ΔV) は以下で計算されます。

$$\Delta V = Q_{GATE} / C_{BOOT}$$

ブートストラップに使用するコンデンサは耐圧 16V 以上のセラミックタイプを使用してください。

8.28. VREG コンデンサの選定について

VREG は外付けローサイド NMOSFET のゲートに充電するための電流を供給します。

また、ブートコンデンサを介して、外付けハイサイド NMOSFET のゲートに充電するための電流も供給しています。

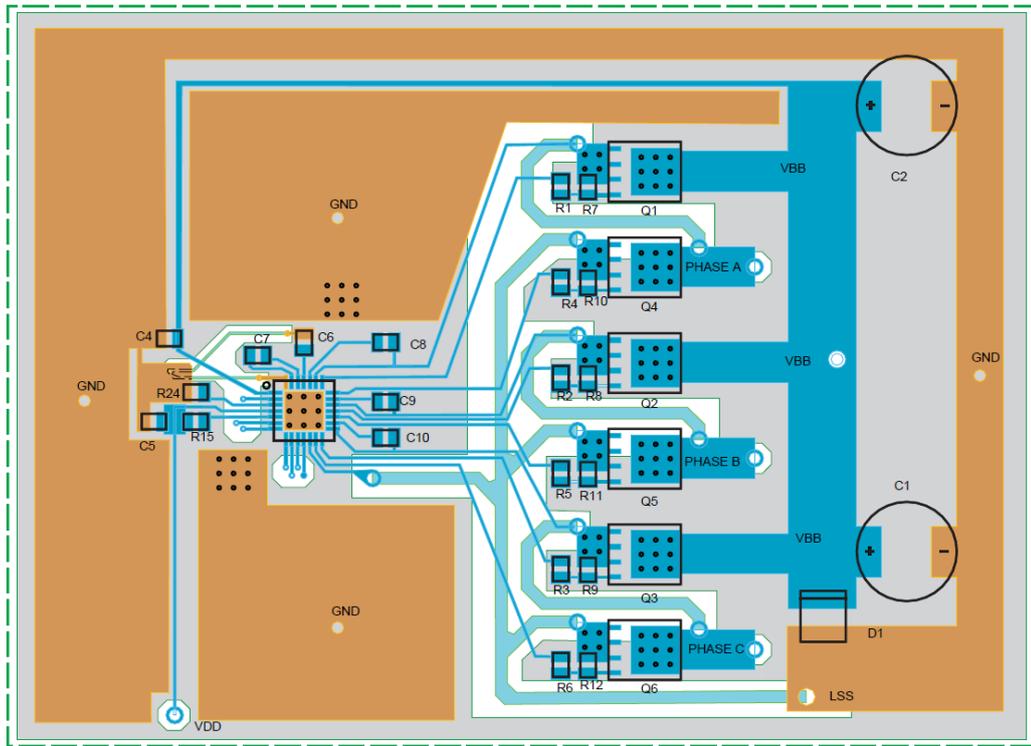
VREG 端子に接続する容量値としてブートストラップコンデンサ容量値の 20 倍とします。

$$C_{REG} = 20 \times C_{BOOT}$$

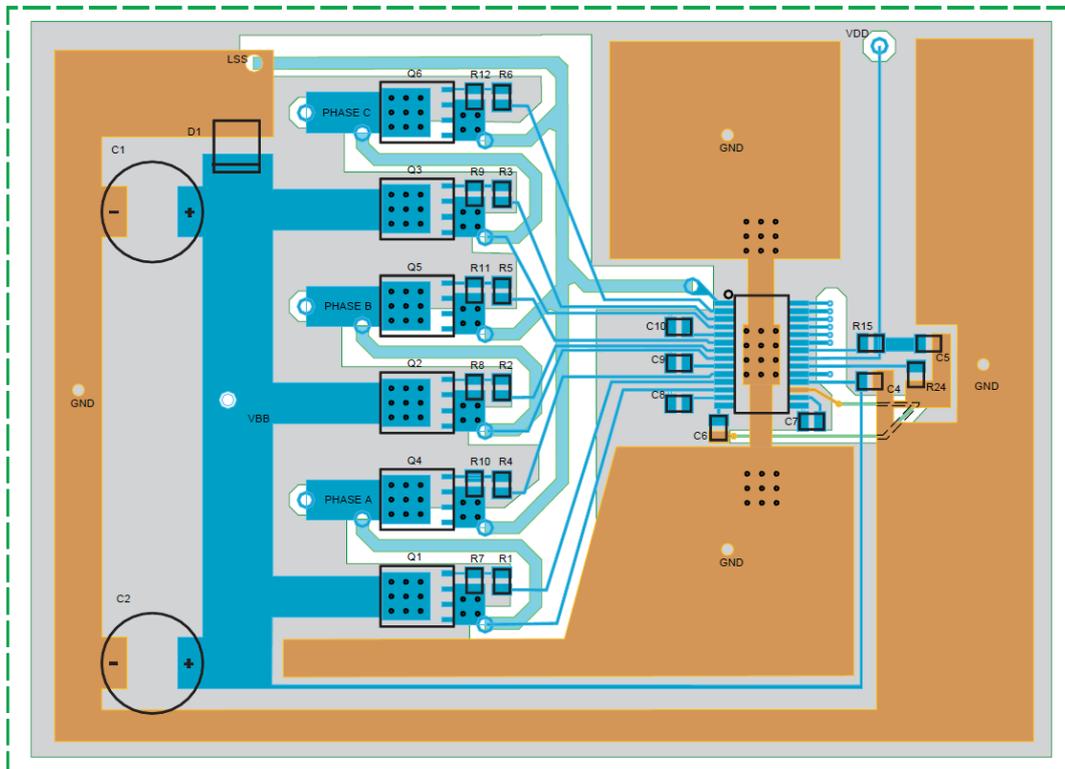
9. アプリケーション情報

9.1. 参考基板レイアウト図

ET パッケージ



LP パッケージ



9.2. Ground

デバイスの GND 端子に一点 GND となるようにして下さい。IC の裏面放熱パッド下を一点 GND とすることを推奨します。

9.3. Layout

高周波数、高速スイッチングおよび大電流の設計の場合には、PCB のレイアウトに注意を払ってください。

グランド(GND)および外付け NMOSFET の大電流リターンライン(LSS 端子)は VBB に装着するバイパスコンデンサのマイナス側に対して、分離して GND 接続してください。

これにより、A4915 のロジック回路や、アナログ基準電圧へのスイッチングノイズの影響を最小限にします。

浮遊インダクタンスの影響を最小限にするため、全ての外付け NMOSFET に対して、そのドレインおよびソースの配線を短く、広くとってください。

モータのハーネス部、電源電圧入力部およびローサイドの外付け NMOSFET のソース共通部も同様に、配線を短く、広くとってください。

これは、大きい負荷電流を高速スイッチングした時に発生するスイッチングノイズを最小限にする効果もあります。

10. 動作波形図

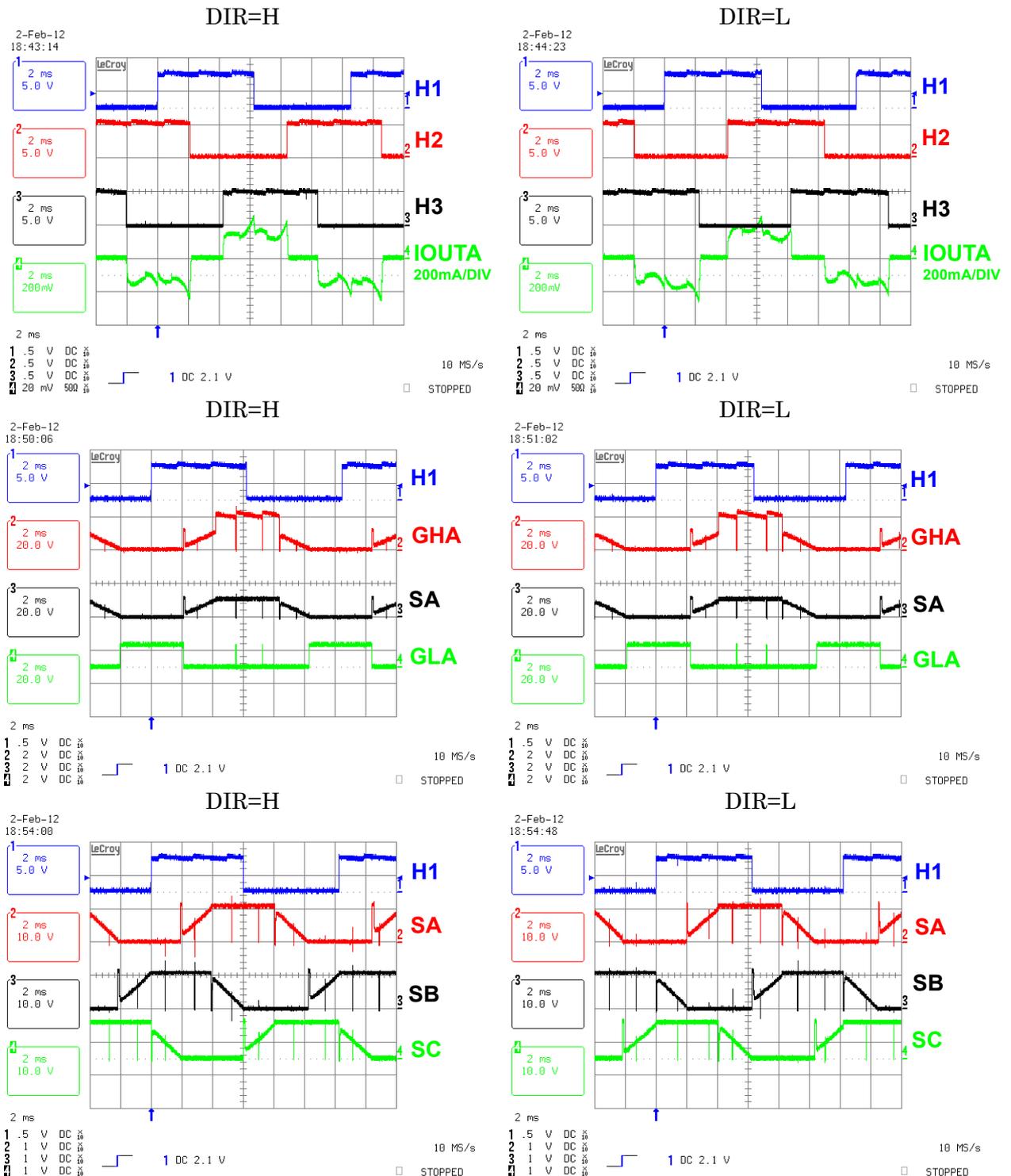
代表的な動作波形図を示します。

条件としては、VBB=10V、VDD=5V、アレグロ社製デモボードを使用しています。

10.1. PWM100% 駆動時

図 10-1-1 に PWM100%駆動時における動作波形を示します。

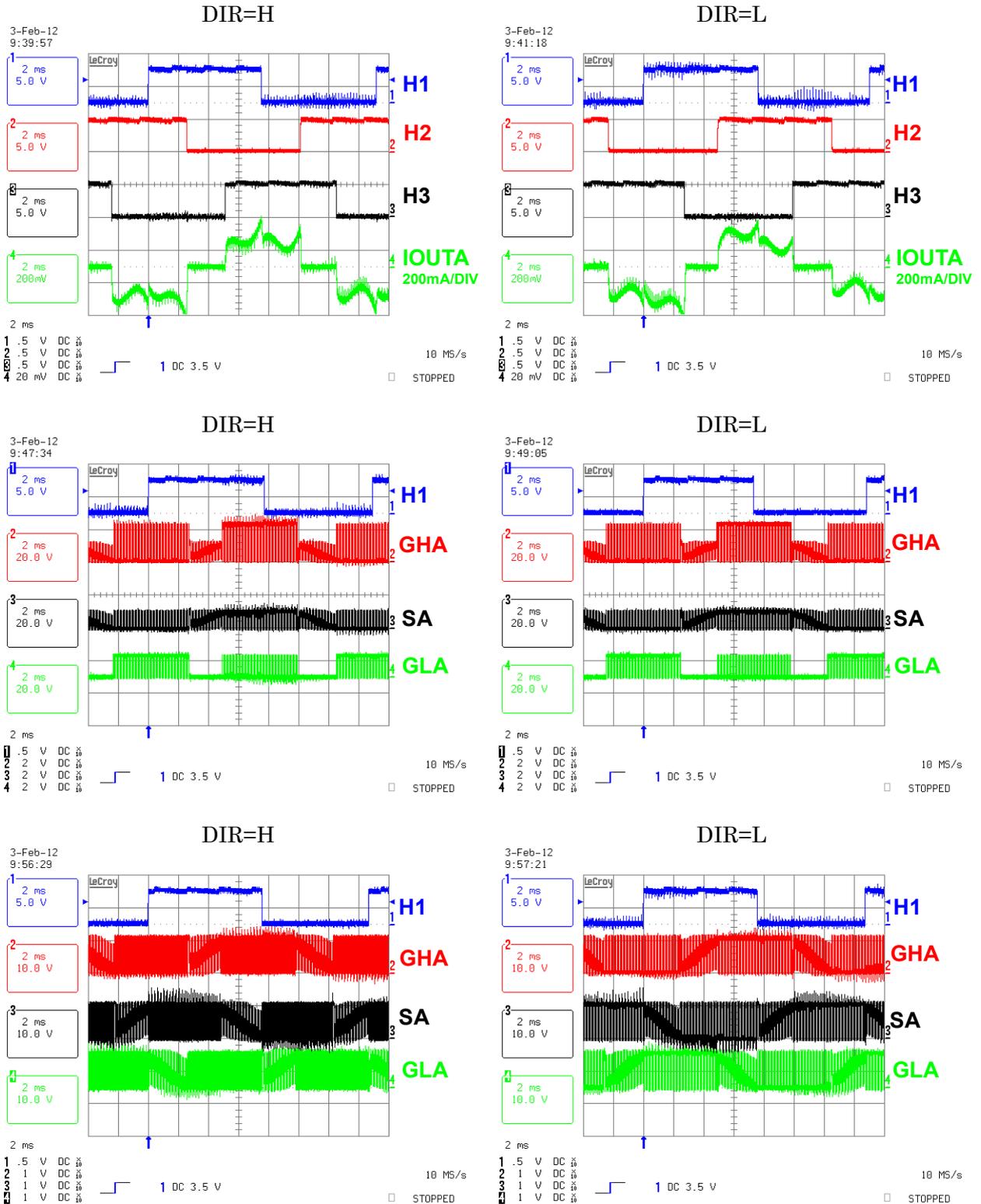
図 10-1-1: PWM100%駆動時における動作波形



10.2. PWM85%駆動時

図 10-2-1 に PWM85%駆動時における動作波形を示します。

図 10-2-1: PWM85%駆動時における動作波形



11. パッケージの熱抵抗について

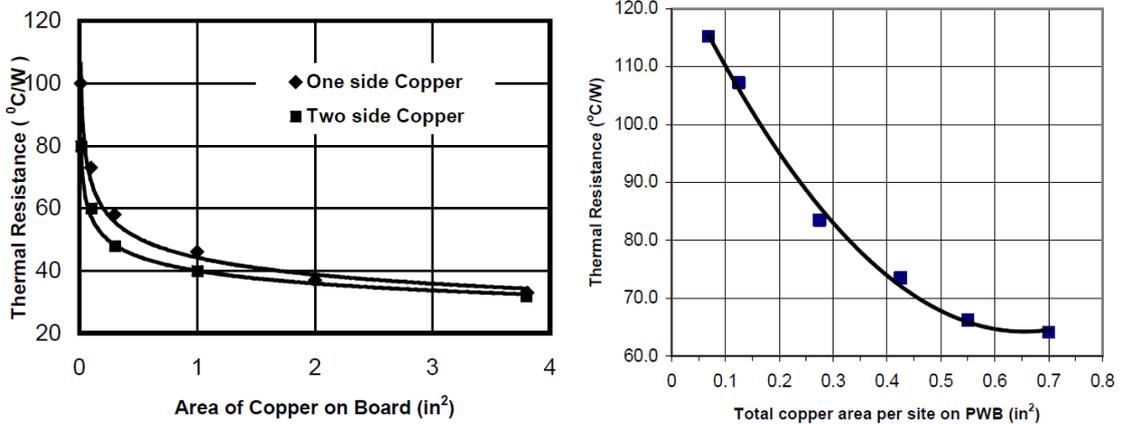
28ピン eTSSOP パッケージおよび 28ピン eQFN パッケージは搭載 Chip のステージを放熱用ヒートシンクパッドとして使用することで製品の発熱を外部(基板)に逃がす構造になっています。

したがって、使用される基板の材質、面積や GND パターン面積の差異によって製品の許容損失が変化します。

このため、製品仕様に記載してある許容損失は目安であり基板設計の良し悪しによって変わりますので注意願います。

図 11-1 に銅箔面積 (GND パターン面積) に対する $R_{\theta JA}$ のグラフを示します。

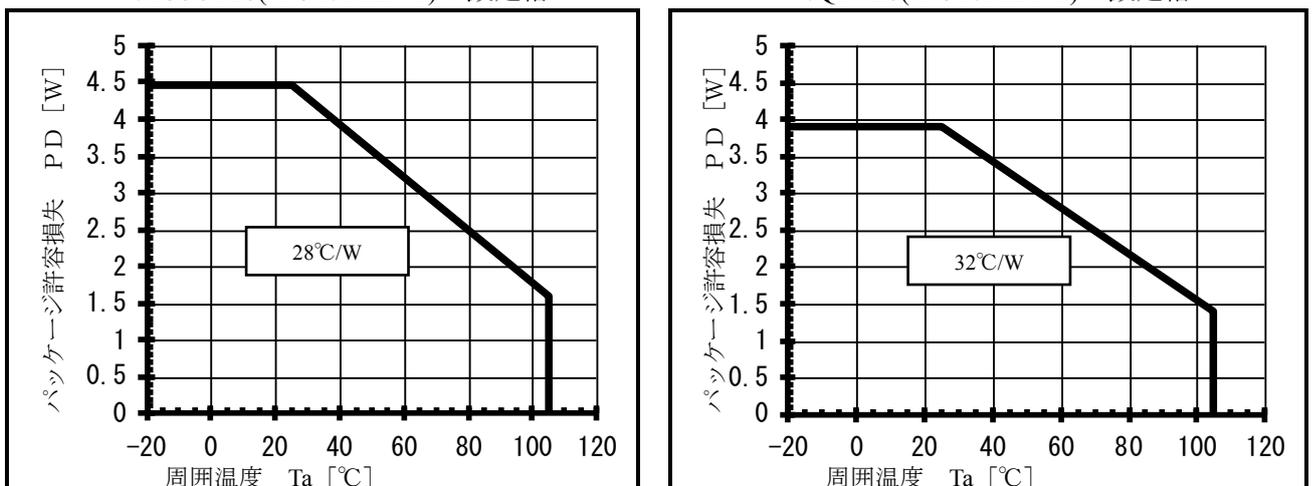
図 11-1: 銅箔面積 (GND パターン面積) に対する $R_{\theta JA}$ のグラフ
 28 ピン eTSSOP(LP)パッケージ 28 ピン eQFN(ET)パッケージ (単層のみ)



上記に示すグラフを用いて、ジャンクション温度 T_j を推定することができます。計算式を以下に示しますので、周囲温度に対するジャンクション温度 (T_j) を御確認して頂くようお願いいたします。

図 11-2 に A4915 の減定格を示します。ただしこの減定格は JEDEC 規定 4 層基板使用時のものとします。

図 11-2: A4915 の減定格 (JEDEC 規定 4 層基板使用時)
 eTSSOP28(A4915MLP-T)の減定格 eQFN28(A4915MET-T)の減定格



* 使用上の注意 CAUTION/WARNING

- 本書に記載されている動作例及び回路例は、使用上の参考として示したもので、これらに起因する弊社もしくは第三者の工業所有権、知的所有権、その他の権利の侵害問題について弊社は一切責任を負いません。
Application and operation examples described in this document are quoted for the sole purpose of reference for the use of the products herein and Sanken can assume no responsibility for any infringement of industrial property rights, intellectual property rights or any other rights of Sanken or any third party which may result from its use.
- 弊社は品質、信頼性の向上に努めていますが、半導体製品では、ある確率での欠陥、故障の発生は避けられません。部品の故障により結果として、人身事故、火災事故、社会的な損害等が発生させないよう、使用者の責任に於いて、装置やシステム上で十分な安全設計及び確認を行ってください。
Although Sanken undertakes to enhance the quality and reliability of its products, the occurrence of failure and defect of semiconductor products at a certain rate is inevitable. Users of Sanken products are requested to take, at their own risk, preventative measures including safety design of the equipment or systems against any possible injury, death, fires or damages to the society due to device failure or malfunction.
- 本書に記載されている製品は、一般電子機器(家電製品、事務機器、通信端末機器、計測機器など)に使用されることを意図しております。ご使用の際は、納入仕様書に署名または押印の上ご返却をお願いいたします。
高い信頼性が要求される装置(輸送機器とその制御装置、交通信号制御装置、防災・防犯装置、各種安全装置など)への使用をご検討の際には、必ず弊社販売窓口へご相談及び納入仕様書に署名または押印の上、ご返却をお願いいたします。
極めて高い信頼性が要求される装置(航空宇宙機器、原子力制御、生命維持のための医療機器など)には弊社の文書による合意が無い限り使用しないでください。
Sanken products listed in this document are designed and intended for the use as components in general purpose electronic equipment or apparatus (home appliances, office equipment, telecommunication equipment, measuring equipment, etc.). Please return to us this document with your signature(s) or seal(s) prior to the use of the products herein.
When considering the use of Sanken products in the applications where higher reliability is required (transportation equipment and its control systems, traffic signal control systems or equipment, fire/crime alarm systems, various safety devices, etc.), please contact your nearest Sanken sales representative to discuss, and then return to us this document with your signature(s) or seal(s) prior to the use of the products herein.
The use of Sanken products without the written consent of Sanken in the applications where extremely high reliability is required (aerospace equipment, nuclear power control systems, life support systems, etc.) is strictly prohibited.
- 弊社のデバイスをご使用、またはこれを使用した各種装置を設計する場合、定格値に対するディレーティングをどの程度行うかにより、信頼性に大きく影響いたします。
ディレーティングとは信頼性を確保または向上するため、各定格値から負荷を軽減した動作範囲を設定したり、サージやノイズなどについて考慮することを言います。ディレーティングを行う要素には、一般的には電圧、電流、電力などの電氣的ストレス、周囲温度、湿度などの環境ストレス、半導体デバイスの自己発熱による熱ストレスがあります。これらのストレスは、瞬間的数値あるいは最大値、最小値についても考慮する必要があります。
なおパワーデバイスやパワーデバイス内蔵 IC は、自己発熱が大きく接合部温度(T_j)のディレーティングの程度が、信頼性を大きく変える要素となりますので充分にご配慮ください。
In the case that you use our semiconductor devices or design your products by using our semiconductor devices, the reliability largely depends on the degree of derating to be made to the rated values. Derating may be interpreted as a case that an operation range is set by derating the load from each rated value or surge voltage or noise is considered for derating in order to assure or improve the reliability. In general, derating factors include electric stresses such as electric voltage, electric current, electric power etc., environmental stresses such as ambient temperature, humidity etc. and thermal stress caused due to self-heating of semiconductor devices. For these stresses, instantaneous values, maximum values and minimum values must be taken into consideration.
In addition, it should be noted that since power devices or IC's including power devices have large self-heating value, the degree of derating of junction temperature (T_j) affects the reliability significantly.
- 本書に記載されている製品のご使用にあたって、これらの製品に他の製品・部材を組み合わせる場合、或いは、これらの製品に物理的、化学的その他何らかの加工・処理を施す場合には、使用者の責任に於いてそのリスクをご検討の上行ってください。
When using the products specified herein by either (i) combining other products or materials therewith or (ii) physically, chemically or otherwise processing or treating the products, please duly consider all possible risks that may result from all such uses in advance and proceed therewith at your own responsibility.
- 本書に記載された製品は耐放射線設計をしておりません。
Anti radioactive ray design is not considered for the products listed herein.
- 弊社物流網外での輸送、製品落下等によるトラブルについて弊社は一切責任を負いません。
Sanken assumes no responsibility for any troubles, such as dropping products caused during transportation out of Sanken's distribution network.