



サンケン電気株式会社



バイポーラスステッピングモータドライバIC A4979GLP-T データシート

2014年2月 Ver.1.2
MCD 事業部低圧モータグループ

本資料は、アレグロマイクロシステムズ社製マイクロステッピング対応モータドライバ A4979 に関する製品の特徴、ご使用方法等をまとめたものです。

本資料は、アレグロマイクロシステムズ社からの情報を日本語の技術資料として作成したものです。最新の情報に関しては、弊社担当部門まで問い合わせ願います。

〔目次〕

1.	はじめに	3
2.	特徴	3
3.	セレクションガイド	3
3.1.	型番命名規則	4
4.	製品仕様	4
4.1.	絶対最大定格	4
4.2.	温度特性	5
4.3.	電気的特性	5
5.	外形図	9
6.	内部ブロック図	10
7.	Pin 配列	11
8.	応用回路例	12
8.1.	SPI 制御方式	12
8.2.	Clock-In 制御方式	13
8.3.	注意事項	14
9.	機能説明	15
9.1.	概要	15
9.2.	各端子の機能説明	15
9.3.	SPI 通信による機能設定	17
9.4.	レジスタへの書き込み	17
9.5.	各設定・制御レジスタビットの説明	18
(1)	CONFIG0 レジスタ	22
	・SYR ビット	22
	・MS[1:0]ビット	22
	・MXI[1:0]ビット	22
	・PFD[2:0]ビット	22
	・TBK[1:0]ビット	23
	・TOF[2:0]ビット	23
	・FRQ[2:0]ビット	23
	・PWM ビット	23
(2)	CONFIG1 レジスタ	23
	・OSC ビット	23
	・TSC[1:0]ビット	23
	・CD[3:0]ビット	23
	・DIAG[1:0]ビット	24

(3) RUN レジスタ	24
・ EN ビット	24
・ OL[1:0]ビット	24
・ HLR ビット	24
・ SLEW ビット	24
・ BRK ビット	24
・ DCY[1:0]ビット	24
・ SC[5:0]ビット	25
9.6. 相電流制御	25
9.7. 誤動作防止対策	25
9.8. 相電流値の制御	25
9.9. 電流減衰モード	32
9.10. 診断機能	35
診断レジスタ	35
(1) FF ビット	36
(2) TW[1:0] (温度診断) ビット	36
(3) UV (VREG, VBB 低電圧検知) ビット	37
(4) ST (脱調検出) ビット	38
(5) OLA, OLB (オープン負荷検出) ビット	39
(6) BM(P)H, BM(P)L (B 相過電流検出) ビット	40
(7) AM(P)H, AM(P)L (A 相過電流検出) ビット	41
(8) 診断レジスタのリセット	43
(9) DIAG 端子からのフォルト出力	43
9.11. タイミングチャート	44
10. アプリケーション情報	45

Not Recommended for New Designs

1. はじめに

A4979 はバイポーラスステップモータを $\pm 1.5A$, 50V の範囲で駆動するシーケンサ機能付きモータドライバです。出力段の DMOSFET を内蔵しており、バイポーラスステップモータを下記 4 つの入力方式から選んで駆動させることができます。

- ・フルステップ (2 相励磁方式)
- ・ハーフステップ (1-2 相励磁方式)
- ・1/4 マイクロステップ (W1-2 相励磁方式)
- ・1/16 マイクロステップ (4W1-2 相励磁方式)

A4979 は従来からの Clock-In 方式と、より精密制御が可能な SPI 方式の二通りの方式によって制御可能です。

固定周波数または固定オフ時間による PWM 電流制御で動作させることができ、さまざまな電流減衰モードの中から最適なモードを利用することでモータ雑音を減らし、ステップ精度を上げることができます。さらに、SPI 通信より相電流表をプログラムすることで、用途に合わせた独自のマイクロステップ電流波形プロファイルを得ることができます。

モータの両相に流れる電流は DMOS のフルブリッジを通り、同期整流によって損失が抑えられます。内部回路やタイマにより、ハイサイドとローサイド間の貫通電流を防ぐこともできます。また、回路ショートからの保護、負荷低電流やロータ脱調検出の機能も搭載されています。チップレベルの保護機能としては、高温・低温警告、過熱保護、低電圧保護機能などがあります。

A4979 は裏面に放熱用シンクタブ (パッド) を有した (LP タイプ) 28pin の eTSSOP パッケージで提供しており、鉛フリーで 100%スズメッキをしたリードフレームとなっています。

2. 特徴

- ・ $\pm 1.5A$, 50V までの動作範囲
- ・低 ON 抵抗出力 (source・sink 側 $0.5\Omega_{max}$)
- ・自動電流減衰モード検知 / 選択機能搭載
- ・Mixed・Slow・Fast の電流減衰モード
- ・低損失同期整流内蔵
- ・低電圧保護機能 (UVLO)、過熱保護機能 (TSD) 搭載
- ・高温・低温警告機能搭載
- ・出力ドライバにおける貫通電流を防ぐデッドタイム機能搭載
- ・回路ショート・オープン負荷診断機能搭載
- ・脱調検出機能搭載
- ・SPI 制御方式・Clock-In 方式の両方式に対応

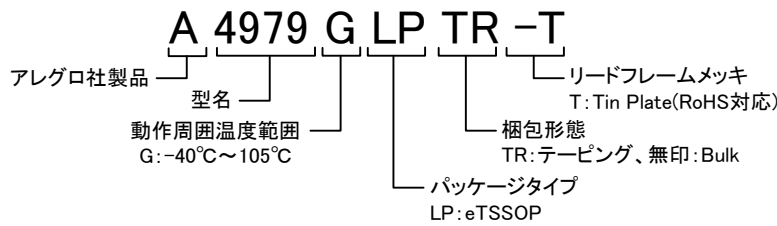


3. セレクションガイド

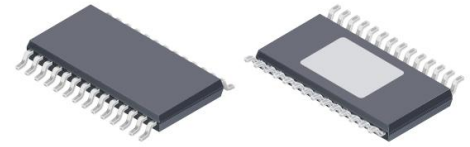
Parts No.	パッケージ	最小梱包単位	梱包状態	対応
A4979GLPTR-T	28pin eTSSOP	4,000	リール(標準)	量産時
A4979GLP-T		1	スティック または IC ケース	サンプル時

※ リール対応は、量産出荷のみの対応となります。サンプルは、スティックまたは IC ケースでの提供のみとなります。

3.1. 型番命名規則



製品外観イメージ (Not to scale)
28pin eTSSOP



4. 製品仕様

4.1. 絶対最大定格

絶対最大定格 (Ta=25°C)

項目	記号	定格値	単位
出力電源電圧	V _{BBx}	-0.3 ~ 50	V
ロジック電源電圧	V _{DD}	-0.3 ~ 6	V
ピン CP1	---	-0.3 ~ V _{BB}	V
ピン CP2, VCP	---	-0.3 ~ V _{BB} +8	V
ピン STEP, DIR, ENABLE, DIAG	---	-0.3 ~ 6	V
ピン VREG	---	-0.3 ~ 8.5	V
ピン RESETn	---	-0.3 ~ 6	V
ピン OSC	---	-0.3 ~ 6	V
ピン MS0, MS1	---	-0.3 ~ 6	V
ピン SDI, SDO, SCK, STRn	---	-0.3 ~ 6	V
ピン REF	---	-0.3 ~ 6	V
ピン OAP, OAM, OBP, OBM	---	-0.3 ~ V _{BB}	V
ピン SENSEA, SENSEB	---	-0.3 ~ 1	V
動作周囲温度範囲 ²	T _A	-40 ~ 105	°C
ジャンクション温度	T _{J(max)}	150	°C
保存温度範囲	T _{stg}	-55 ~ 150	°C

(*1) 出力電流は周囲温度、放熱状態によって制限を受けます。いかなる使用条件下においても、決して指定された定格電流および最大接合部温度(T_J=+150°C)を越えないようにして下さい。

(*2) ジャンクション温度(T_J)が+150°Cを越すような異常条件下で使用した場合、デバイス内のサーマルシャットダウン回路が動作しますが、このような条件下での使用は極力避けて下さい。

4.2. 温度特性

項目	記号	条件	定格値	単位
接合部から外気への パッケージ熱抵抗	$R_{\theta JA}$	JEDEC 規格 4 層基板	28	$^{\circ}\text{C}/\text{W}$
		24.52cm ² (=3.8inch ²) 銅箔両面基板	32	$^{\circ}\text{C}/\text{W}$
接合部からパッドへの パッケージ熱抵抗	$R_{\theta JP}$		2	$^{\circ}\text{C}/\text{W}$

4.3. 電気的特性

(特に断りなき場合、 $T_a=25^{\circ}\text{C}$, $V_{BB}=50\text{V}$, $V_{DD}=3.3\text{V}$)

項目	記号	条件	規格値			単位
			min	typ	max	
電源						
主電源動作電圧範囲	V_{BB}	正常動作	7	---	50	V
主電源自己消費電流	I_{BBQ}	ENABLE=0	---	---	4	mA
		スリープモード, $V_{BB}=40\text{V}$	---	1	10	μA
ロジック電源動作電圧範囲	V_{DD}		3	---	5.5	V
ロジック電源自己消費電流	I_{DDQ}	ENABLE=0	---	---	5	mA
		スリープモード	---	4	15	μA
チャージポンプ電圧	V_{CP}	$V_{BB} > 7.5\text{V}$, ENABLE=0, RESETn=1	---	6.7	---	V
内部レギュレータ電圧	V_{REG}	$V_{BB} > 7.5\text{V}$, ENABLE=0, RESETn=1,	---	7.2	---	V
内部レギュレータ ドロップアウト電圧	V_{REGDO}	$V_{BB} > 5.6\text{V}$, ENABLE=0, RESETn=1,	---	100	200	mV
モータブリッジ出力						
ハイサイドオン抵抗	R_{ONH}	$V_{BB}=50\text{V}, I_{OUT}=-1.5\text{A}, T_J=25^{\circ}\text{C}$	---	500	600	m Ω
		$V_{BB}=7\text{V}, I_{OUT}=-1.5\text{A}, T_J=25^{\circ}\text{C}$	---	625	800	
ハイサイドボディ ダイオード順方向電圧	V_{FH}		---	---	1.4	V
ローサイドオン抵抗	R_{ONL}	$V_{BB}=50\text{V}, I_{OUT}=1.5\text{A}, T_J=25^{\circ}\text{C}$	---	500	600	m Ω
		$V_{BB}=7\text{V}, I_{OUT}=1.5\text{A}, T_J=25^{\circ}\text{C}$	---	625	800	
ローサイドボディ ダイオード順方向電圧	V_{FL}		---	---	1.4	V
出力リーク電流	I_{LO}	ENABLE=0, RESETn=1, $V_O=V_{BB}$	-120	-65	---	μA
		ENABLE=0, RESETn=1, $V_O=0\text{V}$	-200	-120	---	μA
		ENABLE=0, RESETn=0, $V_O=V_{BB}$	---	< 1.0	20	μA
		ENABLE=0, RESETn=0, $V_O=0\text{V}$	-20	< 1.0	---	μA

(特に断りなき場合、 $T_a=25^{\circ}\text{C}$, $V_{\text{BB}}=50\text{V}$, $V_{\text{DD}}=3.3\text{V}$)

電流制御

項目	記号	条件	規格値			単位
			min	typ	max	
内部発振周波数	f_{OSC}	OSC=AGND	3.2	4	4.8	MHz
		OSC-VDD 間 51k Ω	3.6	---	4.4	MHz
外部入力発振周波数	f_{EXT}		3	---	5	MHz
ブランク時間 ³	t_{BLANK}	デフォルト値	---	1500	---	ns
オフ時間 ³ (固定オフ時間 t_{OFF} 時)	t_{OFF}	デフォルト値	---	24	---	μs
PWM 周波数 ³ (固定周波数 t_{OFF} 時)	f_{PWM}	デフォルト値	---	31.3	---	kHz
Fast Decay 時間 ³	t_{FAST}	デフォルト値	---	8	---	μs
REF 端子入力電圧	V_{REF}		0.8	---	2	V
内部 REF 電圧	V_{REFint}	REF 端子を VDD に固定	1.1	1.2	1.3	V
REF 端子入力電流	I_{REF}		-3	0	3	μA
最大検出電圧	V_{SMAX}		---	125	---	mV
電流トリップ点誤差 ⁴	E_{ITrip}	$V_{\text{REF}}=2\text{V}$, $\text{MXI0}=\text{MXI1}=1$	---	---	± 5	%

ロジック入力および出力

L レベル入力電圧	V_{IL}		---	---	$0.3 \times V_{\text{DD}}$	V
H レベル入力電圧	V_{IH}		$0.7 \times V_{\text{DD}}$	---	---	V
入力ヒステリシス	V_{Ihys}		250	500	---	mV
入力電流 (RESETn を除く)	I_{IN}	$0\text{V} < V_{\text{IN}} < V_{\text{DD}}$	-1	---	1	μA
入力プルダウン抵抗 (RESETn)	R_{PD}		---	50	---	k Ω
L レベル出力電圧	V_{OL}	$I_{\text{OL}}=2\text{mA}$	---	0.2	0.4	V
H レベル出力電圧	V_{OH}	$I_{\text{OL}}=-2\text{mA}$	$V_{\text{DD}}-0.4$	$V_{\text{DD}}-0.2$	---	V
出力リーク電流 (SDO)	I_{O}	$0\text{V} < V_{\text{O}} < V_{\text{DD}}$, $\text{STRn}=1$	-1	---	1	μA
リセットパルス幅	t_{RST}		0.2	---	4.5	μs
リセットシャットダウン幅	t_{RSD}		10	---	---	μs
入力パルスフィルタ時間 (STEP, DIR)	t_{PIN}		---	35	---	ns

(特に断りなき場合、 $T_a=25^{\circ}\text{C}$, $V_{\text{BB}}=50\text{V}$, $V_{\text{DD}}=3.3\text{V}$)

項目	記号	条件	規格値			単位
			min	typ	max	
クロック H パルス幅	tSCKH	A ⁵	50	---	---	ns
クロック L パルス幅	tSCKL	B ⁵	50	---	---	ns
ストローブリード時間	tSTLD	C ⁵	30	---	---	ns
ストローブラグ時間	tSTLG	D ⁵	30	---	---	ns
ストローブ H 時間	tSTRH	E ⁵	300	---	---	ns
データ出力イネーブル時間	tSDOE	F ⁵	---	---	40	ns
データ出力ディセーブル時間	tSDOD	G ⁵	---	---	30	ns
クロック立ち下がりからの データ出力有効時間	tSDOV	H ⁵	---	---	40	ns
クロック立ち下がりからの データ出力ホールド時間	tSDOH	I ⁵	5	---	---	ns
クロック立ち上がりまでの データ入力セットアップ 時間	tSDIS	J ⁵	15	---	---	ns
クロック立ち上がりからの データ入力ホールド時間	tSDIH	K ⁵	10	---	---	ns
STEP 立ち上がりから STRn 立ち上がりまでの セットアップ時間	tSPS	L ⁵ (D15=1, D14=0 のときのみ)	100	---	---	ns
STRn 立ち上がりからの STEP 立ち上がりまでの ホールド時間	tSPH	M ⁵ (D15=1, D14=0 のときのみ)	300	---	---	ns
STEP H パルス幅	tSTPH		1	---	---	μs
STEP L パルス幅	tSTPL		1	---	---	μs
STEP 立ち上がりまでの 制御入力変更セットアップ 時間	tsu	MS1, MS2, DIR	200	---	---	ns
STEP 立ち上がりからの 制御入力変更ホールド時間	tH	MS1, MS2, DIR	200	---	---	ns
RESETn 立ち上りから動作 状態復帰までの時間 ⁷	tEN		---	---	1	ms

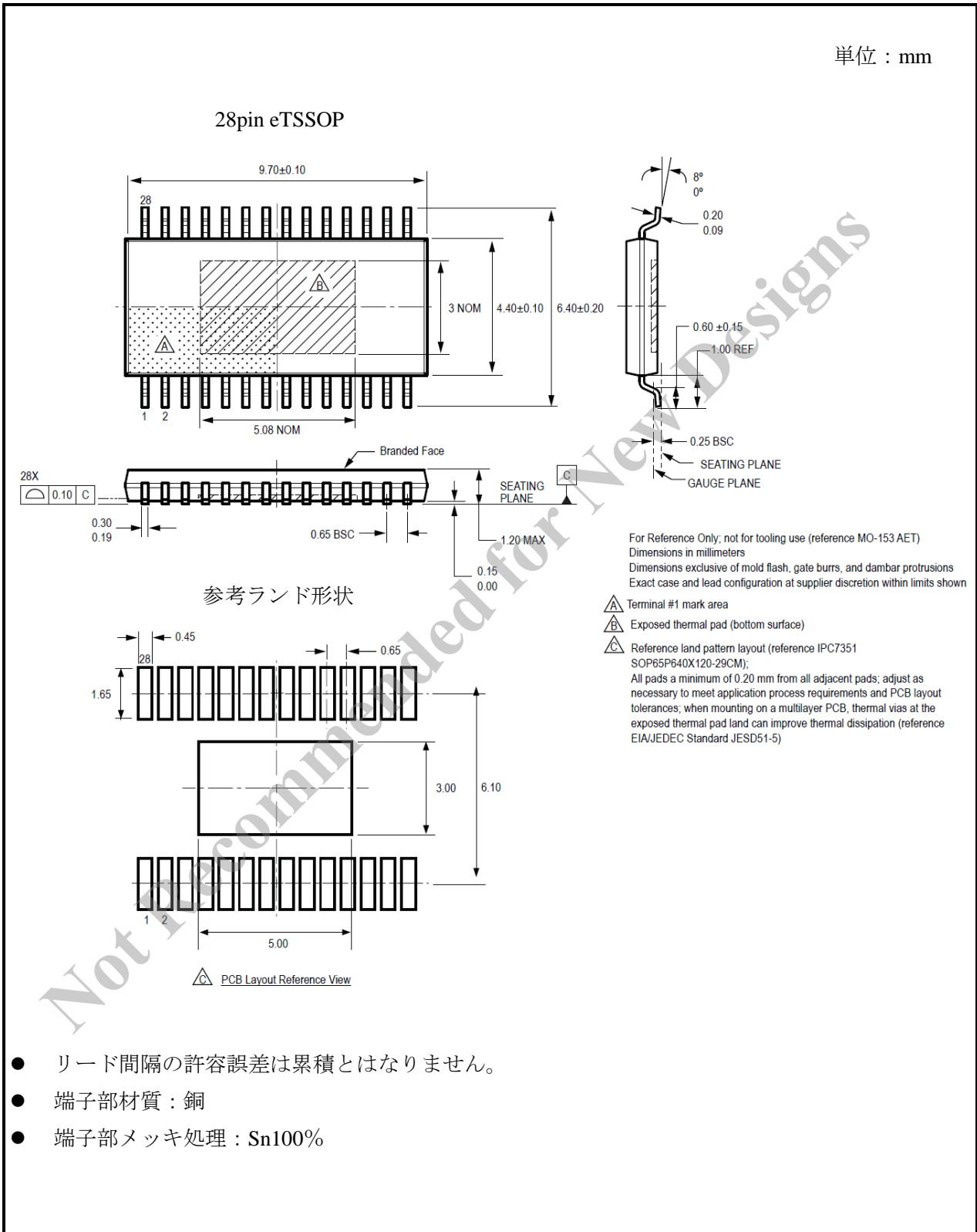
(特に断りなき場合、Ta=25°C, V_{BB}=50V, V_{DD}=3.3V)

項目	記号	条件	規格値			単位
			min	typ	max	
診断と保護						
VREG 低電圧保護動作電圧	V _{REGUV}	V _{REG} 低下時	5.1	---	5.4	V
VREG 低電圧保護ヒステリシス	V _{REGUVHys}		---	1	---	V
VDD 低電圧保護動作電圧	V _{DDUV}	V _{DD} 低下時	2.6	---	2.9	V
VDD 低電圧保護ヒステリシス	V _{DDUVHys}		50	100	---	mV
OSC タイムアウト時間	t _{WD}	CONFIG1 レジスタビット OSC=1	0.5	1	1.5	μs
ハイサイド過電流保護動作電流	I _{OCH}	tsct の後にサンプリング	1.7	2.05	2.95	A
ハイサイド電流制限値	I _{LIMH}	tsct 時間中に動作	3	5.5	8	A
ローサイド過電流検知電圧	V _{OCL}	tsct の後にサンプリング	210	250	290	mV
過電流フォルトレイタイム	t _{SCT}	デフォルト値	1500	2000	2700	ns
オープン負荷電流閾値誤差	E _{IOC}	V _{REF} =2V, MX0=MX1=1	---	---	±10	%
温度センサ出力電圧オフセット	V _{TO}	DIAG 端子から温度出力を選択	---	1440	---	mV
温度センサ出力電圧勾配	A _T	DIAG 端子から温度出力を選択	---	-3.92	---	mV/°C
低温警告動作温度	T _{JWC}	温度低下時	-20	-10	0	°C
低温警告ヒステリシス	T _{JWC_{hys}}		---	15	---	°C
高温警告動作温度	T _{JWH}	温度上昇時	125	135	145	°C
高温警告ヒステリシス	T _{JWH_{hys}}		---	15	---	°C
過熱シャットダウン温度	T _{JF}	温度上昇時	155	170	---	°C
過熱保護ヒステリシス	T _{J_{hys}}	回復温度=T _{JF} +T _{J_{hys}}	---	15	---	°C

- 1 入出力電流について、負電流は指定のデバイス端子から流れ出る方向の電流と定義します。
- 2 “V_{BB}”の記載はすべて V_{BBA} と V_{BBB} の両方に適用されます。
- 3 4MHz クロックを想定しています。
- 4 電流トリップ点誤差とは、最大電流値を 100%として、実際の電流値(トリップ点)と目標の電流値の差に相当します: $E_{I_{Trip}} = 100 \times [I_{Trip(actual)} - I_{Trip(target)}] / I_{full\ scale} (\%)$
- 5 P44 のシリアルインタフェースタイミングチャート中のローマ字に対応します。
- 6 t_{EN} 時間は、初回の V_{DD} 電源起動時やスリープモードからの復帰時に、A4979 の内部チャージポンプとレギュレータが動作状態に達するまでにかかる時間に相当します。動作制御との時間規定については P44 をご覧ください。

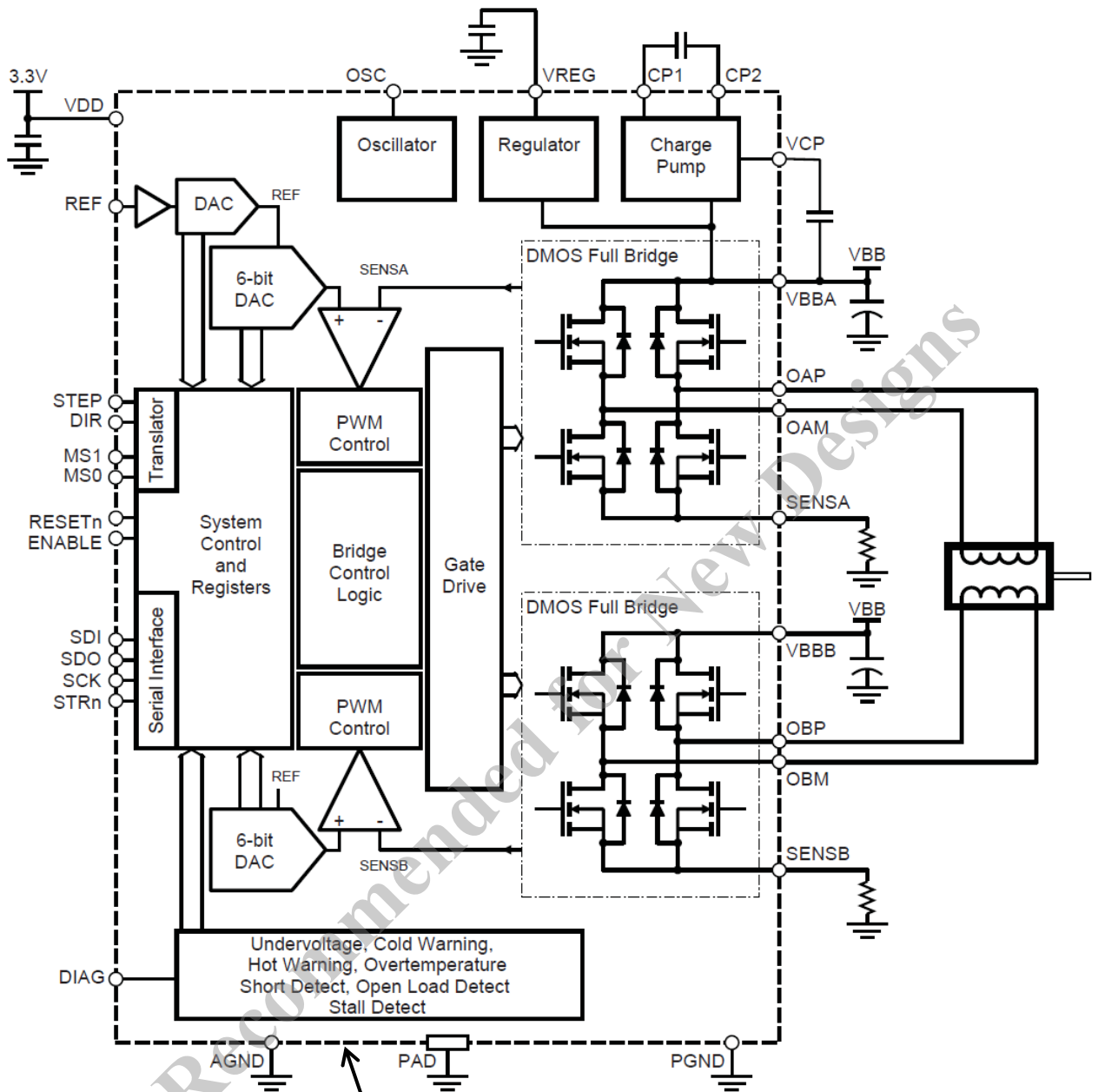
5. 外形図

単位 : mm



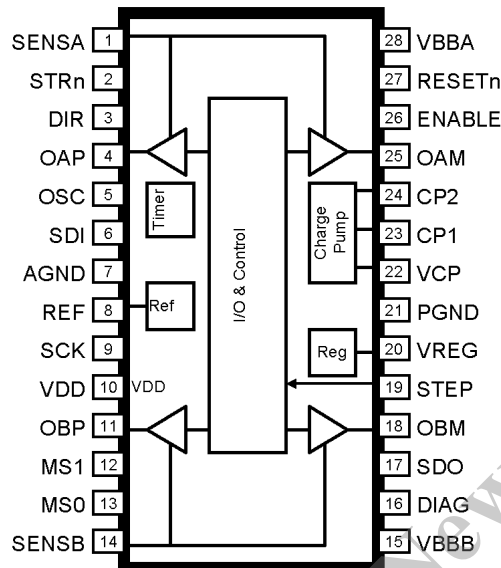
- リード間隔の許容誤差は累積とはなりません。
- 端子部材質 : 銅
- 端子部メッキ処理 : Sn100%

6. 内部ブロック図



本点線より外側は、外付け部品及び回路を表します。

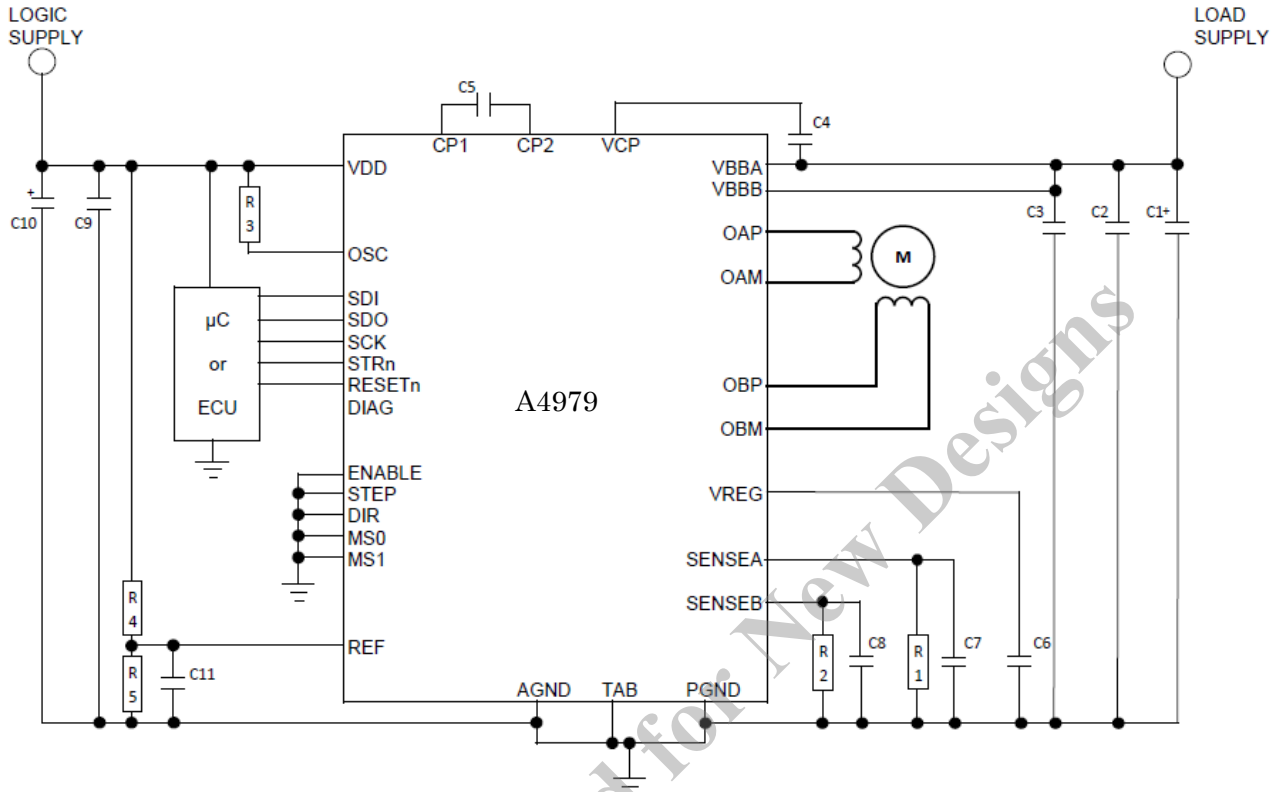
7. Pin 配列



端子名	説明	ピン番号	端子名	説明	ピン番号
SENSA	電流検出端子 A	1	VB B B	主電源入力端子 B	15
STRn	シリアルデータストローブ端子	2	DIAG	診断出力端子	16
DIR	回転方向入力端子	3	SDO	シリアルデータ出力端子	17
OAP	A 相出力端子	4	OBM	B 相出力端子	18
OSC	内部発振周波数設定端子	5	STEP	励磁信号入力端子	19
SDI	シリアルデータ入力端子	6	VREG	内部レギュレータ出力端子	20
AGND	アナログ/デジタル回路基準グラウンド端子	7	PGND	パワーグラウンド端子	21
REF	電流検出基準電圧入力端子	8	VCP	チャージポンプ電圧端子	22
SCK	シリアルクロック入力端子	9	CP1	チャージポンプ汲み上げ用端子 1	23
VDD	ロジック電源入力端子	10	CP2	チャージポンプ汲み上げ用端子 2	24
OBP	B 相出力端子	11	OAM	A 相出力端子	25
MS1	励磁方式設定端子 1	12	ENABLE	イネーブル/ディスエーブル切り替え入力端子	26
MS0	励磁方式設定端子 2	13	RESE Tn	リセット入力端子	27
SENS B	電流検出端子 B	14	VBBA	主電源入力端子 A	28
			PAD (TAB)	外部放熱用ヒートシンクパッド (GND に接続して利用)	---

8. 応用回路例

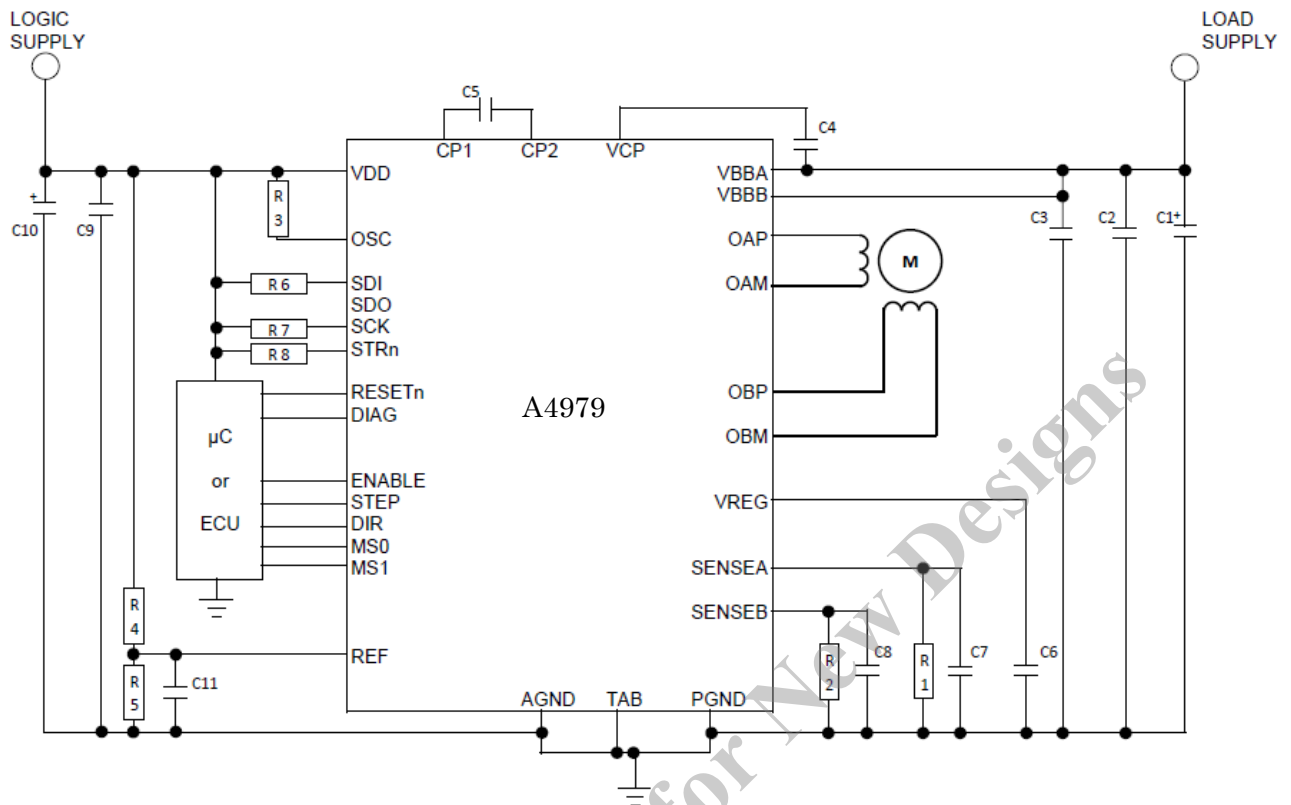
8.1. SPI 制御方式



・想定条件： $V_{BB} = +24V$ (DC)、 $V_{DD} = +5V$ (DC)、 $V_{REF} = 2V$ 、 $I_{SMAX} = 0.7A$

抵抗	回路定数 (TYP 値)	備考
R1, R2	180mΩ (1/4W)	発熱により抵抗値が変化してしまうため、定格は抵抗で消費する損失の 2 倍程度のもを推奨いたします。
R3	51kΩ (1/10W)	抵抗値に基づいて内部発振周波数 (f_{osc}) を設定する場合に設置します。温度条件による抵抗値の変化に対して f_{osc} も変化することを十分ご考慮ください。
R4	22 kΩ (1/10W)	相電流値を決める V_{REF} 電圧の分圧抵抗です ($I_{SMAX} = V_{REF} / [16 \times R_s]$)。十分な電流精度を得るために、 V_{REF} をできるだけ 2V に近い値に設定してください。
R5	15 kΩ (1/10W)	
コンデンサ	回路定数 (TYP 値)	備考
C1+	47μF (50V)	必ず製品の直近に設置してください。基板の配線インピーダンスの影響を抑えるため、製品と同一面に挿入されることが望ましいです。C1 は低 ESR のものをご使用ください。
C2-C3	100nF (50V)	
C4	100nF (50V)	全動作条件にて容量が 80nF 以上になるようご選定ください。
C5	100nF (50V)	全動作条件にて容量が 80nF-220nF を逸脱することがないようにご選定ください。
C6	470nF (25V)	全動作条件にて容量が 220nF-1μF を逸脱することがないようにご選定ください。
C7, C8	10nF (16V)	大きな過渡電流電圧が発生する場合、周波数特性の良いノイズ除去用コンデンサを設置してください。容量は過渡電圧に応じて設定変更してください。
C9	10nF (16V)	必ず製品の直近に設置してください。基板の配線インピーダンスの影響を抑えるため、製品と同一面に挿入されることが望ましいです。
C10+	10μF (16V)	
C11	10nF (16V)	電流精度を維持するため、デカップリング用コンデンサを設置してください。

8.2. Clock-In 制御方式



・想定条件： $V_{BB} = +24V$ (DC)、 $V_{DD} = +5V$ (DC)、 $V_{REF} = 2V$ 、 $I_{SMAX} = 0.7A$

抵抗	回路定数 (TYP 値)	備考
R1, R2	180mΩ (1/4W)	発熱により抵抗値が変化してしまうため、定格は抵抗で消費する損失の 2 倍程度のもを推奨いたします。
R3	51kΩ (1/10W)	抵抗値に基づいて内部発振周波数 (f_{osc}) を設定する場合に設置します。温度条件による抵抗値の変化に対して f_{osc} も変化することを十分ご考慮ください。
R4	22 kΩ (1/10W)	相電流値を決める V_{REF} 電圧の分圧抵抗です ($I_{SMAX} = V_{REF} / [16 \times R_s]$)。十分な電流精度を得るために、 V_{REF} をできるだけ 2V に近い値に設定してください。
R5	15 kΩ (1/10W)	
R6-R8	56kΩ (1/10W)	未使用の SPI 入力端子の不定状態を避けるため、VDD ブルアップ処理を推奨いたします。

コンデンサ	回路定数 (TYP 値)	備考
C1+	47μF (50V)	必ず製品の直近に設置してください。基板の配線インピーダンスの影響を抑えるため、製品と同一面に挿入されることが望ましいです。C1 は低 ESR のものをご使用ください。
C2-C3	100nF (50V)	
C4	100nF (50V)	全動作条件にて容量が 80nF 以上になるようご選定ください。
C5	100nF (50V)	全動作条件にて容量が 80nF-220nF を逸脱することがないようご選定ください。
C6	470nF (25V)	全動作条件にて容量が 220nF-1μF を逸脱することがないようご選定ください。
C7, C8	10nF (16V)	大きな過渡電流電圧が発生する場合、周波数特性の良いノイズ除去用コンデンサを設置してください。容量は過渡電圧に応じて設定変更してください。
C9	10nF (16V)	必ず製品の直近に設置してください。基板の配線インピーダンスの影響を抑えるため、製品と同一面に挿入されることが望ましいです。
C10+	10μF (16V)	
C11	10nF (16V)	電流精度を維持するため、デカップリング用コンデンサを設置してください。

8.3. 注意事項

PCB の回路、レイアウト設計を実施する際は必ず以下の注意事項および『10. アプリケーション情報』を十分考慮しながら行ってください。レイアウトが不適切ですと場合によっては A4979 が正しく動作しない恐れがあります。

✓ 特に VDD /VBB ラインのノイズに注意して下さい。

VDD ラインには必ず製品の直近に電解コンデンサ C10 およびバイパスコンデンサ C9 を挿入して下さい。

C10 および C9 は、PCB による配線インピーダンス(スルーホールなども含む)をできるだけ避けるために、製品と同一面に挿入されることが望ましいです。

VBB ラインには必ず製品の直近に電解コンデンサ C1 とバイパスコンデンサ C2, C3 を挿入して下さい。

C1 および C2, C3 は、PCB による配線インピーダンス(スルーホールなども含む)をできるだけ避けるために、製品と同一面に挿入されることが望ましいです。

✓ 検出抵抗 R1, R2 部には電流制御時に過大なスパイク電圧(電流)が発生することがあります。

スパイク電圧が大きい場合、スパイク電圧除去用のコンデンサ (C7, C8) を付加して下さい。

このコンデンサは周波数特性の良いものをご使用ください。

また製品に直近かつ製品と同一面内に実装してください。容量値に関しましては、スパイク電圧を確認したうえでご判断ください(目安としましては 10nF 程度です)

✓ GND パターンの引き回しには十分に注意して下さい。

製品 GND 部から VDD 系 GND (AGND) と VBB 系 GND (PGND) を分ける(共通インピーダンスを出来るだけ小さくする)とノイズ低減効果があります。

✓ R1, R2 で使用する抵抗の定格選定に注意してください。

R1, R2 で使用する抵抗の定格につきましては、その抵抗で消費する損失の 2 倍程度の定格のものを推奨いたします(発熱により抵抗値が変化してしまうため)。

✓ コンデンサ容量の選定について

C1, C2, C3, C6, C7, C8, C9, C10, C11 はノイズ除去を目的としたコンデンサになります。

応用回路例にてこれらのコンデンサの容量値を推奨値として掲載しておりますが、容量値の選定につきましては、ユーザー様における実働確認において十分検証を行った上でご判断ください。

9. 機能説明

9.1. 概要

A4979 はバイポーラスステップモータを駆動するシーケンサ機能付きモータドライバです。自由度の高いマイクロステップ動作が可能な SPI 制御方式の他に、高速ステップ用途に向けたより単純な Clock-In 制御方式も利用することができます。

SPI 制御では、三線式同期シリアルインタフェースを利用することで A4979 のあらゆる機能を制御することができ、四線式にすることでさらに診断結果のフィードバックを得ることができます。ステップ移動の制御は指定レジスタに正負のステップ変化量を入力して行います。一方 Clock-In 制御では、STEP や DIR の端子入力を用いてステップ移動の制御を行います。設定・制御パラメータはデフォルト値から変更できないので、用途に合わせて各パラメータを最適化するには SPI によるレジスタビット設定が不可欠です。

前述の通り、A4979 は二つの DMOS フルブリッジにより、バイポーラスステップモータを $\pm 1.5A$ 、28V の範囲まで、フルステップ (2 相励磁方式)・ハーフステップ (1-2 相励磁方式)・1/4 マイクロステップ (W1-2 相励磁方式)・1/16 マイクロステップ (4W1-2 相励磁方式)にて駆動させることができます。モータに流れる相電流はピーク検知 PWM 電流制御方式によって制御されており、最適な電流減衰モードを選択することでモータ雑音を低減させ、ステップ精度を上げることができます。さらに相電流表を SPI でプログラムすることにより、デフォルトでは正弦波の電流プロファイルをお好みの波形に変更することが可能です。

短絡保護機能がある上、オープン負荷やロータの脱調を検知する機能も搭載しています。チップレベルでの保護機能には、高温・低温警告、過熱保護、低電圧保護機能があります。

9.2. 各端子の機能説明

VBBA, VBBB: モータ、内部レギュレータおよびチャージポンプの主電源入力

VBBA と VBBB を繋ぎ、どちらも低 ESR の電解コンデンサと適切なセラミックコンデンサを用いて GND にデカップリングする必要があります。

CP1, CP2: チャージポンプ用コンデンサ接続

CP1 と CP2 との間に 100nF (50V) のセラミックコンデンサを繋いでください。

VCP: ハイサイドドライブ用の供給電圧以上の電源入力

VCP と VBB との間の電荷蓄積に 100nF (16V) のセラミックコンデンサをご使用ください。

VDD: ロジック電源入力

3.3V と 5V のロジック入力に対応します。100nF (10V) のセラミックコンデンサを用いて GND にデカップリングする必要があります。

VREG: ブリッジゲートドライブ用レギュレート電圧出力

470nF (10V) のセラミックコンデンサを用いて GND にデカップリングする必要があります。

AGND: アナログ/デジタル回路基準 GND 入力

VDD 電源の GND、PGND と裏面放熱板 (TAB) と接続してご使用ください。

PGND: パワー GND 入力

VBB 電源の GND、AGND と裏面放熱板 (TAB) と接続してご使用ください。

OAP, OAM: モータ A 相接続

正方向のモータ相電流は OAM から OAP への方向と定義します。

OBP, OBM: モータ B 相接続

正方向のモータ相電流は OBM から OBP への方向と定義します。

SENSEA: 相 A の電流検出

SENSEA と PGND との間に検出抵抗を挿入してください。

SENSEB: 相 B の電流検出

SENSEB と PGND との間に検出抵抗を挿入してください。

REF: 両相の絶対最大電流値設定用参照入力

VREF の入力電圧範囲は 0.8-2.0V ですが、電流精度を上げるためにできるだけ 2.0V に設定することを推奨します。VDD と接続した場合、VREF は 1.2V (TYP 値) の内部基準電圧 (VREFint) になります。

す。

□STEP:ステップ励磁用ロジック信号入力²

立ち上がりエッジでモータがステップし、Step Angle Number が増減します。ステップあたりの増減の量は MS0, MS1 の設定によって決まります。ヒステリシスをもつ、フィルタされた入力です。

□DIR:回転方向ロジック信号入力²

DIR の設定変更を行ってから次の STEP 入力立ち上がりエッジのタイミングで回転方向が変わります。DIR が HI レベルのときに STEP の立ち上がりエッジにて Step Angle Number が増加し、LO レベルのときは Step Angle Number が減少します。SPI 制御を行っているときは特に動作に影響はしません。ヒステリシスをもつ、フィルタされた入力です。

□MS0, MS1:励磁方式設定入力²

Clock-In 制御における励磁方式の設定入力はこれらの端子入力と CONFIG0 レジスタの MS[1:0]ビット入力(デフォルト値 = [0 0])の論理和(OR)から成ります。SPI 制御時はこの設定入力自体が無視されますが、フルステップモードに設定されていますと脱調検出機能がディスエーブルされますのでご注意ください³。

MS1 (論理和)	MS0 (論理和)	ステップモード
0	0	フルステップ
0	1	ハーフステップ
1	0	1/4 マイクロステップ
1	1	1/16 ステップ

□RESETn:リセット入力

リセットパルス幅 (trST) の時間だけ LO レベルに保持しますと、診断レジスタ内でラッチされていたフォルトビットはクリアされ、すべてのフォルトビットは 0 に初期化されます。一方、RESETn 端子がリセットシャットダウン幅 (trSD) の時間以上 LO レベルに保持されますと、A4979 は強制的にシャットダウンし、低消費電力のスリープモードに入ります。なお、RESETn による操作で診断レジスタ以外の設定・制御用レジスタの設定値が初期値に戻ることはありませんし、TBLLD レジスタより書き換えられた相電流表もデフォルト値に戻ることはありません。

スリープモードからの復帰後に最初に行われる診断レジスタの読み出しでは、0 x B800 {(B800)₁₆} が出力され、スリープモードから復帰したことを外部コントローラに知らせます。診断レジスタをリセット(初期化)したい場合は、RESETn 入力によるリセットと、レジスタ書き込みによるリセットの二通りの方法がありますが、一般的に後者の方が多くのユーザに利用されています。

RESETn 端子は 30kΩ の抵抗を用いて VBB にプルアップすることが可能です。

□ENABLE:ブリッジ出力の無効/有効状態切替入力

LO レベルで出力を無効にし、すべての出力ブリッジ MOSFET をオフにします。このとき内部ロジックは内部コマンドに従って動作しつづけます。なお、出力イネーブルの制御入力は ENABLE 端子入力と RUN レジスタの EN ビット入力の論理和(OR)から成ります。

□SDI:シリアルデータ入力

最上位ビットで始まる 16 ビットのシリアル入力です。この端子から各レジスタの設定入力を行います。

□SDO:シリアルデータ出力

STRn が HI レベルのときに高インピーダンスになります。STRn が LO レベルになるとすぐに診断レジスタ (FAULT0,1 レジスタ) を FF ビットから出力し始め、フォルト検出の有無を知らせます。

□SCK:シリアルインタフェースクロック入力

SDI での入力データは SCK 信号の立ち上がりエッジでラッチされます。したがって、一度のレジスタ書き込みで 16 回の立ち上がりエッジが必要であり、STRn が切り替わるときに SCK 入力は HI レベルでなければなりません。STRn が LO の期間中に、SCK 入力の立ち上がりエッジの回数が 16 を超えていたり、16 未満であったりした場合、データ転送エラーが検出され、SDO 端子にて FF ビットが 1 にセットされた診断レジスタが出力されます。このとき、レジスタの書き換えは一切行われず、ラッチされているフォルトビットもリセットされません。

² パラレル制御用のロジック入力です。

³ SPI 制御でかつフルステップモード時に脱調検出を行うには、MS1, MS0 (論理和) をフルステップに設定し、RUN レジスタの SC ビットを ±16 に設定します。パラレル制御でかつフルステップモード時は脱調検出をご利用になれません。

□STRn: シリアルデータスレーブ、シリアルアクセス有効化入力

STRn が HI レベルのとき、SCK と SDI の端子入力は無視され、SDO は高インピーダンス出力になります。これより複数の SDI スレーブが共通の SDI、SCK と SDO の接続を利用することができます。

□DIAG: 診断出力

CONFIG1 レジスタの DIAG[1:0] ビットより、以下の 4 通りの診断出力から選択設定することができます。デフォルト出力は一番目のフォルトフラグ出力となっています。

- DIAG 端子出力のフォルトフラグ⁴
- 脱調検出⁵
- A 相の PWM-オン時間
- IC チップ温度

□OSC: 発振周波数入力

発振周波数の利用方法に応じて CONFIG1 レジスタの OSC ビットの設定および OSC 端子の端子処理を次のように行います。

(i) OSC ビット=0 (デフォルト設定)、OSC 端子を AGND に接続:

内部発振周波数 4MHz が利用可能になり、周波数誤差は±20%以内になります。

(ii) OSC ビット=0 (デフォルト設定)、抵抗を介して OSC 端子を VDD にプルアップ:

下記式にしたがって内部発振周波数がおおよそ決まります。

$$f_{osc} = 10\,000 / (48R_{osc} - 20)$$

ここで f_{osc} は内部発振周波数 [MHz]、 R_{osc} は OSC-VDD 間のプルアップ抵抗値 [kΩ] に相当します。なお、 R_{osc} が 51kΩ のとき、 f_{osc} が 4MHz、周波数誤差が±10%以内となります⁶。

(iii) OSC ビット=1、OSC 端子に外部からシステムクロック周波数を入力:

上記よりもさらに周波数誤差を小さくするには、外部入力発振周波数を利用する方法があります。OSC ビットを 1 に設定変更しますと、OSC から外部システムクロック (3~5MHz) が入力できるようになります。このモードではシステムクロックの消失を検知するウォッチドッグ機能が働きます。OSC 入力がウォッチドッグ時間 (twd: TYP 値 1μs) 以上 HI レベルまたは LO レベルに保持されると、診断レジスタの FF ビットが 1 にセットされ、クロック入力が再開するまで出力が無効になります。

9.3. SPI 通信による機能設定

SPI と互換性のある 3 線の同期シリアルインタフェースを使用することで、A4979 のあらゆる機能が制御できるようになります。線をもう一本増やせば、内部診断のフィードバックを得ることもできます。もちろん SPI 通信を行わなくても、レジスタ内の初期値と STEP、DIR の入力信号を利用したモータの制御が可能です。特殊な用途に合わせた動作パラメータの設定を行うには SPI 通信によるレジスタの書き換えが必須です。なお、シリアルインタフェースの入力タイミングについては P7 の『4.3 電気的特性』および P44 のシリアルインタフェースタイミングチャートをご覧ください。

9.4. レジスタへの書き込み

各レジスタへの書き込み入力は SDI (Serial Data Input) 端子にて行います。SDI で入力されたデータはシフトレジスタにより、SCK のクロック信号の立ち上がりエッジに合わせて同期されます。STRn は通常 HI レベルとなっていますので、この間はデータの同期は行われませんが、STRn を LO レベルにすると書き込みが行えるようになります。したがって、複数の SDI スレーブを同時接続し、共通の SDI、SCK、SDO 入力を利用することができます。なお STRn に関しては個々の SDI スレーブあたり一入力ずつ必要になります。

⁴ 通常 HI で、フォルト発生時に LO レベルを出力します。診断レジスタの FF ビットとは機能的に異なります。

⁵ 脱調検出時に LO レベルを出力します。

⁶ R_{osc} 抵抗値の誤差による周波数誤差は、A4979 内部で発生する±10%の周波数誤差に加算されます。

各レジスタの概要

レジスタ	MSB	対応レジスタ	レジスタ書き込み内容
0	0	CONFIG0	システムパラメータ
0	1	CONFIG1	システムおよび診断パラメータ
1	0	RUN	モータ駆動や相電流制御パラメータ
1	1	TBLLD	相電流表設定パラメータ ⁷

前項と上記に各レジスタの構成を示します。それぞれ 16 ビットからなり、レジスタを特定するための指定アドレスで始まります。各レジスタの働きは 9.5 以降で説明します。

16 ビット分のデータがシフトレジスタに同期されると、STRn を一旦 HI レベルにして指定の書き込み先レジスタにデータをラッチさせます。これが終了しますと、内部制御回路は新しい設定値を反映した動作を始め、診断レジスタ (FAULT0,1 レジスタ) も初期化されます。

もし STRn が LO レベルの間に CLK の立ち上がりエッジ数が 16 未満、あるいは 16 を超えている場合、その書き込み自体がキャンセルされ、制御用レジスタへの書き込みは行われません。その上、診断レジスタも初期化されません。その代わりに診断レジスタの FF ビットが 1 に設定されてデータ転送エラーを報告します。

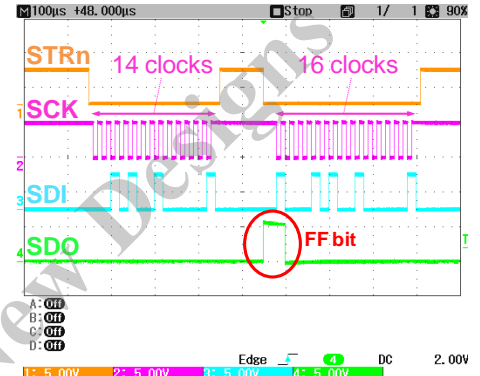


図 SCK 入力パルス数<16 によるデータ転送エラーの例

9.5. 各設定・制御レジスタビットの説明

シリアルレジスタマップ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

Configuration and Control Registers (Write)

Configuration Register 0 (CONFIG0)	0	0	SYR	MS1	MS0	MX11	MX10	PFD2	PFD1	PFD0	TBK1	TBK0	TOF2 FRQ2	TOF1 FRQ1	TOF0 FRQ0	PWM
			1	0	0	1	1	1	0	0	0	1	0	0	1	0
Configuration Register 1 (CONFIG1)	0	1	OSC	TSC1	TSC0						CD3	CD2	CD1	CD0	DIAG1	DIAG0
			0	1	0	0	0	0	0	0	1	0	0	0	0	0
Run Register (RUN)	1	0	EN	OL1	OL0	HLR	SLEW	BRK	DCY1	DCY0	SC5	SC4	SC3	SC2	SC1	SC0
			0	0	1	0	1	0	1	0	0	0	0	0	0	0
Table Load Register (TBLLD)	1	1								PTP	PT5	PT4	PT3	PT2	PT1	PT0
			0	0	0	0	0	0	0	1	0	0	0	0	0	0

⁷ P27 の『相電流の書き換え』をご参照

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CONFIG 0	0	0	SYR	MS1	MS0	MXI1	MXI0	PFD2	PFD1	PFD0	TBK1	TBK0	TOF2 FRQ2	TOF1 FRQ1	TOF0 FRQ0	PWM
			1	0	0	1	1	1	0	0	0	1	0	0	1	0

Configuration Register 0

SYR Synchronous rectification

SYR	Synchronous Rectification	Default
0	Diode recirculation	
1	Synchronous	D

MS[1:0] Microstep mode for external STEP input control

MS1	MS0	Microstep Mode	Default
0	0	Full Step	D
0	1	Half Step	
1	0	Quarter Step	
1	1	Sixteenth Step	

 MXI[1:0] Max phase current as a percentage of I_{SMAX}

MXI1	MXI0	Maximum Current	Default
0	0	25%	
0	1	50%	
1	0	75%	
1	1	100%	D

 PFD[2:0] Fast decay time for mixed decay
Assumes 4-MHz clock

PFD2	PFD1	PFD0	Fast Decay Time	Default
0	0	0	2 μ s	
0	0	1	3 μ s	
0	1	0	4 μ s	
0	1	1	6 μ s	
1	0	0	8 μ s	D
1	0	1	10 μ s	
1	1	0	14 μ s	
1	1	1	20 μ s	

TBK[1:0] Blank Time

Assumes 4-MHz clock

TBK1	TBK0	Blank Time	Default
0	0	1 μ s	
0	1	1.5 μ s	D
1	0	2.5 μ s	
1	1	3.5 μ s	

TOF[2:0] Off time (only valid when PWM bit = 0)

Replaces FRQ bits

Assumes 4-MHz clock

TOF2	TOF1	TOF0	Off Time	Default
0	0	0	20 μ s	
0	0	1	24 μ s	D
0	1	0	28 μ s	
0	1	1	32 μ s	
1	0	0	36 μ s	
1	0	1	40 μ s	
1	1	0	44 μ s	
1	1	1	48 μ s	

FRQ[2:0] Frequency (only valid when PWM bit = 1)

Replace TOF bits

Assumes 4-MHz clock

FRQ2	FRQ1	FRQ0	Period / Frequency	Default
0	0	0	24 μ s / 41.7 kHz	
0	0	1	32 μ s / 31.3 kHz	D
0	1	0	40 μ s / 25.0 kHz	
0	1	1	46 μ s / 21.7 kHz	
1	0	0	52 μ s / 19.2 kHz	
1	0	1	56 μ s / 17.9 kHz	
1	1	0	60 μ s / 16.7 kHz	
1	1	1	64 μ s / 15.6 kHz	

PWM PWM configuration

PWM	MODE	Default
0	Fixed off-time	D
1	Fixed frequency	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CONFIG 1	0	1	OSC	TSC1	TSC0						CD3	CD2	CD1	CD0	DIAG1	DIAG0
			0	1	0	0	0	0	0	0	1	0	0	0	0	0
RUN	1	0	EN	OL1	OL0	HLR	SLEW	BRK	DCY1	DCY0	SC5	SC4	SC3	SC2	SC1	SC0
			0	0	1	0	1	0	1	0	0	0	0	0	0	0

Configuration Register 1

OSC Selects clock source

OSC	Clock Source	Default
0	Internal	D
1	External	

Overcurrent fault delay

TSC[1:0] Assumes 4-MHz clock

TSC1	TSC0	Detect Delay Time	Default
0	0	0.5 μ s	
0	1	1 μ s	
1	0	2 μ s	D
1	1	3 μ s	

PWM count difference for ST detection

CD[3:0] Default to 8

DIAG[1:0] Selects signal routed to DIAG output

DIAG1	DIAG0	Signal on DIAG Pin	Default
0	0	Fault—low true	D
0	1	ST—low true	
1	0	PWM-on, Phase A	
1	1	Temperature	

Run Register

Phase current enable

EN OR with ENABLE pin

EN	Phase Current Enable	Default
0	Output bridges disabled if ENABLE pin = 0	D
1	Output bridges enabled	

Open load current threshold as a percentage of maximum current defined by I_{SMAX} and MXI[1:0]

OL1	OL0	Open Load Current	Default
0	0	20%	
0	1	30%	D
1	0	40%	
1	1	50%	

HLR Selects slow decay and brake recirculation path

HLR	Recirculation Path	Default
0	High side	D
1	Low side	

SLEW Slew rate control

SLEW	Slew Rate Control	Default
0	Disable	
1	Enable	D

BRK Brake enable

BRK	Brake	Default
0	Normal operation	D
1	Brake active	

DCY[1:0] Decay mode selection

DCY1	DCY0	Decay Mode	Default
0	0	Slow	
0	1	Mixed—PFD fixed	
1	0	Mixed—PFD auto	D
1	1	Fast	

SC[5:0] Step change number

2's complement format

Positive value increases Step Angle Number

Negative value decreases Step Angle Number

Not Recommended for New Designs

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBLLD	1	1								PTP	PT5	PT4	PT3	PT2	PT1	PT0
			0	0	0	0	0	0	0	0	1	0	0	0	0	0
Fault 0	FF	TW1	TW0	-	UV	ST	OLB	OLA	BML	BMH	BPL	BPH	AML	AMH	APL	APH
Fault 1	FF	TW1	TW0	-	UV	ST	OLB	OLA	0	0	SA5	SA4	SA3	SA2	SA1	SA0

Table Load Register

PTP Parity bit (odd parity)
 PT(0:15)[5:0] Phase Table Value

Table Load Register Mapping

	Step Angle Number							
	Phase A				Phase B			
0%	0		32			16		48
PT(0)	1	31	33	63	15	17	47	49
PT(1)	2	30	34	62	14	18	46	50
PT(2)	3	29	35	61	13	19	45	51
PT(3)	4	28	36	60	12	20	44	52
PT(4)	5	27	37	59	11	21	43	53
PT(5)	6	26	38	58	10	22	42	54
PT(6)	7	25	39	57	9	23	41	55
PT(7)	8	24	40	56	8	24	40	56
PT(8)	9	23	41	55	7	25	39	57
PT(9)	10	22	42	54	6	26	38	58
PT(10)	11	21	43	53	5	27	37	59
PT(11)	12	20	44	52	4	28	36	60
PT(12)	13	19	45	51	3	29	35	61
PT(13)	14	18	46	50	2	30	34	62
PT(14)	15	17	47	49	1	31	33	63
PT(15)		16		48	0		32	

Fault Register 0

- FF Fault register flag
- TW1 Temperature diagnostic
- TW0 Temperature diagnostic
- UV Undervoltage on VREG or VBB detected
- ST Stall detected
- OLB Open load detected on phase B
- OLA Open load detected on phase A
- BML Overcurrent detected on BM output low side
- BMH Overcurrent detected on BM output high side
- BPL Overcurrent detected on BP output low side
- BPH Overcurrent detected on BP output high side
- AML Overcurrent detected on AM output low side
- AMH Overcurrent detected on AM output high side
- APL Overcurrent detected on AP output low side
- APH Overcurrent detected on AP output high side

Fault Register 1

- FF Fault register flag
- TW1 Temperature diagnostic
- TW0 Temperature diagnostic
- UV Undervoltage on VREG or VBB detected
- ST Stall detected
- OLB Open load detected on phase B
- OLA Open load detected on phase A
- SA[0:5] Step Angle Number read back
- OLA Open load detected on phase A

TW[0:1] Temperature diagnostic

TW1	TW0	Thermal Indicator
0	0	No Fault
0	1	Cold Warning
1	0	Hot Warning
1	1	Overtemperature Shutdown

(1) CONFIG0 レジスタ

・SYR ビット

同期整流 (Synchronous) と非同期整流 (Diode recirculation [Non-synchronous]) の選択設定ができます。

同期整流モードでは、電流減衰時における熱損失を抑制するために、電流を MOSFET のボディダイオードではなく、MOSFET に流します。これにより、電流回生時の熱損失が抑えられます。なお、貫通電流の発生を防ぐため、オンオフ切り替え後のデッドタイム中 (~600ns) は電流が MOSFET のボディダイオードを流れます。

上記理由により、ほとんどのケースでは同期整流の利用が推奨されますが、スイッチング回数がより多いことを嫌って非同期整流が好まれるケースもまれにあります。

・MS[1:0] ビット

STEP 端子入力による Clock-In 制御を行い、かつ SPI によりステップモードを設定したい場合に使用します。フルステップ、ハーフステップ、1/4 マイクロステップ、1/16 マイクロステップから選択設定することができます。1/8 マイクロステップモードは SPI 制御時しか利用できず、Clock-In 制御では利用できません。

なお、Clock-In 制御におけるステップモードの設定は MS0, MS1 の端子入力と MS[1:0] ビット入力の論理 OR からなりますので、SPI にて設定を行うには両端子を LO 固定にする必要があります。

SPI 制御時の場合、上記設定値は動作に影響しません。ただし、フルステップモードに設定されていますと脱調検出はディスエーブルされますので、他のステップモードに設定する必要があります。

・MXI[1:0] ビット

$I_{SMAX} (= V_{REF} / [16 \times R_S])$ の絶対最大相電流値に対し、相電流表における最大電流値 I_{PMAX} の割合を 25%/50%/75%/100% の中から選択設定することができます。

$$\left[\begin{array}{l} \text{〔例〕 } MXI[1:0] = 01 \text{ (50\% のとき、)} \\ I_{PMAX} = I_{SMAX} \times 0.5 \end{array} \right]$$

このビット設定により、回路構成を変えることなく、A4979 を使ったモータドライブユニットを電流値の異なる用途に展開することができます。

・PFD[2:0] ビット

Fast Decay 時間が固定される Mixed - PFD fixed の電流減衰モード (RUN レジスタの DCY[1:0] ビットにて設定) における Fast Decay 時間の選択設定をします。Fast Decay 時の電流減衰率は Slow Decay 時と比べて高いため、Fast Decay 時間が長いほど電流リップルが大きくなりますので、Fast Decay 時間を設定する際は相電流の電流リップルを実測して適切な値を選択してください。

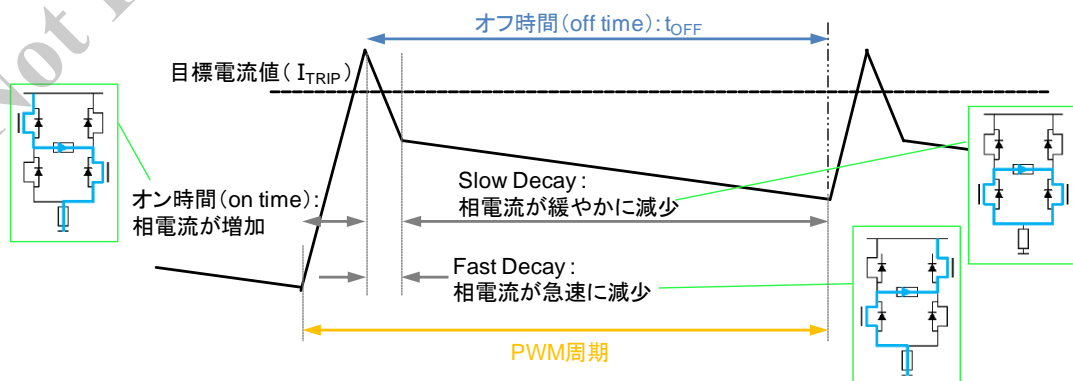


図 PWM オン時間/オフ時間中の相電流変化の様子

・TBK[1:0]ビット

ブランク時間とは、PWM オフ時間が終了してから相電流のコンパレータが無視される時間に相当します。これにより、MOSFET のオン切り替えで発生する容量性スイッチング電流によるピーク電流の誤検出を防止することができます。ブランク時間の設定を最適化の際は相電流を実際に観測して過渡電流が十分カバーできる時間を選択してください。

なお、ブランク時間はデッドタイム (~600ns) も含みます。

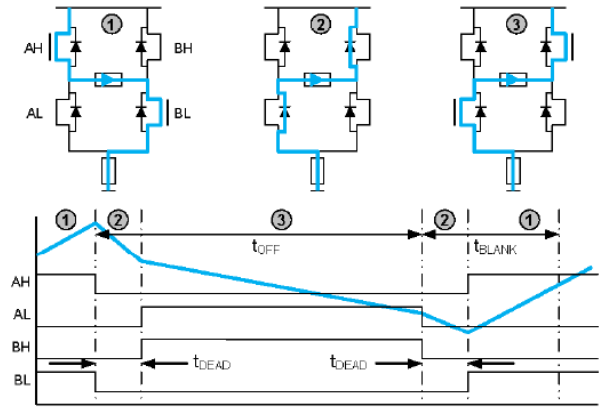


図 ブランク時間およびデッドタイムの時間規定

・TOF[2:0]ビット

PWM 固定オフ時間モード (CONFIG0 レジスタの PWM ビットにて設定) を選択した場合のオフ時間の選択設定ができます。設定電流値に対して電流リップルが最小となるよう、オフ時間を設定します。

・FRQ[2:0]ビット

PWM 固定周波数モード (CONFIG0 レジスタの PWM ビットにて設定) を選択した場合の PWM 周波数の選択設定ができます。

・PWM ビット

PWM 固定オフ時間モード (Fixed off-time) と PWM 固定周波数モード (Fixed frequency) から選択設定することができます。

－固定オフ時間モード: 電流の減衰が行われるオフ時間を固定しますと電流リップルはほぼ一定になりますが、PWM 周期はオン時間の変動に応じて変化するため、EMC フィルタのバンド幅を広めに設定する必要があります。

－固定周波数モード: PWM 周期が一定になりますので EMC フィルタのバンド幅を狭く設定することができますが、オン時間の変動に応じて電流の減衰が行われるオフ時間が変化してしまうので、電流リップルが変動する恐れがあります。

動作条件における電流リップル性能や EMC 性能を考慮してモード選択を行ってください。また、オープン検出機能が 15PWM 周期を時間閾値としていることにも注意が必要です (詳しくは P39 の『(5) OLA, OLB (オープン負荷検出) ビット』をご参照ください)。

(2) CONFIG1 レジスタ

・OSC ビット

内部発振周波数の利用 (Internal) と外部発振周波数の入力 (External) から選択設定することができます。詳しくは P17 の OSC 端子説明をご覧ください。

・TSC[1:0]ビット

ショートフォルトブランキング時間 (tsct) を選択設定することができます。tsct 時間については P41 の『ショートフォルトブランキング』をご覧ください。

・CD[3:0]ビット

脱調の検出閾値となる PWM カウント数の差を (0) ~ 15 まで設定することができます。数値が大きいくほど脱調検出はしづらくなり、小さいほど脱調検出がしやすくなると同時にその信頼性も下がります。デフォルト設定値 (8) での信頼性は高いと考えられますが、これよりも下げる場合は十分な実験検証が必要です。なお、A4979 の脱調検出機能はあくまでも補助的な検出機能であり、すべてのモータに対して脱調検出を保証するものではありません。脱調検出機能の詳細説明については P38 の『(4) ST (脱調検出) ビット』をご覧ください。

・ DIAG[1:0]ビット

DIAG 端子の診断出力を 4 通りの中から選択設定することができます。各設定については P43 の『9.10(9) DIAG 端子からのフォルト出力』をご覧ください。

(3) RUN レジスタ

・ EN ビット

EN = 0 のとき出力をディスエーブルし、EN = 1 のとき出力をイネーブルします。出力イネーブルのロジック入力には EN 端子入力と EN ビット入力の論理 OR からなるので、ビットにて操作を行うには EN 端子を LO に固定する必要があります。

・ OL[1:0]ビット

出力端子のオープン状態が検出される相電流閾値を I_{PMAX} に対して 20%/30%/40%/50%の割合で選択設定することができます。モータのインダクタンスが高く、オープンフォルトが誤検出されやすい場合は、まずデフォルト設定値の 30%から 20%に設定変更してみてください。オープン負荷検出機能の詳細については P39 の『(5) OLA, OLB (オープン負荷検出)ビット』をご覧ください。

・ HLR ビット

PWM オフ時間中の Slow Decay 期間における相電流の減衰経路をハイサイド側閉回路およびローサイド側閉回路から選択設定できます。電流減衰経路が EMC 性能に影響を与えるケースがまれにあるので、必要があれば実測によってご使用用途に合った設定をご選定ください。

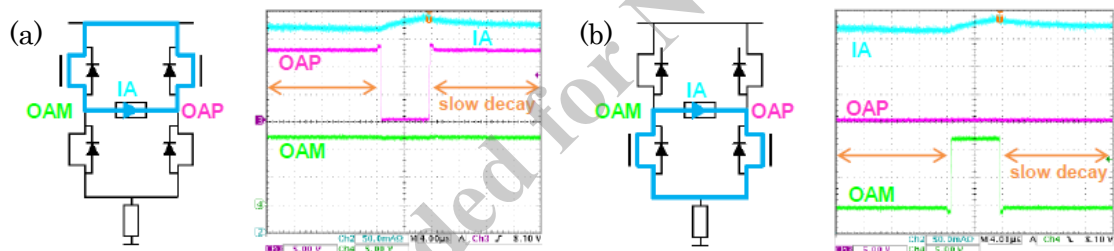


図 ハイサイド側(a)およびローサイド側(b)閉回路における Slow Decay の様子

・ SLEW ビット

SLEW = 1 のとき、出力電圧のスイッチング時間の制御をイネーブルし、SLEW = 0 のときにディスエーブルします。ディスエーブル時はほとんどのアプリケーションで出力電圧が数 ns 以内にスイッチしますが、スイッチング時間が制御されていないことから出力が不安定です。スイッチング時間の制御を行いますと、出力電圧は >100ns の時間でスイッチし、安定な出力が得られます。ほとんどのアプリケーションで SLEW = 1 のデフォルト設定をご使用いただいています。

・ BRK ビット

A4979 を二つのブラシ DC モータの制御に用いた場合に使用できる機能であり、ほとんどのステップモータではご使用になれません。これを用いてモータを電気機械的にブレーキ (停止) させることができます。

・ DCY[1:0]ビット

PWM オフ時間における電流減衰モードを選択設定できます。車載アプリケーションでは Mixed-PFD auto モードの設定が推奨されます。各電流減衰モードについては『9.9 電流減衰モード』をご覧ください。

・ SC[5:0]ビット

SPI 制御時のステップモードを設定します。入力する数値は単位ステップあたりにおけるステップ移動量に相当します。

- －フルステップモード： SC[5:0] = 16
- －1/8 マイクロステップモード： SC[5:0] = 2
- －ハーフステップモード： SC[5:0] = 8
- －1/16 マイクロステップモード： SC[5:0] = 1
- －1/4 マイクロステップモード： SC[5:0] = 4

9.6. 相電流制御

モータ各相へ電流を交互に流せばモータは回転しますが、温度や電圧に対してトルクを正確に制御するためには電流の制御が不可欠です。電流を制御することによりモータの動きをより滑らかにすることができ、トルクのリップルや機械的雑音も低減させることができます。一般的に精密な制御を行うためにはパルス幅制御 (PWM) 方式が用いられます。

A4979 では、モータ各相への電流は低インピーダンスの N チャネル DMOS フルブリッジによって制御されていますので、PWM スイッチングによる高効率で正確な制御が可能です。フルブリッジ構造であるおかげで PWM オン時間中は相電流方向が完全に制御でき、また PWM オフ時間中は電流の減衰が完全に制御可能となっています。SPI を介して制御方法をプログラムすることも可能です。

9.7. 誤動作防止対策

・ 貫通電流の防止：

ハイサイドとローサイド間の貫通電流は、固定デッドタイム (t_{DEAD}) を設けることで発生を防止しています。これは一つの MOSFET をオフにしてから相補の MOSFET をオンするまでの時間に相当します。

・ 容量性スイッチング電流によるピーク電流誤検出の防止：

PWM オン時間が始まってからブランク時間の間は、相電流のコンパレータが無視されます。このブランク時間は、いかなる容量性スイッチング電流によるピーク電流の誤検出でも防止できるように設けられています。

9.8. 相電流値の制御

各ステップ位置における相対的な目標相電流値は**相電流表**に従って定義されます。次頁の表にデフォルト設定の相電流表を示します。一方、絶対的な目標相電流値は最大電流値 I_{PMAX} で決まります。

まず、A4979 の絶対最大電流値 I_{SMAX} は以下のように定義されます：

$$I_{SMAX} = V_{REF} / (16 \times R_s)$$

ここで V_{REF} は REF 端子電圧、 R_s は検出抵抗値を表します。そして、 I_{PMAX} は相電流表のピーク電流 (100%) であり、 $I_{SMAX} \times$ 設定比率 (CONFIG0 レジスタの MXI[1:0] ビットで設定) に相当します。この I_{PMAX} 値と相電流表の中身にしたがって、各ステップ位置における目標電流値がデジタルアナログコンバータ (DAC) にて電圧値として生成されます。

相電流の実測値は各相の検出抵抗 R_s により検出され、それぞれの SENSx 端子へ検出電圧がフィードバックされます。検出電圧は固定ゲインで 16 倍に増幅され、電流コンパレータにて DAC 出力と比較されます。このように相電流値の制御が行われます。

相電流表 (デフォルト、VDD 電源起動時)

Step Angle Number					Phase Current (% of I _P MAX)		Step Angle	Phase		DAC		Step Angle Number					Phase Current (% of I _P MAX)		Step Angle	Phase		DAC	
Full	1/2	1/4	1/8	1/16	A	B		A	B	A	B	Full	1/2	1/4	1/8	1/16	A	B		A	B	A	B
0	0	0	0	0	0.00	100.00	0.0	0	0	0	63	4	8	16	32	0.00	-100.00	180.0	0	1	0	63	
			1	1	9.38	100.00	5.4	0	0	5	63				33	-9.38	-100.00	185.4	1	1	5	63	
		1	2	2	18.75	98.44	10.8	0	0	11	62			17	34	-18.75	-98.44	190.8	1	1	11	62	
			3	3	29.69	95.31	17.3	0	0	18	60				35	-29.69	-95.31	197.3	1	1	18	60	
		1	2	4	37.50	92.19	22.1	0	0	23	58			18	36	-37.50	-92.19	202.1	1	1	23	58	
			5	5	46.88	87.50	28.2	0	0	29	55				37	-46.88	-87.50	208.2	1	1	29	55	
			3	6	56.25	82.81	34.2	0	0	35	52			19	38	-56.25	-82.81	214.2	1	1	35	52	
			7	7	64.06	76.56	39.9	0	0	40	48				39	-64.06	-76.56	219.9	1	1	40	48	
0	1	2	4	8	70.31	70.31	45.0	0	0	44	44	2	5	10	20	40	-70.31	-70.31	225.0	1	1	44	44
			9	9	76.56	64.06	50.1	0	0	48	40				41	-76.56	-64.06	230.1	1	1	48	40	
		5	10	10	82.81	56.25	55.8	0	0	52	35			21	42	-82.81	-56.25	235.8	1	1	52	35	
			11	11	87.50	46.88	61.8	0	0	55	29				43	-87.50	-46.88	241.8	1	1	55	29	
		3	6	12	92.19	37.50	67.9	0	0	58	23			11	22	44	-92.19	-37.50	247.9	1	1	58	23
			13	13	95.31	29.69	72.7	0	0	60	18				45	-95.31	-29.69	252.7	1	1	60	18	
			7	14	98.44	18.75	79.2	0	0	62	11			23	46	-98.44	-18.75	259.2	1	1	62	11	
			15	15	100.00	9.38	84.6	0	0	63	5				47	-100.00	-9.38	264.6	1	1	63	5	
2	4	8	16	16	100.00	0.00	90.0	0	0	63	0	6	12	24	48	-100.00	0.00	270.0	1	1	63	0	
			17	17	100.00	-9.38	95.4	0	1	63	5				49	-100.00	9.38	275.4	1	0	63	5	
		9	18	18	98.44	-18.75	100.8	0	1	62	11			25	50	-98.44	18.75	280.8	1	0	62	11	
			19	19	95.31	-29.69	107.3	0	1	60	18				51	-95.31	29.69	287.3	1	0	60	18	
		5	10	20	92.19	-37.50	112.1	0	1	58	23			13	26	52	-92.19	37.50	292.1	1	0	58	23
			21	21	87.50	-46.88	118.2	0	1	55	29				53	-87.50	46.88	298.2	1	0	55	29	
			11	22	82.81	-56.25	124.2	0	1	52	35			27	54	-82.81	56.25	304.2	1	0	52	35	
			23	23	76.56	-64.06	129.9	0	1	48	40				55	-76.56	64.06	309.9	1	0	48	40	
1	3	6	12	24	70.31	-70.31	135.0	0	1	44	44	3	7	14	28	56	-70.31	70.31	315.0	1	0	44	44
			25	25	64.06	-76.56	140.1	0	1	40	48				57	-64.06	76.56	320.1	1	0	40	48	
		13	26	26	56.25	-82.81	145.8	0	1	35	52			29	58	-56.25	82.81	325.8	1	0	35	52	
			27	27	46.88	-87.50	151.8	0	1	29	55				59	-46.88	87.50	331.8	1	0	29	55	
		7	14	28	37.50	-92.19	157.9	0	1	23	58			15	30	60	-37.50	92.19	337.9	1	0	23	58
			29	29	29.69	-95.31	162.7	0	1	18	60				61	-29.69	95.31	342.7	1	0	18	60	
			15	30	18.75	-98.44	169.2	0	1	11	62			31	62	-18.75	98.44	349.2	1	0	11	62	
			31	31	9.38	-100.00	174.6	0	1	5	63				63	-9.38	100.00	354.6	1	0	5	63	
4	8	16	32	32	0.00	-100.00	180.0	0	1	0	63	0	0	0	0	0.00	100.00	0.0	0	0	0	63	

(1) 相電流ダイアグラムと回転動作制御

相電流表は各相の相対的相電流値を定義します。A4979は電気角が90°の1フルステップを最高で16分割したマイクロステップ動作まで可能なので、相電流表は16×(360°/90°) = 64行で構成されることとなります。各行(各ステップ位置)はDAC値を決める6ビット値と、電流の向きを決める1ビット値(Phase)を保有します。電気角90°のフルステップを最高で16分割しますので、おおよそ90°/16 = 5.625°の間隔でStep Angle(ステップ角)を設定していますが、モータ回転をより滑らかにするためにステップ角を若干調整しています。なお、DAC値の最小単位は100%に対して100%/63 = 1.56%になります。

VDD電源を初めて起動したときや再起動を行った際は、相電流表がデフォルト設定になっており、1/16マイクロステップの電流プロファイルは正弦波形状になります。またステップ位置は1/16マイクロステップにおけるStep Angle Numberが8、電気角が45°の”ホーム位置”に初期化されます。相電流表内の各電流値は最大相電流値I_PMAXに対する割合(%)として表されます。

相電流表や次頁図の相電流ダイアグラムに示すように、フルステップでは相電流表内の4行分(Step Angle Number 8, 24, 40, 56)しか使用されません。Step Angle Number 0, 16, 32, 48のように片方の相が100%になるような位置ではなく、両相で同程度の電流が流れるような位置が使用されるには二つの利点がありますが、一つ目は電力消費が両側のドライバで分散する点です。このおかげで生成熱を分散させる能力が上がり、各ドライバにかかるストレスを低減させることができます。もう一つの利点はモータに対する保持トルクを改善できる点です。

さらにハーフステップでは相電流表内の8行分、1/4マイクロステップでは16行分、1/16ステップでは全64行を使用します。このとき片方の相が100%となるStep Angle Number(0, 16, 32, 48)が使用されるのは対称性を保つためです。もし保持トルクを一定時間以上モータにかけて停止させる場合は、前段で述べた理由により、Step Angle Number 8, 24, 40, 56の使用を推奨します。

表 各ステップモードで使用される Step Angle Number

Mode	Step Angle Numbers used
Full	8, 24, 40, 56
Half	0, 8, 16, 24, 32, 40, 48, 56
Quarter	0, 4, 8, 12, 16, 20, 24, 28, 32, 36, 40, 44, 48, 52, 56, 60
Sixteenth	All

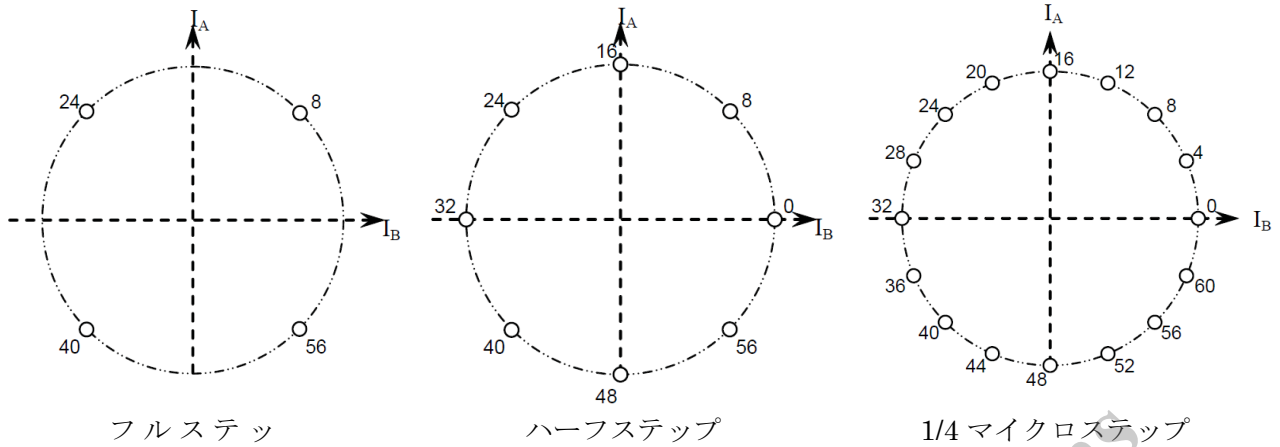


図 各ステップモードにおける相電流ダイアグラム (縦軸 : A 相電流、横軸 : B 相電流)

ステップモータの回転制御は、相電流表に基づいた Step Angle Number の増減により行います。Step Angle Number の制御は、Clock-In 制御の場合は STEP・DIR の端子入力、SPI 制御の場合は RUN レジスタの SC[5:0]ビットへのステップ移動量(Step Change Number)入力により行います。

• Clock-In 制御の場合 :

Clock-In 制御では、モータの回転動作制御に A4979 の STEP, DIR, MS0, MS1 端子入力を使用します。MS0, MS1 の入力よりステップモード(励磁方式)を設定し、DIR 入力により回転方向の情報を確認しながら、STEP 入力の立ち上がりエッジに合わせて Step Angle Number が増減します。そのため、ステップレートは STEP 入力信号の周波数に依存します。STEP 入力の H パルス幅 (tSTPH)/L パルス幅 (tSTPL) の最小値は 1μs であることから、Clock-In 制御における最高ステップレートは理論的にはおよそ 500kHz となりますが、ほとんどの場合、モータ側の制約で最高ステップレートが決まると考えられます。

ステップモードについてはフルステップ(2相励磁方式)、ハーフステップ(1・2相励磁方式)、1/4マイクロステップ(W1・2相励磁方式)、1/16マイクロステップ(4W1・2相励磁方式)から選択設定することができます。なお、ステップモードは MS1, MS0 端子入力および CONFIG0 レジスタの MS[1:0]ビット入力の論理 OR により設定されますが、MS[1:0]ビットのデフォルト設定値は[0 0](=フルステップ)となっていますので、MS1, MS0 端子のみによる設定が可能です。SPI 経由でステップモードを設定したい場合は MS1, MS0 端子を LO 固定する必要があります。また、このステップモード設定入力は SPI 制御時は無視されますので動作に影響はしませんが、フルステップに設定されていますと脱調検出がディスエーブルされますので、必要に応じて設定値を変更する必要があります。

・SPI 制御の場合：

SPI 制御では、モータの回転動作制御に A4979 の SDI, SCK, STRn 端子入力を使用し、RUN レジスタの SC[5:0] ビットで設定されるステップ移動量 (Step Change Number) が Step Angle Number に加算されることで Step Angle Number が増減します。ステップ移動量は 2 の補数としてビット設定を行い(右表)、正数は Step Angle Number を増やし、負数は減らします。なお、Step Angle Number の最小ステップ単位は 1/16 マイクロステップの 1 ステップ分に相当しますので、正しくモータを回転させるためにはステップ移動量の絶対値を 16 以下に、言い換えれば 1 フルステップ以下に設定する必要があります。

モータを 1/4 マイクロステップで正方向回転させる場合を例に挙げますと、Step Angle Number を 4 ずつ増やしていきますので、RUN レジスタの SC[5:0] ビットにステップ移動量 +4 (=000100) を繰り返し書き込みます。逆に逆方向回転させる場合は SC[5:0] に -4 (=111100) を繰り返し入力します。

表 各ステップ移動量に対する SC[5:0] ビット入力値

Decimal	2's Complement	Decimal	2's Complement
0	000000		
1	000001	-1	111111
2	000010	-2	111110
3	000011	-3	111101
4	000100	-4	111100
5	000101	-5	111011
6	000110	-6	111010
7	000111	-7	111001
8	001000	-8	111000
9	001001	-9	110111
10	001010	-10	110110
11	001011	-11	110101
12	001100	-12	110100
13	001101	-13	110011
14	001110	-14	110010
15	001111	-15	110001
16	010000	-16	110000

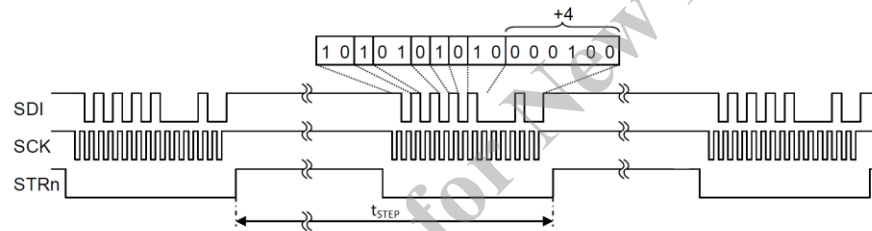


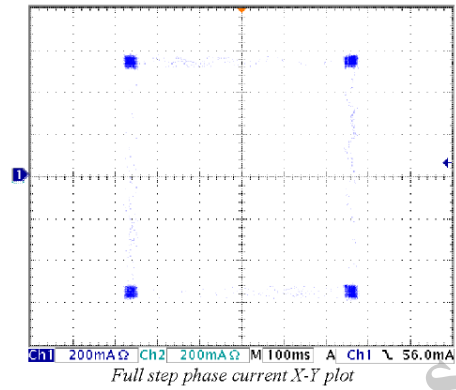
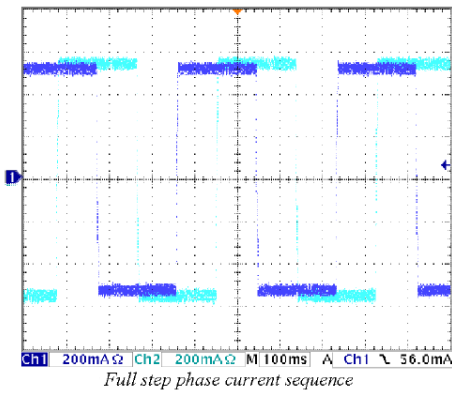
図 1/4 マイクロステップ、正方向回転時の SPI 入力信号

ステップ移動は RUN レジスタの書き込みが行われる STRn 立ち上りエッジのタイミングで行われ、上図の例における tSTEP 時間がステップ周期にあたります。したがってステップレートは STRn の周波数に依存します。STRn の最短周期は 4.235μs (@4MHz クロック) であることから、SPI 制御における最高ステップレートは理論的にはおよそ 236kHz となりますが、ほとんどの場合、モータ側の制約で最高ステップレートが決まると考えられます。なお、SCK 入力の周波数はステップレートに関与しません。

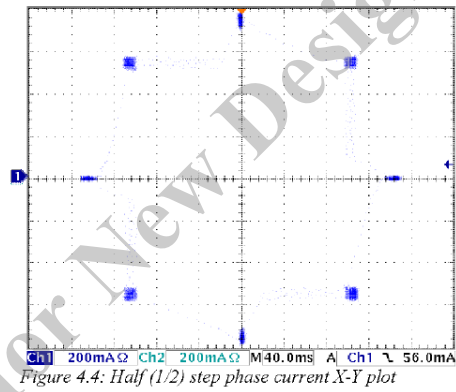
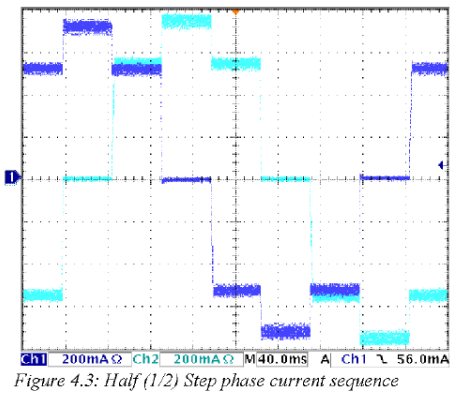
ステップモードについては、Clock-In 制御でも利用可能なフルステップ、ハーフステップ、1/4 マイクロステップ、1/16 マイクロステップに加え、1/8 マイクロステップ (2W1-2 相励磁方式) も利用可能です。各ステップモードにおける SC[5:0] ビットの設定値については P25 の説明をご参照ください。

(2) 各ステップモードの動作波形

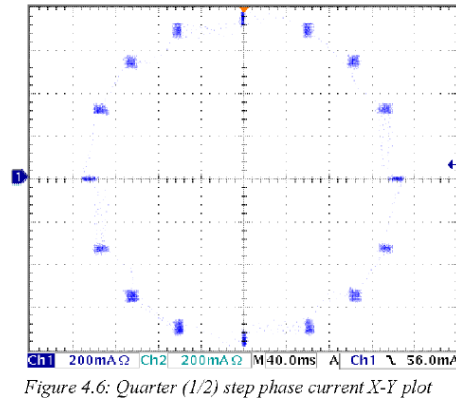
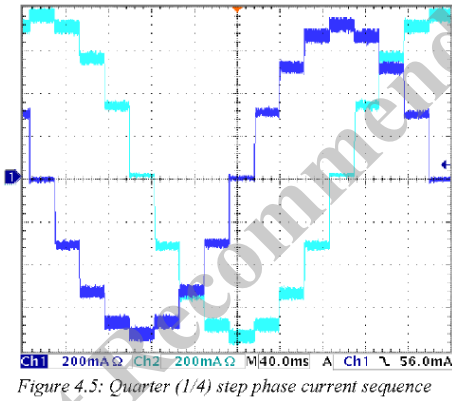
1) フルステップ



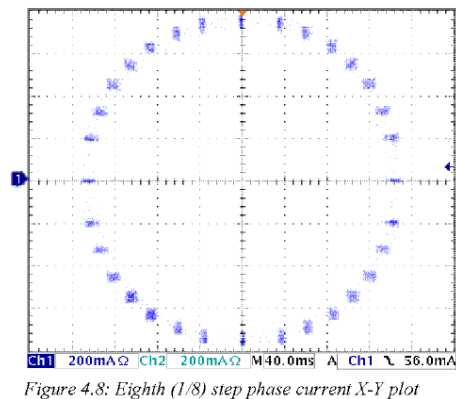
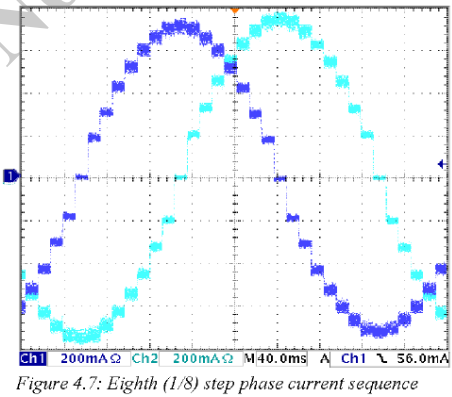
2) ハーフステップ



3) 1/4 マイクロステップ



4) 1/8 マイクロステップ



5) 1/16 マイクロステップ

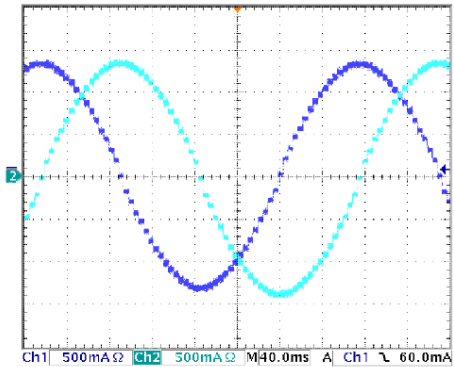


Figure 4.11: Sixteenth phase current sequence (1.25A)

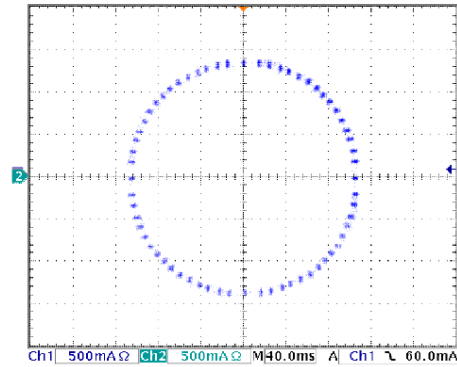


Figure 4.12: Sixteenth step phase current X-Y plot (1.25A)

(3) 相電流書き換えによるトルクリップルの低減

モータの性能や可聴ノイズは主にモータで発生するトルクリップルによって決まりますが、ステッピングモータの場合、トルクのリップルはモータの機械的設計と相電流制御の改善によって低減させることができます。ほとんどの場合、マイクロステップでの正弦波出力プロファイルで十分なモータ性能を得ることができますが、より高い性能を得るには、電流プロファイルをモータ特性に合ったものを書き換える方法が有効です。これは主に高精度、高出力のステッピングモータでしか必要とされない操作です。

マイクロステップモードでは、トルクリップルは各マイクロステップにおけるトルク変化量に相当します。ハイブリッドステッピングモータの場合、トルクリップルはおおかたモータの機械的構造で決まり、特にステータの歯の形状が大きく影響します。歯の形状はモータ回転に伴うトルク定数、電流とトルクの比、の変化量を決めます。モータの逆起電力はトルク定数と比例関係にあるので、モータを発電機として動かせばモータの逆起電力を測ることによってトルク定数の変化量を観測することができます。

トルクリップルを減らす必要がある場合、A4979 は相電流表のプログラミングを行うことで電流プロファイルを書き換えることが可能であり、モータ特有のトルク変化を相殺するような電流プロファイルに修正することでトルクリップルの低減が実現できます。なお、モータ特性に合わせた相電流表の書き換えは高度な処理であり、ほとんどの用途で必要ありません。一般的な動作ではデフォルトの正弦波プロファイルをお使いいただいて問題ありません。

(4) 相電流表の書き換え

相電流表の各相、各 Step Angle Number に対して 6 ビットの DAC 値が割り当てられているので、全部で $2 \times 64 = 128$ 個の DAC 値が必要と思われそうですが、出力波形の対称性から、同じ数値列を繰り返し利用できるのが想像できます。次頁図を例に挙げますと、Step Angle Number 0 ~ 15 にあたる Q1 領域を縦軸・横軸に対してプロファイルを適宜反転させることで、他の Q2 ~ Q4 の領域を生成できることが見て取れます。また、B 相の相電流プロファイルは A 相のプロファイルを Step Angle Number 16 個分ずらしたものに相当しますので、同じ数値列が利用できます。

したがって、両相を合わせると Step Angle Number 0 と 16 の DAC 値、0 と 63、はそれぞれ 4 回使われ、それ以外の 15 個の数値はそれぞれ 8 回使われることになり ($2 \times 4 + 15 \times 8 = 128$)、実際に必要な数値の数は 17 個で済むことが分かります。DAC 値 0 は変更できませんので、書き込みできる数値は 16 個となります。これらの Step Angle Number 1 ~ 16 の DAC 値は、TBLLD レジスタより設定される PT(0) ~ PT(15) の値で定義します。

Step	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	Q1	FWD	
Value	0	5	11	18	23	29	35	40	44	48	52	55	58	60	62	63			
Step																		Q2	FWD
Value																			
Step	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	Q3	Rev	
Value	0	5	11	18	23	29	35	40	44	48	52	55	58	60	62	63			
Step																		Q4	Rev
Value																			

※デフォルト設定

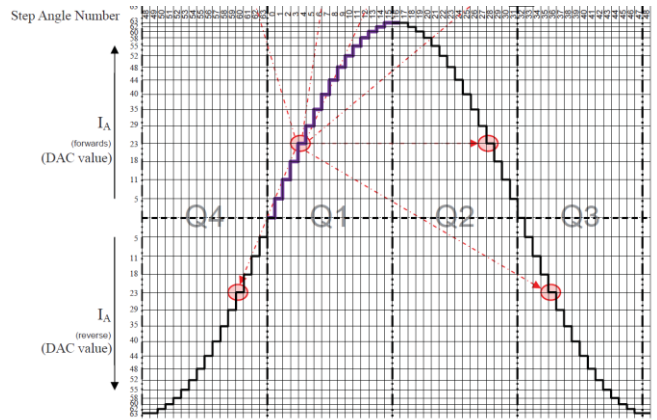


図 A相の Step Angle Number と DAC 値 (左) と A相の DAC 値プロファイル (右)

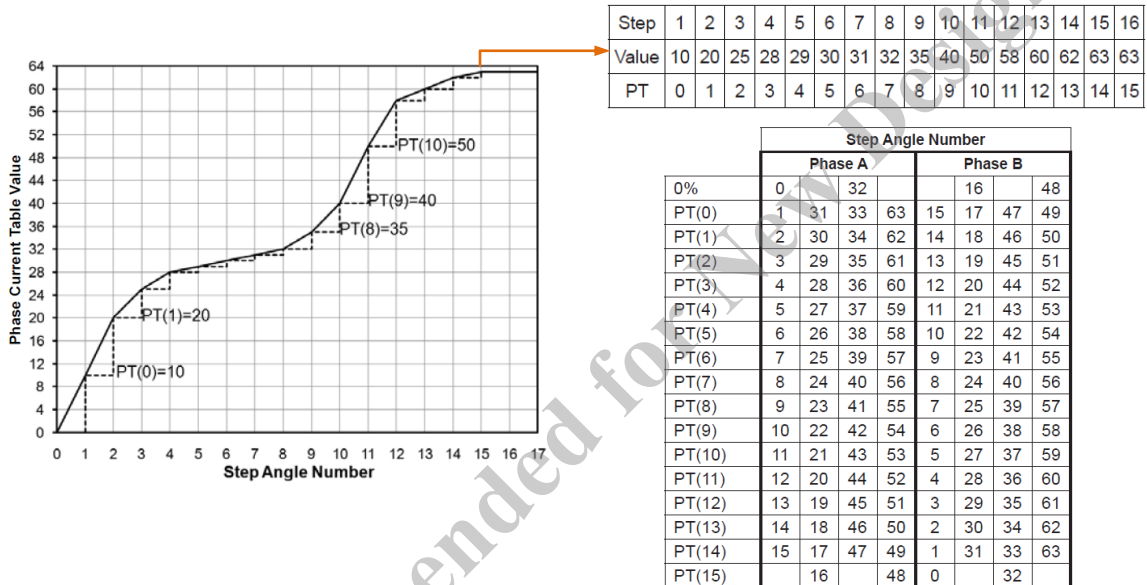


図 書き換え相電流プロファイルの例 (左)、相電流書き換え内容 (右上)、相電流の割り当て (右下)

相電流表に書き込まれる 16 個の数値を用いて各ステップ位置における目標相電流値を設定するわけですが、次に示すように各相電流値は最大相電流値 $I_{P_{MAX}}$ (DAC 値 = 63) に対する割合として算出されます。

例) 設定 DAC 値が 23 の場合、およそ $I_{P_{MAX}}$ の $23/63 = 36.51\%$ の電流値が設定されます。

なお、相電流表の書き換えを行う上で以下のような制約がございます。

両相合わせて 4 回現れる 0 の DAC 値 (A 相は Step Angle Number 0, 32, B 相は Step Angle Number 16, 48) は常に 0 に設定されており、変更できません。

PT(15)には電流プロファイルにおける最大値を設定する必要があります。これは各相で 2 回使用されます (A 相は Step Angle Number 16, 48, B 相は Step Angle Number 0, 32)。なお、他の PT(x)に同じ最大値を設定しても問題ありません。

上図プロファイル図に示したような対称的なプロファイルである必要があります。設定 DAC 値の割り当て上、A 相は Step Angle Number 16 と 48 で、B 相は Step Angle Number 0 と 32 で左右対称になります。

各相で正方向と逆方向の回転は同じ電流プロファイルである必要があります。

ここで相電流表の書き換えの例を以下に示します。各相でのプロファイルは上記の条件を満たすとし、Step Angle Number 0 ~ 16 についてのみ考えます。出力したい電流プロファイルを決定了ら以下の手順を行います。

1) 前頁図のように、各 Step Angle Number n において電流プロファイルを 6 ビットの DAC 値 (0 ~ 63) にデジタル変換し、PT($n-1$) と対応させます。最大電流値 I_{PMAX} は 63 と設定し、その他の値を I_{PMAX} に対する割合として表します。

例) I_{PMAX} の 36.51% = 23/63 の電流値であれば DAC 値は 23 になります。

2) 次に、TBLLDレジスタのPT[5:0]ビットにPT(0)から順次書き込みを行います。他レジスタへの書き込みを行ってから初めてTBLLDレジスタに書き込む際や、リセット後(RESETn端子にLOパルス入力またはVDD電源起動後)TBLLDレジスタへの初めての書き込みである場合は、相電流表のPT(0)に対応する箇所からDAC値の書き込みが行われます。連続的にPT(0) ~ PT(15)までの数値を書き込んで順次相電流表が埋められていき、最後の16番目の数値が書き込まれた時点で、これ以上のTBLLDレジスタへの書き込みは一切無視されます。書き込まれた数値もVDD電源起動リセット時に限り、初期値にリセットされます。万が一書き込み中にリセットが行われたり、他レジスタへの書き込みやデータ転送エラーが起こった場合は、最初から書き込みをやり直す必要があります。

3) TBLLDレジスタのPTPビットですが、これはエラーをチェックするための奇数パリティビットとしてご利用になれます。PTPビットは、PTPとPT[5:0]を含めた全ビットに格納されている1の数が常に奇数個になるよう設定し、これらのビット内の1の数が奇数であるかどうか、A4979がパリティエラーの判定を行います。パリティエラーの判定が出ると、診断レジスタのFFビットが0→1にセットされ、STRnがLOレベルになったと同時にSDOがFFビットを出力します。ただし、パリティエラーの有無にかかわらず、相電流表への書き込みは行われます。

9.9. 電流減衰モード

PWM周期はPWMオン状態から始まり、このときSENSx端子電圧が目標電流値(電圧値)に到達するまで負荷を流れる相電流は上昇します。到達した時点でPWMオフ時間が始まり、ブリッジは次に述べる電流減衰モードのいずれかに切り替わります。なお、電流減衰モードはRUNレジスタのDCY[1:0]ビットで設定を行います。

(1) Slow Decay

フルブリッジのローサイドMOSFET同士をオンにして電流を減衰させます。このとき負荷の両端にかかる電圧は小さいため、電流の減衰率が低く、電流リップルを抑えることができます。相電流が0からピーク電流値まで上昇している段階で最も効果を発揮します。なお、デッドタイム中は片方のローサイドMOSFETのボディダイオードに電流を流し、貫通電流を防止しています。

PWM State	PWM-on	PWM-off			PWM-on
Bridge Function	Active	Slow decay - Dead time	Slow decay - Sync Rec	Slow decay - Dead time	Active
Active FETs	A,D	D	B,D	D	A,D
Load Current	Increasing	Decreasing Slowly			Increasing
Sense Current	Positive Increasing	Zero			Positive Increasing

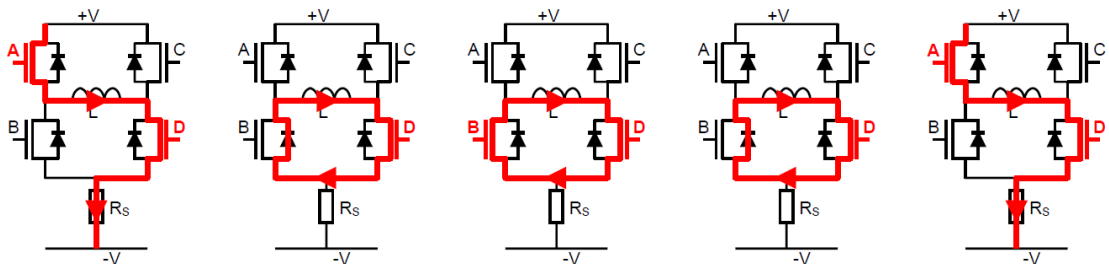


図 Slow Decay 電流減衰モード時におけるブリッジのスイッチシーケンス (同期整流時)

(2) Fast Decay

負荷の両端電圧を PWM オン時と逆転させて電流を減衰させます。ほぼ VBB 電圧に相当する大きな両端電圧がかかることから、電流の減衰率が高く、Fast Decay 時間が長いほど電流リップルは大きくなります。相電流がピーク電流値から 0 まで減少している段階で最も効果を発揮します。なお、デッドタイム中は MOSFET のボディダイオードに電流を流し、貫通電流を防止しています。

PWM State	PWM-on	PWM-off			PWM-on
Bridge Function	Active	Fast decay - Dead time	Fast decay - Sync Rec	Fast decay - Dead time	Active
Active FETs	A D	None	B,C	None	A D
Load Current	Increasing	Decreasing Rapidly			Increasing
Sense Current	Positive Increasing	Negative : Decreasing Magnitude			Positive Increasing

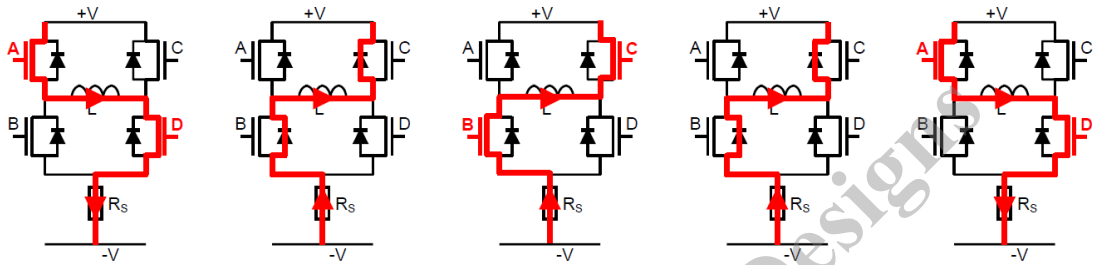


図 Fast Decay 電流減衰モード時におけるブリッジのスイッチシーケンス (同期整流時)

(3) Mixed Decay

Fast Decay モードは効果的に電流を減衰させますが、大きな電流リップルが発生するというデメリットもあります。よって、Fast Decay モードと Slow Decay モードをうまく組み合わせることで、電流制御を精度よく行いながらこのようなリップルを抑制することができます。これを **Mixed Decay** と言い、PWM オフ時間の初めに Fast Decay を短時間行ってから残りの時間に Slow Decay を行います。

PWM State	PWM-on	PWM-off				PWM-on	
Bridge Function	Active	Fast decay - Dead time	Fast decay	Fast decay - Sync Rec	Slow decay - Sync Rec	Slow decay - Dead time	Active
Active FETs	A D	None	B,C	B	B,D	D	A D
Load Current	Increasing	Decreasing Rapidly		Decreasing Slowly			Increasing
Sense Current	Positive Increasing	Negative : Decreasing Magnitude		Zero			Positive Increasing

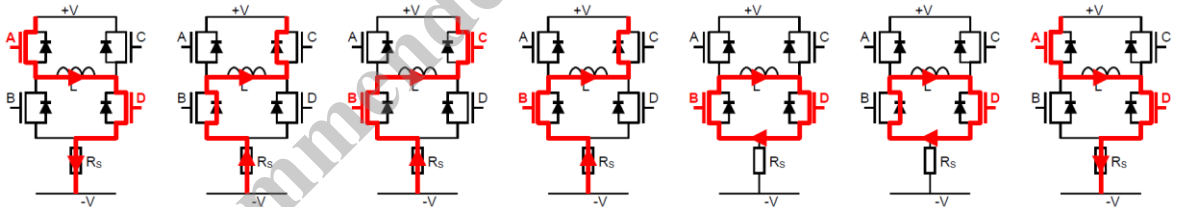


図 Mixed Decay 電流減衰モード時におけるブリッジのスイッチシーケンス (同期整流時)

Mixed Decay の電流減衰モードには以下の二種類あります。

- ・Mixed - PFD fixed: Fast Decay の時間が固定、デフォルト設定 (*PFD = Percent Fast Decay)
 - ・Mixed - PFD auto: Fast Decay 中の相電流値によって Fast Decay の時間を自動調節
- 電源電圧や雰囲気条件に大きな変動がないようなアプリケーションでは Mixed - PFD fixed でも十分よい電流制御が得られ、リップル電流も抑えられます。

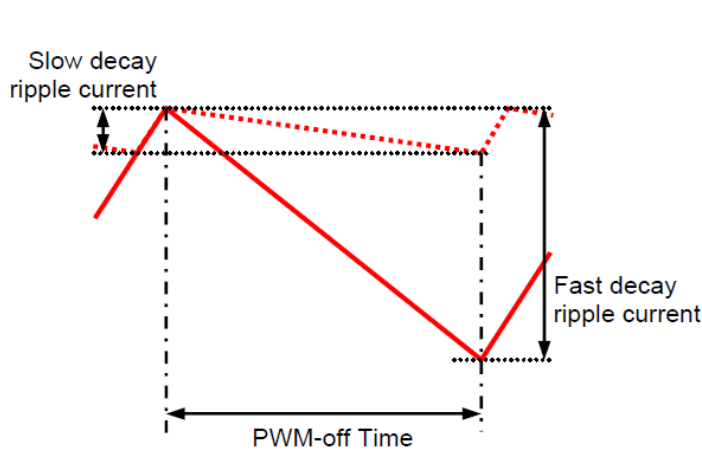


図 Slow Decay (点線) と Fast Decay (実線) モードのリップル電流

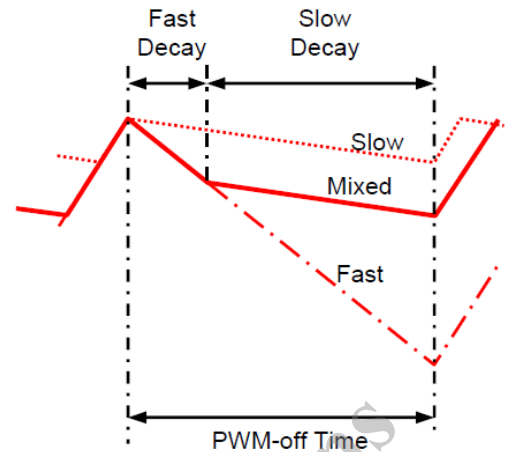


図 Mixed Decay (実線) モードのリップル電流

• Mixed-PFD auto

この電流減衰モードは、Fast Decay 中の電流値に応じて Fast Decay の時間を自動調節します。よって、電圧や温度条件に依らず、常に最適な電流制御を維持することができます。

ここで、自動調節に必要な相電流のモニタリングがどのように行われるのか簡単に説明します。下図に示すように、PWM オンから PWM オフ (Fast Decay) に切り替わる際に、負荷 (L) を流れる電流の方向が変わらないのに対して、検出抵抗 (R_s) に流れる電流の方向が逆転することが見て取れます。

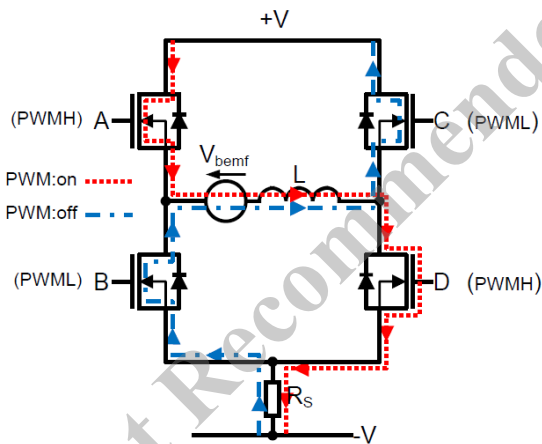


図 Fast Decay モードでのオン/オフスイッチング

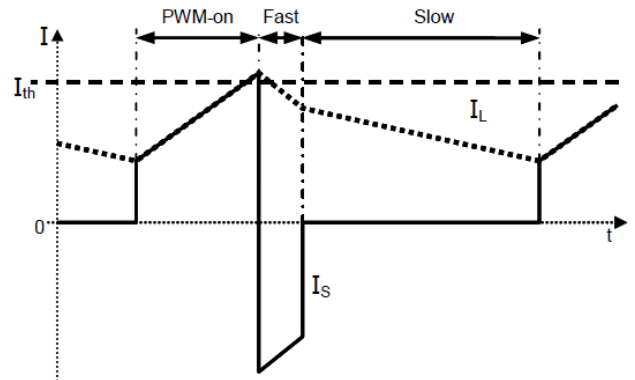


図 Mixed -PFD auto モードにおける検出電流
 I_s : 検出抵抗を流れる電流 (実線)
 I_L : 負荷を流れる電流 (点線)

前頁図は Mixed-PFD auto において、検出抵抗を流れる電流 I_s (実線) と負荷を流れる電流 I_L (点線) の様子を表しており、PWM オン時間中は I_s と I_L が一致しているのが分かります。しかし、オフ時間に入ると Fast Decay モードに切り替わり、 I_L は強制的に減少させられながら正の電流値を維持するのに対して、 I_s は I_L と同じ絶対値の負の電流値になります。Slow Decay モードに切り替わるとローサイド側の閉回路だけで電流が流れるので、 I_L はゆるやかに減少し続けますが、 I_s は 0 を保持します。

Mixed-PFD auto では、このように Fast Decay 中の負電流 I_s をモニタリングすることで、 I_L が目標電流値の閾値レベル (I_{th}) を通過したかどうかを判断し、Fast Decay を行う時間を調節します。したがって、Slow Decay に入る前に I_L が目標電流値を下回っていることが保証されます。

もしモータの逆起電力が相電流を増やす方向に働いている場合、この効果を打ち消すために Fast Decay の時間は自動的に延長されます。逆にモータの逆起電力が電流を増やす方向に働いていない場合、Fast Decay の時間はリップル電流を最小限に抑えるために自動的に短縮されます。このように、Mixed-PFD auto のモードは幅広い動作パラメータ範囲において最適な電流制御を提供します。

9.10. 診断機能

診断レジスタ

A4979 は、フォルト条件や極端な動作条件からモータ負荷や自身を保護するための診断機能を搭載しており、フォルト条件によっては自動的に駆動動作を停止するものもあります。診断用のレジスタには FAULT0 レジスタと FAULT1 レジスタの二つあり、それぞれ 16 ビットからなります。初めの 8 ビットは各レジスタで共通となっており、最上位ビットが総合フォルトフラグの FF ビットとなっています。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Fault Register 0 (FAULT0)	FF	TW1	TW0	OV	UV	ST	OLB	OLA	BML	BMH	BPL	BPH	AML	AMH	APL	APH
Fault Register 1 (FAULT1)	FF	TW1	TW0	OV	UV	ST	OLB	OLA	0	0	SA5	SA4	SA3	SA2	SA1	SA0

Fault Register 0

FF	Fault register flag
TW1	Temperature diagnostic
TW0	Temperature diagnostic
OV	Overvoltage on VBB detected
UV	Undervoltage on VREG or VBB detected
ST	Stall detected
OLB	Open load detected on phase B
OLA	Open load detected on phase A
BML	Overcurrent detected on BM output low side
BMH	Overcurrent detected on BM output high side
BPL	Overcurrent detected on BP output low side
BPH	Overcurrent detected on BP output high side
AML	Overcurrent detected on AM output low side
AMH	Overcurrent detected on AM output high side
APL	Overcurrent detected on AP output low side
APH	Overcurrent detected on AP output high side

Fault Register 1

FF	Fault register flag
TW1	Temperature diagnostic
TW0	Temperature diagnostic
OV	Overvoltage on VBB detected
UV	Undervoltage on VREG or VBB detected
ST	Stall detected
OLB	Open load detected on phase B
OLA	Open load detected on phase A
SA[0..5]	Step Angle Number read back

TW[0..1] Temperature diagnostic

TW1	TW0	Thermal Indicator
0	0	No Fault
0	1	Cold Warning
1	0	Hot Warning
1	1	Overtemperature Shutdown

この FF ビットは以下のような場合に HI レベル出力になります。

- 診断レジスタ内に一つでもフォルト(1 にセットされたフォルトビット)があるとき
 - SPI 通信によるデータ転送エラーが発生したとき
 - パリティエラーが発生したとき

FF ビットを両診断レジスタの先頭に配置することにより、STRn を LO レベルにするだけでフォルト検知の有無を確認することができます。

二つの診断レジスタの後半の 8 ビットは異なっており、以下のような違いがあります。

- FAULT0 レジスタ:回路短絡による過電流検知のフォルトビット
- FAULT1 レジスタ:相電流表における Step Angle Number (ステップ位置)のフィードバック設定・制御用レジスタが書き込まれるたび、SDO 端子から診断レジスタが出力されます。CONFIG1 レジスタが書き込まれたときは FAULT1 レジスタが出力され、それ以外のレジスタに書き込みを行うときは FAULT0 レジスタが出力されます。

なお、1 にセットされたフォルトビットは診断レジスタがリセットされるまでラッチされます (P43 の『診断レジスタのリセット』をご参照)。

それでは、診断レジスタ内の各ビットについて説明します。

(1) FF ビット

FF ビットは前述したとおり、診断レジスタ内のフォルトビットが一つでも 1 にセットされたとき、また SPI データ転送エラーが発生したとき、そしてパリティエラーが発生したときに 1 になります。診断レジスタの先頭にあることから、診断レジスタの読み取りが開始されてすぐにフォルトの有無について確認することができます。

(2) TW[1:0] (温度診断) ビット

A4979 には、高温警告動作温度 (T_{JWH})、低温警告動作温度 (T_{JWC}) および過熱保護シャットダウン温度 (T_{JF}) の三つの温度閾値が設けられており、以下のように機能します。ちなみに、SPI 通信による設定を行うことで DIAG 出力電圧から IC チップ温度を算出することが可能です。算出方法については P43 の『DIAG 端子からのフォルト出力』をご参照ください。

- チップ温度が高温警告動作温度 (T_{JWH}) を超えた場合:

DIAG 端子出力のフォルトフラグは LO レベルになり、診断レジスタの TW[1:0] ビットは高温警告 (= [1 0]) を表示します。A4979 はこれ以上の処置は行いませんが、温度が $T_{JWH} - T_{JWHys}$ 以下に戻れば DIAG 端子出力は自動的に HI レベルに戻ってフォルトフラグが解除されます。これに対し、TW[1:0] ビットは診断レジスタのリセットが行われるまでラッチされます。

- チップ温度が低温警告動作温度 (T_{JWC}) を下回った場合:

DIAG 端子出力のフォルトフラグは LO レベルになり、診断レジスタの TW[1:0] ビットは低温警告 (= [0 1]) を表示します。A4979 はこれ以上の処置は行いませんが、温度が $T_{JWC} + T_{JWCys}$ 以上に戻れば DIAG 端子出力は自動的に HI レベルに戻ってフォルトフラグが解除されます。これに対し、TW[1:0] ビットは診断レジスタのリセットが行われるまでラッチされます。

- チップ温度が過熱保護シャットダウン温度 (T_{JF}) を超えた場合:

DIAG 端子出力のフォルトフラグは LO レベルになり、診断レジスタの TW[1:0] ビットは過熱シャットダウン (= [1 1]) を表示します。さらに A4979 は、チップ温度がこれ以上上昇しないよう出力をディスエーブルします。温度が $T_{JF} - T_{JFys}$ 以下に戻れば DIAG 端子出力は自動的に HI レベルに戻ってフォルトフラグが解除され、出力もイネーブル状態に戻りますが、TW[1:0] ビットは診断レジスタのリセットが行われるまでラッチされます。

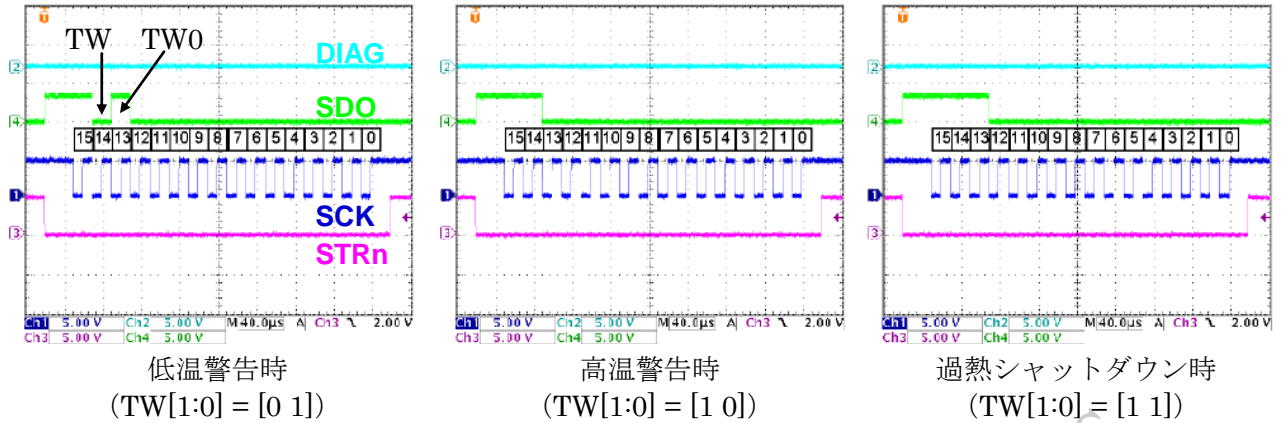


図 低/高温警告時、過熱シャットダウン時の診断レジスタ出力

(3) UV (VREG, VBB 低電圧検知) ビット

ロジック電源電圧、主電源電圧およびレギュレータ出力はモニタリングされており、以下に示す低電圧保護機能があります。なお、VDD 低電圧時は電源起動リセットが行われるので、UV ビットによるフォルトの表示は行われません。

・主電源電圧 V_{BBA} , V_{BBB} が V_{BB} 低電圧保護動作電圧 (V_{BBUV}) を下回った場合:

A4979 は DIAG 端子出力のフォルトフラグおよび診断レジスタの UV ビットよりフォルトの発生を示します。主電源電圧が $V_{BBUV} + V_{BBHys}$ 以上まで回復すると、DIAG 端子出力が HI レベルに戻ってフォルトフラグが解除されます。UV ビットは診断レジスタがリセットされるまでラッチされます。

・内部レギュレータ出力 V_{REG} が V_{REG} 低電圧保護動作電圧 ($V_{REGUVHL}$) を下回った場合:

A4979 は出力をディスエーブルし、DIAG 端子出力のフォルトフラグおよび診断レジスタの UV ビットよりフォルトの発生を示します。レギュレータ出力が $V_{REGUVX} + V_{RGUVXHys}$ (X: H, L) 以上に回復すると、出力は自動的にイネーブルされ、DIAG 端子出力は HI レベルに戻ってフォルトフラグが解除されます。UV ビットは診断レジスタがリセットされるまでラッチされます。

・ロジック電源電圧 V_{DD} が V_{DD} 低電圧保護動作電圧 (V_{DDUV}) を下回った場合:

A4979 は V_{DD} 電圧のモニタを除き、すべての機能を停止します。 V_{DD} が $V_{DDUV} + V_{DDUVHys}$ 以上に回復すると、電源起動リセットが起こり、すべての書き込み可能な設定・制御用レジスタが初期値にリセットされます。FAULT0 レジスタの全ビットは 1 にセットされ ($0 \times FFFF$) $\{(FFFF)_{16}\}$ 、外部コントローラに電源起動リセットが行われたことをお知らせします。

(4) ST (脱調検出) ビット

A4979 にはステッピングモータの脱調を検出するための PWM モニタ機能が搭載されています。脱調というのは、モータを動かすために相電流が変化しているにもかかわらずモータが動かない状態のことをいいます。これは機械的な障害あるいはモータの能力を超えたステップシーケンスによって起こることがあります。

モータが静止しているときやゆっくり動いているときは、相電流コイルにおいて逆起電力は誘起されず、相電流が妨げられることはありません。したがって電流は速やかに上昇して目標電流値に到達します。これに対して、モータが一定速度以上で回転しているときは、相電流コイルにおいて逆起電力が誘起され、相電流が妨げられます。したがって電流が目標電流値に到達するまでより長い時間がかかります。そしてステップレートが一定と考えると、各ステップにおける PWM サイクル数は減ることになります。A4979 はこのような違いを利用して脱調を検知します。各相の PWM カウンタにより、相電流が 0 からピーク電流値まで変化する間(右図の灰色部分)の PWM サイクル数がカウントされます。相電流がピークを迎えるたび、その相に対応するカウンタは一個前のピークのカウンタとサイクル数の比較を行います。サイクル数の差分が CONFIG1 レジスタの CD[3:0] ビットの設定値(デフォルト値は 8)よりも大きい場合、診断レジスタ内の ST ビットが 1 にセットされ、脱調が検出されたことを示します。脱調検出状態を DIAG 端子から出力させることもでき、脱調を検知した際は LO レベルになります。

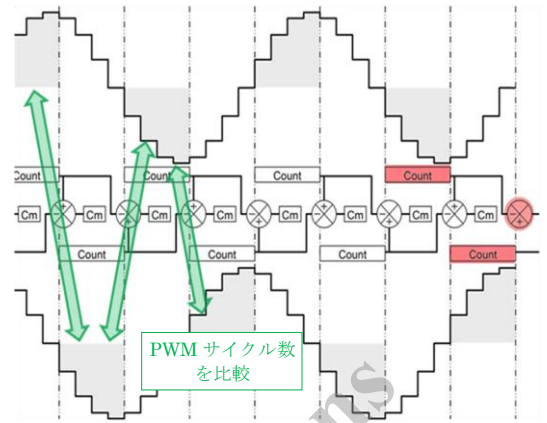


図 PWM サイクル数のモニタと比較

なお、この脱調検出機能をご利用になるための条件を以下に示します。

- ・十分速い回転速度であり、相電流のスルーレートが低下するだけの逆起電力が発生していること。相電流スルーレートが大きく低下するほど脱調検出機能の信頼性が上がります。
- ・Clock-In 制御用のステップモードがフルステップに設定されていないこと
(MS1, MS0 端子が LO 固定かつ CONFIG0 レジスタの MS[1:0] ビットが [0 0] でないこと)
- ・相電流表が Step Angle Number 0, 16, 32, 48 で 0% / ±100% の相電流値をとっていること
- ・相電流プロファイルがどちらの相でも同じであること(デフォルト設定であれば問題ありません)

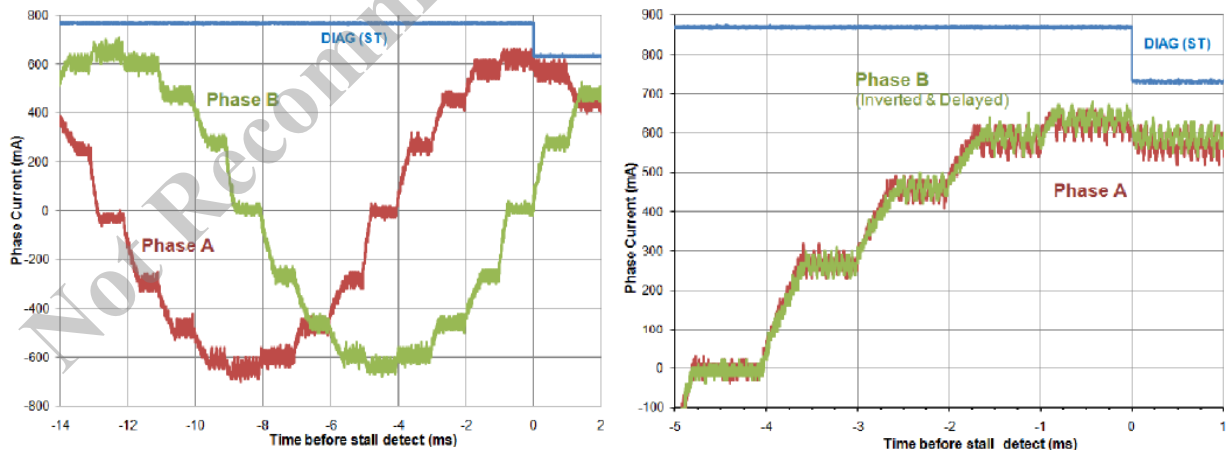


図 脱調前後の各相相電流と DIAG 出力 (左)、B 相電流を反転・移動させた拡大図 (右)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBLLD	1	1								PTP	PT5	PT4	PT3	PT2	PT1	PT0
			0	0	0	0	0	0	0	0	1	0	0	0	0	0

この検出方式は異なる A 相と B 相における PWM カウント数の差を比較しますので、A 相と B 相の巻数や巻線太さなどにズレがあると、脱調を正しく検出できない恐れがあります。A4979 の脱調方式で脱調検出を完全に保証することはできませんが、モータ速度やサイクル差の閾値を慎重に選択し、上記に従って動作を行うことで十分信頼性のある脱調検出を行うことができます。

その他の脱調検出方法としては、外部コントローラを用いて単一の相について PWM オン時間を計測するという方法があります。A4979 では、SPI による設定で A 相の PWM オン信号を DIAG 端子から出力させることが可能となっています。

(5) OLA, OLB (オープン負荷検出) ビット

オープン負荷の検出は、相電流表の DAC 値が 32 以上のときに相電流をモニタして行われます。オープン負荷閾値電流 (I_{OL}) は RUN レジスタの OL[1:0] ビットにより、最大相電流 I_PMAX に対する割合として設けます。最大相電流 I_PMAX は CONFIG0 レジスタの MXI[1:0] ビットで設定します。

以下に I_{OL} の計算例を挙げます。

$$\left[\begin{array}{l} R_s = 180\text{m}\Omega, V_{\text{REF}} = 2\text{V} \text{ のとき, } I_{\text{S}}\text{MAX} = V_{\text{REF}} / (16 \times R_s) = 694\text{mA} \text{ です。} \\ \text{そして } \text{MXI}[1:0] = [1\ 0] \text{ と設定したとき, } I_{\text{P}}\text{MAX} = 0.75 \times I_{\text{S}}\text{MAX} = 520\text{mA} \text{ となります。} \\ \text{I}_{\text{OL}} \text{ を } I_{\text{P}}\text{MAX} \text{ の } 30\% (\text{OL}[1:0] = [0\ 1]) \text{ とすると, } I_{\text{OL}} = 156\text{mA} \text{ と求まります。} \end{array} \right]$$

なお、オープン負荷が検出されるには以下の条件がすべて満たされる必要があります。

- PWM 周期が開始してからブランク時間が経過していること
(ブランク時間経過後に相電流のモニタが開始します。)
- DAC 値が 31 を超えていること (目標相電流値 > 最大相電流 × 50%)
- 上記条件の下、相電流が閾値電流 I_{OL} 未満である状態が 15PWM 周期以上持続すること

オープン負荷が検出されると DIAG 端子出力のフォルトフラグは LO レベルになり、オープン負荷が検出された相に応じて診断レジスタ内の対応ビットが 1 にセットされます。このとき A4979 は出力をディスエーブルすることなく、駆動動作を続けます。相電流が閾値電流 I_{OL} を超えたり、あるいは DAC 値が 31 以下になったら、DIAG 端子出力のフォルトフラグは直ちに HI レベルに戻ります。そのため、オープン負荷状態が定常的に存在していても、DIAG 端子出力は HI/LO の切替動作を繰り返します。一方、OLA/OLB ビットは診断レジスタのリセットが行われるまでラッチされます。

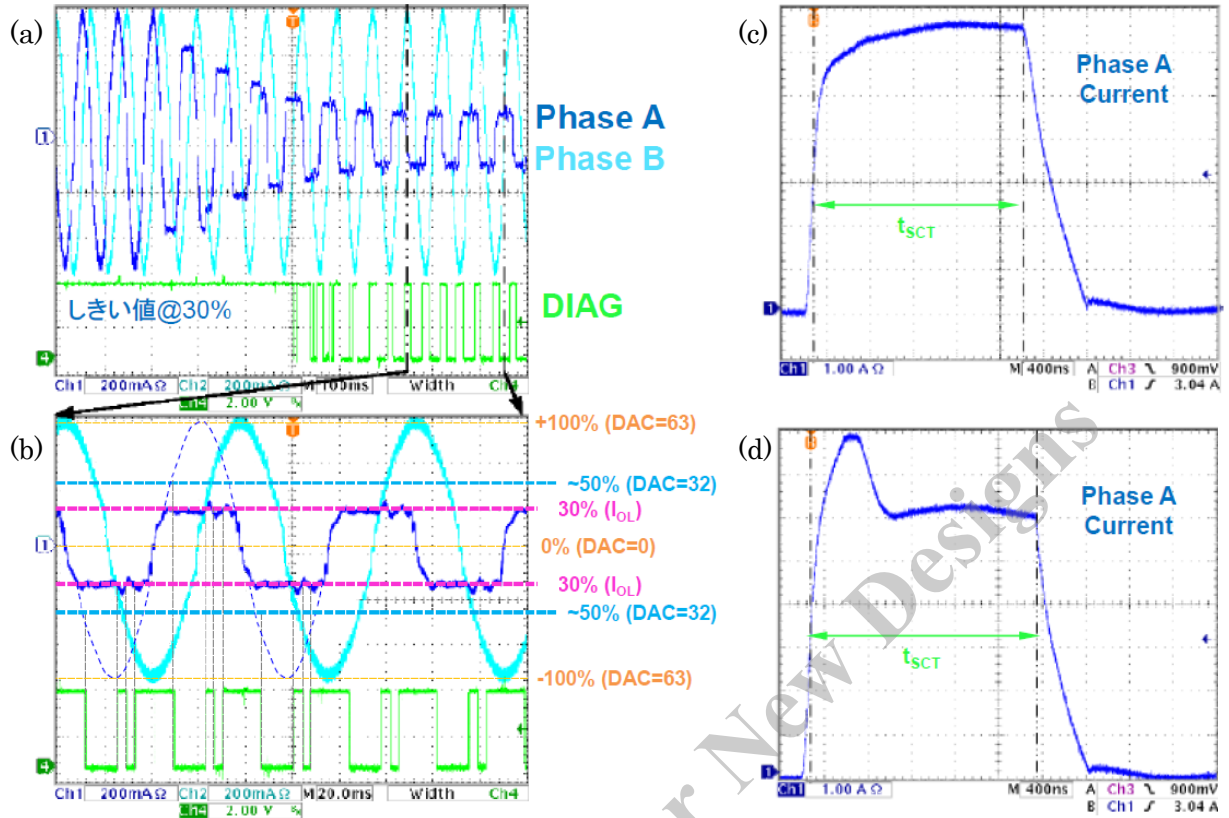


図 (a) A相オープン時の各相電流とDIAG出力フォルトフラグの様子、(b) (a)の拡大図
 (c) 電源ショート時の相電流と出力無効化の様子、(d) GNDショート時の相電流と出力無効化の様子

(6) BM(P)H, BM(P)L (B相過電流検出) ビット

・電源ショート

モータ接続端子と電源間のショート検出は、検出抵抗の両端電圧をモニタして行われます。これはブリッジのローサイド側を流れる電流の直接観測に相当します。

ローサイド MOSFET がオンのとき、通常条件における検出電圧は最大検出電圧 V_{SMAX} を超えることはないはずですが、過電流状態が検出されるのは、検出電圧がローサイド過電流検出電圧 V_{OCL} ($TYP = 2 \times V_{SMAX}$) を超え、その状態が過電流フォルトデレイ時間 t_{SCT} 以上続いたときです。過電流の判定が出ますと、FAULT0 レジスタ内の対応するビットが 1 にセットされ、DIAG 端子出力のフォルトフラグも LO レベルになります。出力はディスエーブルされ、フォルトがリセットされるまで (P41 の『ショートフォルトリセットと再試行』を参照) 出力のディスエーブル状態は保持されます。

なお、検出電圧のモニタからは、どのローサイド MOSFET が過電流状態になったのか判別することはできません。したがって、Slow Decay 時のように両側のローサイド MOSFET が同時にオンになっているときに過電流フォルトが検知されると、どちら側で電源ショートが起きたのかは内部 PWM の状態によって判別されます。実際の過電流閾値については、閾電圧 V_{OCL} と検出抵抗値から求められ、一般的に $2 \times I_{SMAX}$ です。

・GND ショート

モータ接続端子と GND 間のショート検出は、それぞれのハイサイド MOSFET の電流を直接モニタして行われます。

ハイサイド MOSFET がオン状態にあるとき、最大電流は基本的に常に 1.5A 未満です。オン状態にあるハイサイド MOSFET の電流がハイサイド過電流保護動作電流 I_{OCH} を超えたときに GND ショートによる過電流が検出されます。この過電流状態が過電流フォルトディレイ時間 t_{SCT} 以上続けば、FAULT0 レジスタ内の対応するビットが 1 にセットされてショートの発生が表示されます。また、DIAG 端子出力のフォルトフラグも LO レベルになります。出力はディスエーブルされ、フォルトがリセットされるまで (P41 の『ショートフォルトリセットと再試行』を参照) 出力のディスエーブル状態は保持されます。

なお、GND ショートが発生しているとき、ハイサイド MOSFET の電流は t_{SCT} の間、ハイサイド電流制限値 I_{LIMH} に制限されます。これにより、出力がオフに切り替えられた時に出力端子で負の過渡電流が流れるのを防ぐことができます。

・負荷ショート

負荷の両端がショートした際は、ハイサイドとローサイドの両側で同時にショートのフォルトが発生します。

・ショートフォルトブランキング

過電流フォルトディレイ時間 t_{SCT} の間はすべての過電流状態は無視されます。過電流状態が初めて発生したときにショート検出のディレイタイムがスタートし、ディレイ時間 t_{SCT} の終わりにまだ過電流状態が発生中であればショートフォルトがセットされ、ラッチされます。 t_{SCT} の終わりまでに過電流状態がなくなれば、タイマはリセットされてフォルトの表示は行われません。

このような検出方式にすることで、電源や負荷由来の過渡電流によるショートの誤検出を防ぐことができます。また、MOSFET の初めてのオン切替時にモータや配線容量が発生する過渡電流に起因した誤検出も防ぐことができます。

・ショートフォルトリセットと再試行

回路ショートが検出されたときは、以下のいずれかの事象が発生するまで、フォルト発生相の出力はディスエーブル状態に保持されます。

- STEP 端子入力信号の次の立ち上がりエッジ
- RESETn 端子への LO パルス入力によるリセット
- レジスタ書き込みによる診断レジスタのリセット

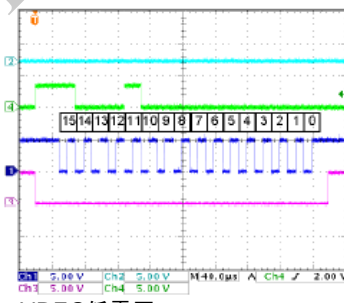
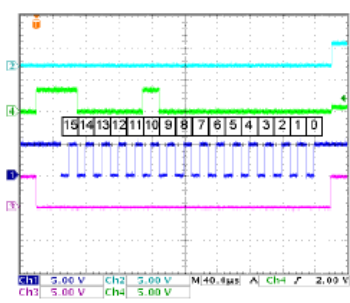
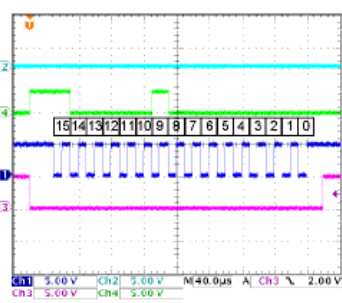
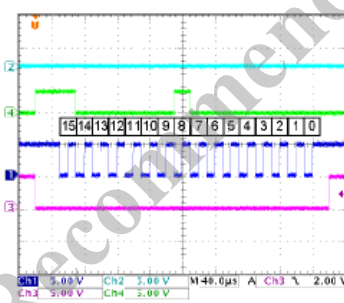
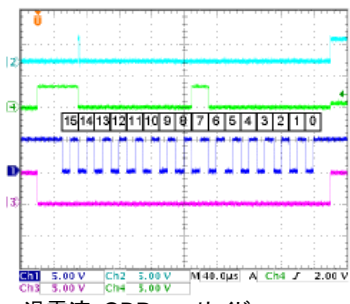
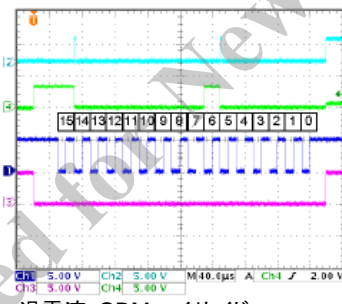
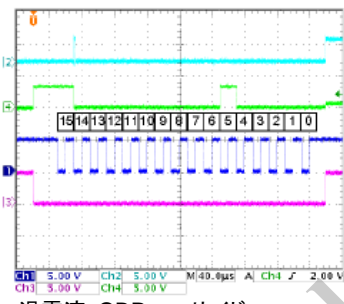
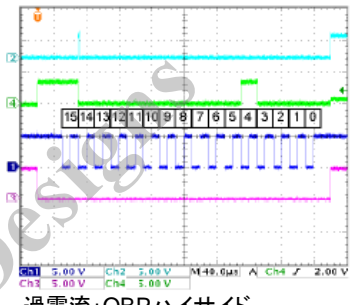
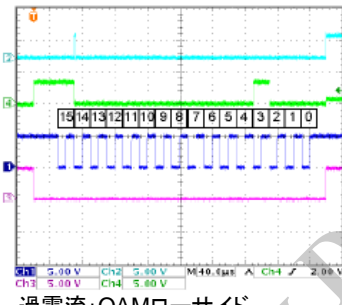
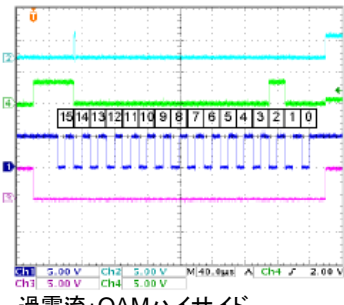
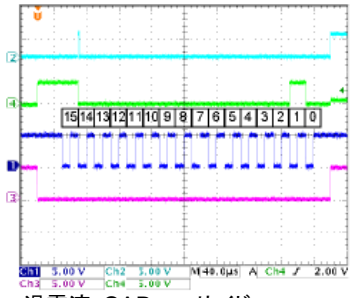
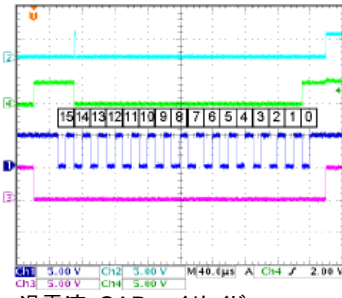
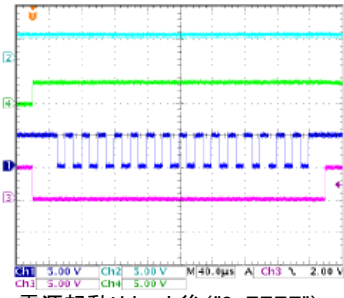
上記事象が起こりますと、DIAG 端子出力のフォルトフラグは HI レベルに戻り、出力はイネーブルされます。また MOSFET のドレイン-ソース間電圧が再度サンプリングされるようになります。ただし、診断レジスタの対応するフォルトビットについては STEP 入力の立ち上がりエッジでクリアされるわけではありません。

上記事象が起こりながらフォルト状態が持続していますと、A4979 は出力を短時間イネーブルし、またディスエーブルするというサイクルを繰り返します。これにより、長時間にわたって継続する回路ショートが発生しても、A4979 はダメージを受けることなく処置することができます。もし高速ステップ時に回路ショートが発生して上述のような処置が行われなければ、流れ続ける電流によって A4979 の温度が上昇してしまい、いずれは過熱保護が作動します。

(7) AM(P)H, AM(P)L (A 相過電流検出) ビット

AMH, AML, APH, APL ビットのフォルトについても、上記の B 相と同様です。以下にフォルト発生時の FAULT0 レジスタ出力一覧を示します。

FAULT0 レジスタ	割当 ビット
15 (msb)	FF
14	TW1
13	TW0
12	
11	UV
10	ST
9	OLB
8	OLA
7	BML
6	BMH
5	BPL
4	BPH
3	AML
2	AMH
1	APL
0	APH



(8) 診断レジスタのリセット

書き込み可能レジスタに書き込みを行うたび、診断レジスタの全ビットは 0 にリセットされます。診断レジスタをリセットする方法としてこれ以外に、RESETn 端子に trST 時間の LO パルスを入力するという方法もあります (P16『9.2 各端子の機能説明』の RESETn の項目をご参照ください)。

また VDD の電源起動リセット時には FAULT0 レジスタの全ビットが 1 にセットされ、外部コントローラに電源の再起動が行われたことを知らせます。外部コントローラの仕様上、電源起動時の診断レジスタをリセットする必要がある場合は、上述の方法のどちらかをご使用ください。一般的にレジスタ書き込みによるリセットの方が多くのユーザに利用されています。

(9) DIAG 端子からのフォルト出力

CONFIG1 レジスタの DIAG[1:0] ビットの設定を変えることにより、DIAG 端子単体から複数の内部信号を出力させ、診断結果をモニタすることができます。VDD の電源起動リセット時は、DIAG 端子はデフォルト設定のフォルトフラグを出力し、フォルトの発生を外部に知らせます。フォルトが発生している間、または回路ショートにより出力がディスエーブルされている間に、DIAG 端子出力は LO レベルを保持します。

なお、DIAG 端子出力のフォルトフラグは診断レジスタの FF ビットと同じ働きをするわけではありません。DIAG 出力フォルトフラグはあくまでフォルトが存在するかどうか、また回路ショートが発生で出力がディスエーブルされているかどうかを示します。一方診断レジスタの FF ビットは、最後に診断レジスタがリセットされてからフォルトが発生し、そのフォルトビットがラッチされたことを示します。

DIAG 端子出力の設定状態	DIAG 端子出力	出力状態
DIAG[1:0]=[0 0] (デフォルト設定)	フォルトフラグ	LO レベル (フォルト発生中、出力無効時)
DIAG[1:0]=[0 1]	脱調検出	LO レベル (フォルト発生中)
DIAG[1:0]=[1 0]	A 相の PWM-オン時間	HI レベル
DIAG[1:0]=[1 1]	IC チップ温度	アナログ出力

DIAG[1:0]=[1 1] に設定したとき、IC チップ温度を表したアナログ出力電圧 VDIAG を用いて以下の式より IC チップ温度が求められます。

$$T_J \approx (V_{DIAG} - V_{TO}) / A_T$$

V_{TO} は温度センサ出力電圧オフセット、A_T は温度センサ出力電圧勾配を表します。それぞれの TYP 値は V_{TO} = 1440mV、A_T = -3.92mV/°C です (P8『4.3 電気的特性』より)

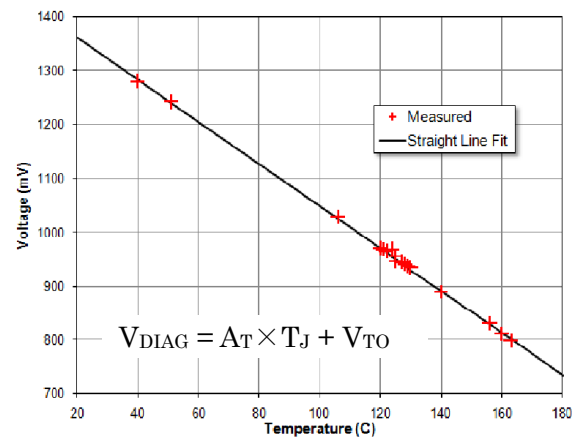
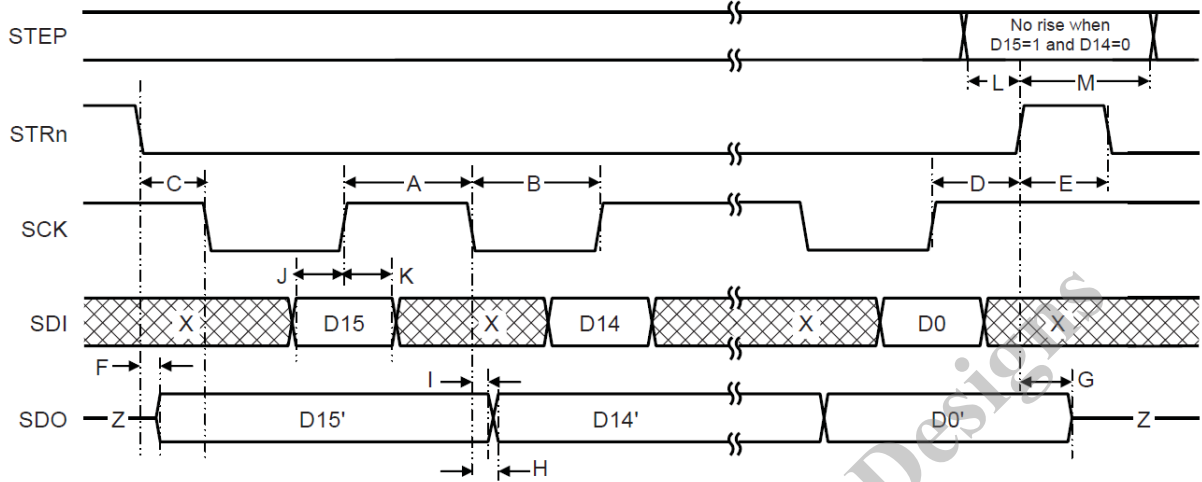


図 温度と DIAG 出力電圧の関係

9.11. タイミングチャート

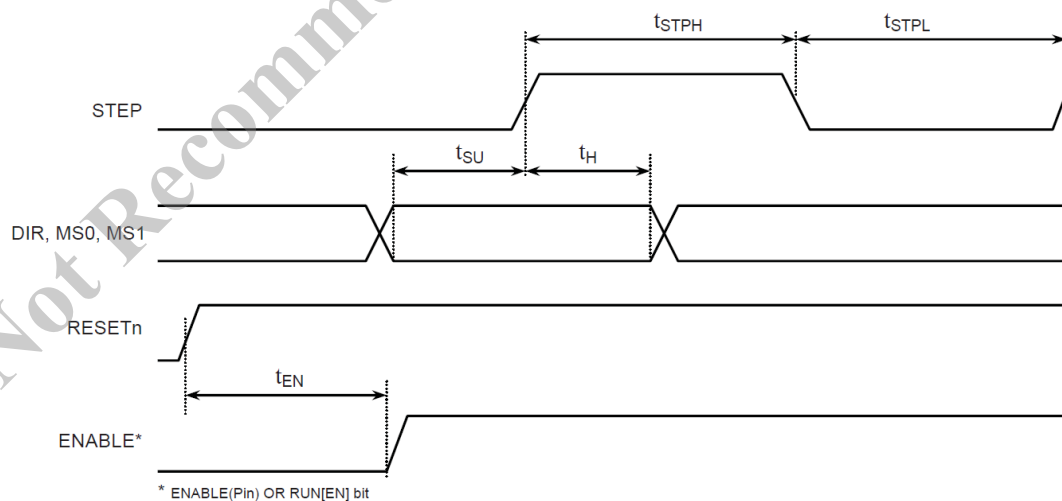
※ 規定時間に関しては、4.3 電気的特性をご参照下さい。

シリアル入力タイミングチャート



Key	Characteristic	Key	Characteristic
A	Clock High Time	H	Data Out Valid Time from Clock Falling
B	Clock Low Time	I	Data Out Hold Time from Clock Falling
C	Strobe Lead Time	J	Data In Set-Up Time to Clock Rising
D	Strobe Lag Time	K	Data In Hold Time From Clock Rising
E	Strobe High Time	L	STEP Rising to STRn Rising Setup Time
F	Data Out Enable Time	M	STEP Rising from STRn Rising Hold Time
G	Data Out Disable Time	X	"Don't care"
		Z	High-impedance (tristate)

Clock-In 入力タイミングチャート



* ENABLE(Pin) OR RUN[EN] bit

10. アプリケーション情報

(1) 配線

プリント基板は、標準的な小信号回路基板やデジタル回路基板よりも高い質量をもった銅厚みのものが望ましく、それによって高電流でのインピーダンスが軽減できます。また、プリント配線はスイッチング電流が流れますのでインダクタンスを減らすためにできるだけ幅を広く、長さを短くしてください。これにより、PWM 制御時の電流スイッチングによる過渡電圧の発生を抑制することができます。

最適な熱特性を得るために、A4979 裏面の放熱用シンクタブを直接基板上にはんだ付けしてください。基板の反対側に GND プレーンを設け、放熱シンクタブが基板中の複数のビアを介して GND プレーンと接続している構造が望ましいです。

(2) デカップリング

使用する VBB と VDD 電源は、セラミックコンデンサと電解コンデンサを並列接続してデカップリングしてください。セラミックコンデンサの容量としては 100nF が望ましく、対応する A4979 の電源入力端子と GND 端子にできるだけ近づけて接続してください。VBB 電源に接続する電解コンデンサの定格は少なくとも最大回路電圧の 1.5 倍に設定し、モータに供給される最大リップル電流をサポートできるものを選定してください。コンデンサは許容リップル電流が十分高いことが求められます。

一方、CP1-CP2 端子間のチャージポンプコンデンサ、VCP-VBB 端子間のポンプ貯蔵用コンデンサ、そして VREG-GND 端子間の補助用コンデンサについては、A4979 の対応する端子にできるだけ近づけて接続してください。

(3) グラウンディング

A4979 に AGND と PGND の二つの GND がある理由は、PGND 上のスイッチングノイズによる AGND への影響を最小限に抑えるためです。AGND、PGND は IC チップ内部の電源リターンを分離していますが、A4979 をプリント板に実装するときは同じ基準電位 (GND) に接続してください。

また、裏面放熱タブ (TAB) は IC チップ基板の裏面側と接続されており、放熱のため PCB の GND へ接続してください。

したがって、AGND、PGND の 2 端子と裏面放熱タブは A4979 のデモボードと同様に、基板側の同じ銅箔領域 (GND) に接続することを推奨します。A4979 の近くにスターポイントを設けたスター GND 系にすると良く、放熱シンクタブ下の銅 GND プレーンが一般的にスター GND ポイントとして使用されます。

(4) 電流検出抵抗

出力電流レベルの検知において、配線-GND 間の電圧降下 (IR ドロップ) に起因した誤差を最小限に抑えるため、検出抵抗は独立した配線を使用してスター GND と接続してください。このとき配線はできるだけ太く短くしてください。電流検出抵抗は低抵抗値であり、プリント基板の配線抵抗による電圧降下が無視できないため、プリント基板上での配線引き回しを慎重に行う必要があります。また、接触抵抗と寄生インダクタンスを最小限に抑えるため表面実装のチップ抵抗の使用を推奨します。

検出抵抗の抵抗値において以下の関係式が成り立ちます:

$$R_S = V_{REF} / (16 \times I_{SMAX})$$

V_{REF} は出力電流精度が保証できる範囲に限りはありますが、電流精度がそこまで必要とされなければ、この範囲外で使用しても問題ありません。ただし、電流精度を上げたい場合は、 V_{REF} をできるだけ 2.0V に近い値に設定することが推奨されます。右表に、各 I_{SMAX} 値に対する R_S と V_{REF} の設定例を示します。

I_{SMAX} (mA)	R_S (mΩ)	V_{REF} (V)
100	499	0.8
200	499	1.6
300	417	2.0
405	309	2.0
501	249	2.0
610	205	2.0
702	178	2.0
812	154	2.0
912	137	2.0
1008	124	2.0

* 使用上の注意 CAUTION/WARNING

- 本書に記載されている動作例及び回路例は、使用上の参考として示したもので、これらに起因する弊社もしくは第三者の工業所有権、知的所有権、その他の権利の侵害問題について弊社は一切責任を負いません。
Application and operation examples described in this document are quoted for the sole purpose of reference for the use of the products herein and Sanken can assume no responsibility for any infringement of industrial property rights, intellectual property rights or any other rights of Sanken or any third party which may result from its use.
- 弊社は品質、信頼性の向上に努めていますが、半導体製品では、ある確率での欠陥、故障の発生は避けられません。部品の故障により結果として、人身事故、火災事故、社会的な損害等が発生させないよう、使用者の責任に於いて、装置やシステム上で十分な安全設計及び確認を行ってください。
Although Sanken undertakes to enhance the quality and reliability of its products, the occurrence of failure and defect of semiconductor products at a certain rate is inevitable. Users of Sanken products are requested to take, at their own risk, preventative measures including safety design of the equipment or systems against any possible injury, death, fires or damages to the society due to device failure or malfunction.
- 本書に記載されている製品は、一般電子機器(家電製品、事務機器、通信端末機器、計測機器など)に使用されることを意図しております。ご使用の際は、納入仕様書に署名または押印の上ご返却をお願いいたします。
高い信頼性が要求される装置(輸送機器とその制御装置、交通信号制御装置、防災・防犯装置、各種安全装置など)への使用をご検討の際には、必ず弊社販売窓口へご相談及び納入仕様書に署名または押印の上、ご返却をお願いいたします。
極めて高い信頼性が要求される装置(航空宇宙機器、原子力制御、生命維持のための医療機器など)には弊社の文書による合意が無い限り使用しないでください。
Sanken products listed in this document are designed and intended for the use as components in general purpose electronic equipment or apparatus (home appliances, office equipment, telecommunication equipment, measuring equipment, etc.). Please return to us this document with your signature(s) or seal(s) prior to the use of the products herein.
When considering the use of Sanken products in the applications where higher reliability is required (transportation equipment and its control systems, traffic signal control systems or equipment, fire/crime alarm systems, various safety devices, etc.), please contact your nearest Sanken sales representative to discuss, and then return to us this document with your signature(s) or seal(s) prior to the use of the products herein.
The use of Sanken products without the written consent of Sanken in the applications where extremely high reliability is required (aerospace equipment, nuclear power control systems, life support systems, etc.) is strictly prohibited.
- 弊社のデバイスをご使用、またはこれを使用した各種装置を設計する場合、定格値に対するディレーティングをどの程度行うかにより、信頼性に大きく影響いたします。
ディレーティングとは信頼性を確保または向上するため、各定格値から負荷を軽減した動作範囲を設定したり、サージやノイズなどについて考慮することを言います。ディレーティングを行う要素には、一般的には電圧、電流、電力などの電氣的ストレス、周囲温度、湿度などの環境ストレス、半導体デバイスの自己発熱による熱ストレスがあります。これらのストレスは、瞬間的数値あるいは最大値、最小値についても考慮する必要があります。
なおパワーデバイスやパワーデバイス内蔵 IC は、自己発熱が大きく接合部温度(T_j)のディレーティングの程度が、信頼性を大きく変える要素となりますので充分にご配慮ください。
In the case that you use our semiconductor devices or design your products by using our semiconductor devices, the reliability largely depends on the degree of derating to be made to the rated values. Derating may be interpreted as a case that an operation range is set by derating the load from each rated value or surge voltage or noise is considered for derating in order to assure or improve the reliability. In general, derating factors include electric stresses such as electric voltage, electric current, electric power etc., environmental stresses such as ambient temperature, humidity etc. and thermal stress caused due to self-heating of semiconductor devices. For these stresses, instantaneous values, maximum values and minimum values must be taken into consideration.
In addition, it should be noted that since power devices or IC's including power devices have large self-heating value, the degree of derating of junction temperature (T_j) affects the reliability significantly.
- 本書に記載されている製品のご使用にあたって、これらの製品に他の製品・部材を組み合わせる場合、或いは、これらの製品に物理的、化学的その他何らかの加工・処理を施す場合には、使用者の責任に於いてそのリスクをご検討の上行ってください。
When using the products specified herein by either (i) combining other products or materials therewith or (ii) physically, chemically or otherwise processing or treating the products, please duly consider all possible risks that may result from all such uses in advance and proceed therewith at your own responsibility.
- 本書に記載された製品は耐放射線設計をしておりません。
Anti radioactive ray design is not considered for the products listed herein.
- 弊社物流網外での輸送、製品落下等によるトラブルについて弊社は一切責任を負いません。
Sanken assumes no responsibility for any troubles, such as dropping products caused during transportation out of Sanken's distribution network.