A4983SET 4W1-2相励磁・マイクロステップ対応

アレグロマイクロシステムズ社製品

☆新規設計には、A4988SETのご使用を推奨いたします。

■特長

- 低ON抵抗出力
  （source側0.45Ω、sink側0.37Ω）
- 自動電流減衰モード選択／検知機能搭載
- 低損失同期整流内蔵
- 電源電圧低下検出保護機能（UVLO）、
  熱保護機能搭載（TSD）
- 出力ドライバにおける貫通電流を防ぐ
  デッドタイム機能搭載

■絶対最大定格

項 目	記 号	定格値	単 位	条 件
主電源電圧	V_{BB}	35	V	
出力電流*1	I_{out}	±2.0	A	連続
		±2.5	A	Duty Cycle<20%
ロジック入力電圧	V_{IN}	−0.3〜7.0	V	
検出電圧	V_{SENSE}	0.5	V	
REF入力電圧	V_{REF}	4	V	
パッケージパワー損失*2	P_D	3.91	W	*4
動作周囲温度	T_a	−20〜85	℃	
ジャンクション温度*3	T_j	150	℃	
保存温度	Tstg	−55〜150	℃	

*1：出力電流はデューティサイクル、周囲温度、放熱状態によって制限をうけることがあります。いかなる使用条件下においても、決して、指定された定格電流および最大接合部温度（Tj＝＋150℃）を超えないようにしてください。

*2：周囲温度（Ta）が＋25℃以上の場合は、−31.25mW／℃（JEDEC基準4層基板（High K）使用時）、にてディレーティングが必要となります。

*3：ジャンクション温度（Tj）が＋150℃を超すような異常条件下で使用した場合、デバイス内のサーマルシャットダウン回路が動作しますが、このような条件下での使用は、極力、避けてください。

*4：JEDEC基準4層基板（High K）にて測定。

■電気的特性

項 目	記 号	規格値 min.	規格値 typ.	規格値 max.	単 位	条 件
出力部						
主電源電圧範囲	V_{BB}	8	−	35	V	動作状態
		0	−	35	V	スリープモード
Logic電源電圧範囲	V_{DD}	3	−	5.5	V	
MOSFET ON抵抗	R_{DSON}	−	0.35	0.45	Ω	Source, I_{out} = −1.5A
		−	0.3	0.37	Ω	Sink, I_{out} = 1.5A
FETボディーDi順電圧	V_F	−	−	1.2	V	Source, I_{out} = −1.5A
		−	−	1.2	V	Sink, I_{out} = 1.5A
主電源電流	I_{BB}	−	−	4	mA	F_{pwm} < 50KHz
		−	−	2	mA	動作状態、出力OFF時
		−	−	10	μA	スリープモード
ロジック電源電流	I_{DD}	−	−	8	mA	F_{pwm} < 50KHz
		−	−	5	mA	出力OFF時
		−	−	10	μA	スリープモード
制御部						
ロジック入力電圧	$V_{IN(1)}$	$0.7V_{DD}$	−	−	V	$V_{IN(0)}$
	$V_{IN(0)}$	−	−	$0.3V_{DD}$	V	$V_{IN(1)}$
ロジック入力電流	$I_{IN(1)}$	−20	<1.0	20	μA	V_{IN}=$0.7V_{DD}$
	$I_{IN(0)}$	−20	<1.0	20	μA	V_{IN}=$0.3V_{DD}$
マイクロステップセレクト2	MS2	−	100	−	kΩ	
マイクロステップセレクト3	MS3	−	100	−	kΩ	
Logic入力電圧ヒステリシス	$V_{hys(IN)}$	150	300	500	mV	
ブランキング時間	t_{BLANK}	700	1000	1300	ns	
固定OFF時間	t_{OFF}	20	30	40	μs	OSC > 3V
		23	30	37	μs	R_{OSC}=25KΩ
REF入力電圧範囲	V_{REF}	0	−	4	V	
REF端子入力電流	I_{REF}	−3	−	3	μA	
電流トリップレベルエラー*3	err_I	−	−	±15.0	%	V_{REF} = 2V, $\%I_{TreipMAX}$=38.27%
		−	−	±5.0	%	V_{REF} = 2V, $\%I_{TreipMAX}$=70.71%
		−	−	±5.0	%	V_{REF} = 2V, $\%I_{TreipMAX}$=100.00%
クロスオーバーデッドタイム	T_{DT}	100	475	800	ns	
保護機能						
過熱保護動作温度	Tj	−	165	−	℃	
過熱保護ヒステリシス	T_{JHYS}	−	15	−	℃	
低電圧保護動作電圧	UVLO	2.35	2.7	3	V	V_{DD}電圧、立ち上がり時
低電圧保護ヒステリシス	UV_{HYS}	0.05	0.1	−	V	

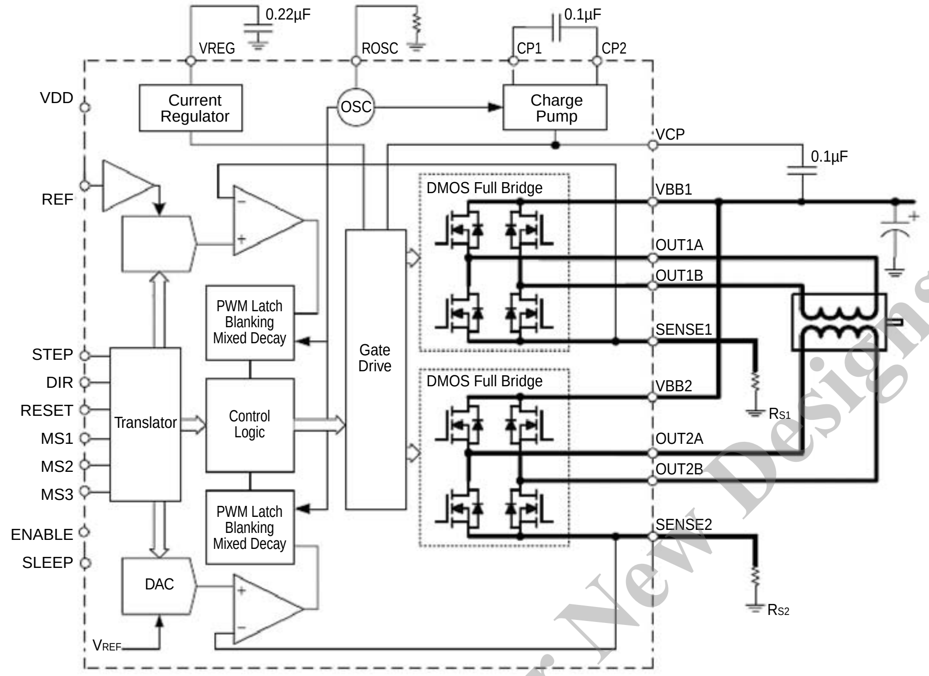
*1：Typデータは設計情報として使用してください。

*2：表中の負電流は製品端子から流れ出る電流を示しております。

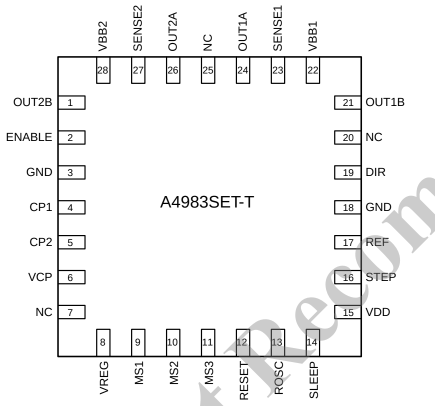
*3：EG=({VREF/8}-VSENSE)/(VREF/8)

Not Recommended for New Designs

■内部ブロック図



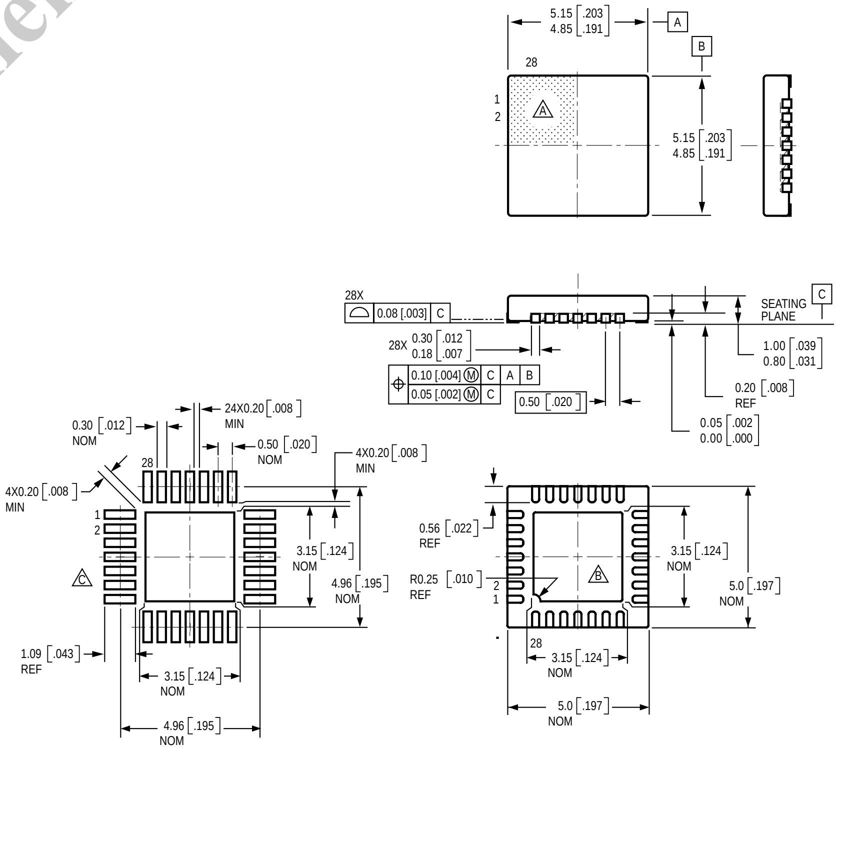
■端子配置図



Pin番号	記号	機　能
1	OUT2B	出力端子2B
2	ENABLE	ENABLE/DISABLE切り替え入力端子
3	GND	グランド端子
4	CP1	チャージポンプ汲み上げ用端子1
5	CP2	チャージポンプ汲み上げ用端子2
6	VCP	チャージポンプ電圧端子
7	NC	ノンコネクション
8	VREG	内部レギュレータ出力端子
9	MS1	励磁方式設定端子1
10	MS2	励磁方式設定端子2
11	MS3	励磁方式設定端子3
12	RESET	リセット入力端子
13	ROSC	固定OFF時間設定端子
14	SLEEP	スリープ入力端子
15	VDD	ロジック電源入力端子
16	STEP	励磁信号入力端子
17	REF	電流検出基準電圧入力端子
18	GND	グランド端子
19	DIR	回転方向入力端子
20	NC	ノンコネクション
21	OUT1B	出力端子1B
22	VBB1	主電源入力端子1
23	SENSE1	電流検出端子1
24	OUT1A	出力端子1A
25	NC	ノンコネクション
26	OUT2A	出力端子2A
27	SENSE2	電流検出端子2
28	VBB2	主電源入力端子2

■外形図

（単位：mm）



Not Recommended for New Designs