

# 第三世代 (Gen.3) 1200V SiC-MOSFET の開発

## Development of 3rd Generation 1200V SiC-MOSFET

田中 雄季\*  
Yuki Tanaka

保立 倫則\*  
Tomonori Hotate

**概要** 太陽光・風力発電などの再生可能エネルギーの普及や、自動車のHEV/EVへの転換により、機器の小型化や電力変換の高効率化が必要とされている。このような中、当社ではSiに代わる高耐圧・高効率の材料としてSiC(シリコンカーバイド)を用いたパワーデバイスの開発を進めてきた。

Siに比べSiCは材料が高価であることや、結晶欠陥により歩留が低下することから、市場拡大と参入のためには、チップの小型化が必要とされている。

そこでGen.3 SiC-MOSFETにおいて単位面積当たりの抵抗を $2.5\text{m}\Omega\text{cm}^2$ に低減した。その結果 $50\text{m}\Omega$ デバイスにおいて、従来のGen.2 SiC-MOSFETに対し24%チップサイズ縮小を達成したので報告する。また製品化に対しての技術開発や、今後の展望についても紹介する。

### 1. まえがき

近年のエネルギー需要の高まりとひっ迫、また化石燃料に代表されるエネルギー資源と環境問題の観点から、エコ・省エネには強い関心が寄せられている。パワーエレクトロニクスは、エコ・省エネに大きく貢献できる技術であり、当社はその重要な要素であるパワー半導体デバイスの開発・提供をおこなっている。

パワーデバイスの代表的な材料であるSiをベースとしたIGBTやMOSは物性値により決まる性能限界に達しつつあり、SiCやGaNといった化合物半導体デバイスが注目されている。

当社ではSDGs (Sustainable Development Goals : 持続可能な開発目標) への取り組みを進めており、カーボンニュートラルの実現に向け、SiC-SBDとSiC-MOSFETの開発を進めてきた<sup>(1)</sup>。

本稿では、従来のGen.2 SiC-MOSFETに対して、単位面積当たりのデバイス特性向上を実現したGen.3 SiC-MOSFETの開発成果と今後の展望について報告する。

### 2. チップ設計

#### 2.1 セル構造設計

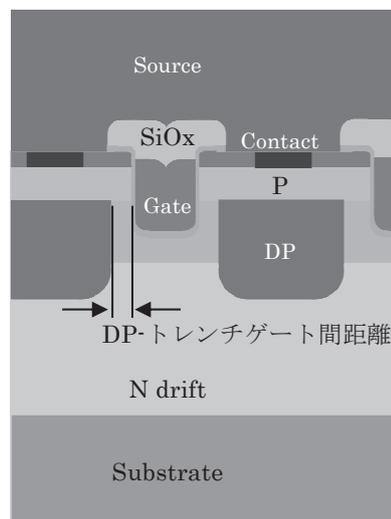


図1 セル構造

当社のSiC-MOSFETは、従来より<sup>(2)</sup> 図1に示す埋め込み型トレンチゲート構造を採用している。これによりセル密度を高くすることで低オン抵抗を実現している。

同時に耐圧設計として、ゲート酸化膜にかかる電界強度を低く抑えるため、①酸化膜への電界集中を抑制するトレンチゲート底部のラウンディング構造、②電界が集

\* マーケティング本部 パワーモジュール開発統括部  
SiC 開発部 開発1課

中するトレンチゲート底部の酸化膜厚膜化, ③電界を緩和するための深いP層 (DP) を形成することで, ドレイン-ソース間に高電圧を印加した時の酸化膜劣化・故障を防いでいる。

新構造では, デバイス特性の指標の一つである面積オン抵抗 ( $R_{on} \cdot A$ ) を下げるため, 従来の設計指針を維持しながら④セルサイズ微細化によるチャネル密度とJFET密度の向上, ⑤DP幅縮小による無効領域の削減, ⑥N drift層の最適化, ⑦SiC基板の薄厚化, 低抵抗化により低オン抵抗を実現した。

2.2.1 オン抵抗構成

オン抵抗は図2(a)のように構成され(1)式で表される。

$$R_{on} = R_{ch} + R_{JFET} + R_{drift} + R_{sub} \quad \dots (1)$$

Gen.2 1200V SiC-MOSFET 構造では図2(b)で示すとおり, チャネル抵抗  $R_{ch}$ , N drift 抵抗  $R_{drift}$ , 基板抵抗  $R_{sub}$  がオン抵抗の多くを占めている。Gen.3 構造では表1に示すとおり, 微細化構造の適用と基板抵抗最適化により抵抗を低減した。

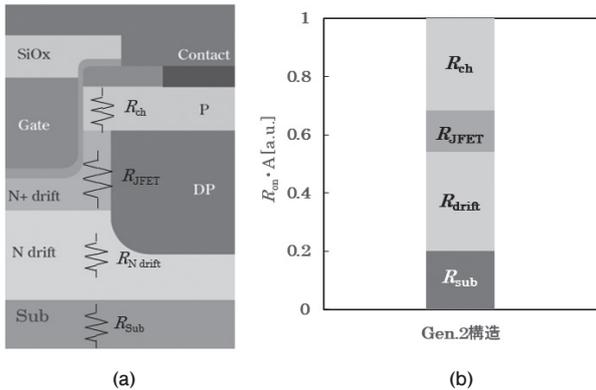


図2 セル構造 (a) と面積オン抵抗の割合 (b)

表1 設計比較

項目	Gen.2 構造	Gen.3 構造
セルサイズ	a	0.85a
トレンチゲート幅	b	0.8b
DP幅	c	0.7c
N drift厚	d	0.85d
substrate厚	e	0.5e
DP-トレンチゲート間距離	f	1.0f

2.2.2 微細化構造

$R_{ch}$  と  $R_{JFET}$  についてはセルの微細化によるセル密度増加により抵抗を下げた。 $R_{ch}$  はチャネルの移動度により抵抗が増減することがわかっているが, SiCはSiと異なる

りSiCとゲート酸化膜との間に界面トラップが多く発生し, 移動度が低下することで  $R_{ch}$  が高くなる。界面トラップ密度の低減方法として, 酸化膜形成後のPOA (Post Oxidation Anneal) 処理が研究されているが, ゲート酸化膜の信頼性に関しては閾値変動などの課題もある。

Gen.3では信頼性の観点より, POA処理は実績のあるGen.2と同様とし, セルサイズを約15%微細化することにより, チャネル密度を向上し  $R_{ch}$  を約15%低減した。

$R_{JFET}$  は図3(a)に示すとおりDP-トレンチゲート間距離を延ばすことで低減できる。一方で, 図3(b)に示すように, DP-トレンチゲート間距離を延ばすことでゲート酸化膜へかかる最大電界強度  $E$  が増加し, 信頼性への影響が懸念される。このことからGen.3構造においてもDP-トレンチゲート間距離はGen.2設計と同じとし, セルサイズを約15%微細化することで, JFET密度を向上し  $R_{JFET}$  を約15%低減した。

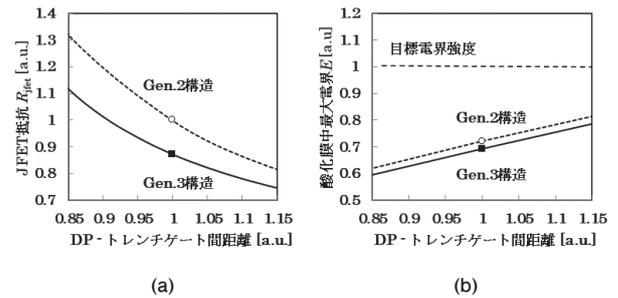


図3 DP-トレンチゲート間距離に対するJFET抵抗  $R_{JFET}$  (a) と酸化膜中最大電界強度  $E$  (b)

2.2.3 基板抵抗低減

$R_{drift}$  はN drift層厚を薄くすることで低減した。Gen.2構造に対して, Gen.3構造では図4(a), (b)で示すとおり, N drift層を約15%薄くしたことで, 耐圧1200Vを維持しながら  $R_{drift}$  を約15%低減した。

$R_{sub}$  は基板の薄厚化と比抵抗を調整することにより低減した。バックグラインド条件を最適化し, 反りや抗折強度の低下を引き起こさずにGen.2構造に比べ薄厚化を

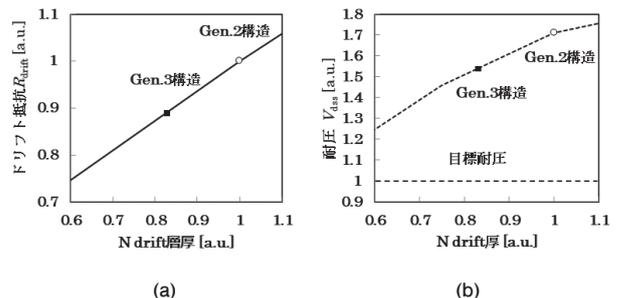


図4 N drift層厚に対するN drift層抵抗  $R_{drift}$  (a) と耐圧  $V_{dss}$  (b)

実現した。同時に基板の比抵抗を下げることにより、Gen.2構造に対して約80%  $R_{sub}$  を低減した。

### 2.2.4 性能比較

Gen.2構造とGen.3構造の設計比較は表1に記載してある。各項目の微細化と基板抵抗低減により図5(a)に示す通り、Gen.3構造ではGen.2構造に対して  $R_{on} \cdot A$  を約30%低減した。

性能指標として  $R_{on} \cdot C_{iss}$  特性を図5(b)に示す。低オン抵抗化によりGen.2に対して性能向上を実現した。

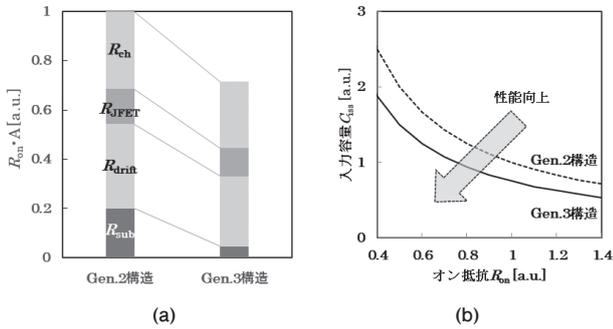


図5 面積オン抵抗の比較(a)と  $R_{on} \cdot C_{iss}$  特性(b)

## 3. デバイス特性評価結果

デバイス特性について報告する。図6の出力特性が示すようにGen.3構造はGen.2構造に対して同一チップサイズでの電流密度が増加したことで、オン抵抗を30%低減することができた。

また耐圧測定結果を図7に示す。Gen3構造で目標耐圧1200Vに対して十分な実力を持っていることを確認した。

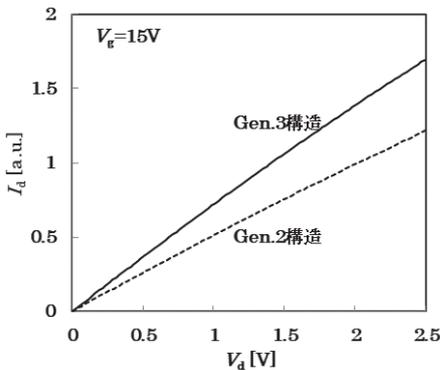


図6 出力特性

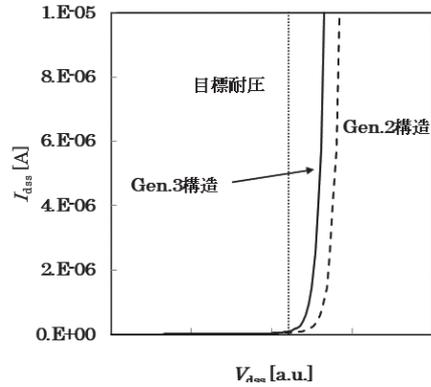


図7  $V_{dss} - I_{dss}$  特性

$R_{on} \cdot Q_{gs}$  の比較を図8に示す。低オン抵抗化によりGen.2構造と比較して約30%の性能指数の向上が見られる。また、他社製品と比較しても  $R_{on} \cdot Q_{gs}$  の値が小さく、オン時のスイッチングにおいて他社と同等以上の性能を実現できた。

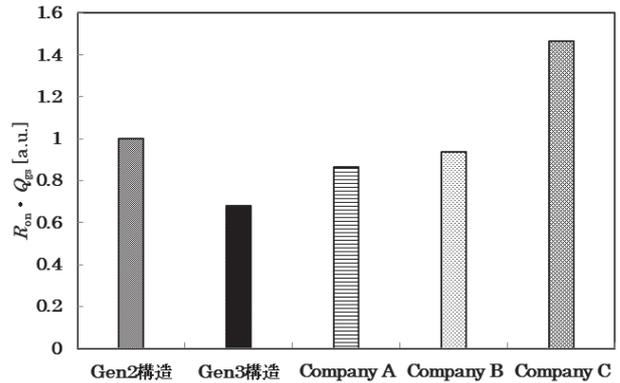


図8 性能指数比較

## 4. 製品化に対して

SiCはSiと比較して結晶欠陥が多いことから、三角欠陥による耐圧低下、BPD (基底面転位) による順方向特性劣化等で歩留まり低下を引き起こす。結晶欠陥による歩留まり低下はチップ面積に依存していることから、チップサイズを小さくすることが重要となる。

そこでチップ外周部の無効領域を削減した。外周部はゲート電極、ソース電極をつなぐ配線が形成されている。この配線幅や配線間の距離を縮小し、定格50mΩのチップにおいて、Gen.2構造に対して活性部密度増加による電流密度向上と、無効領域削減で約24%チップサイズを縮小した。(図9)

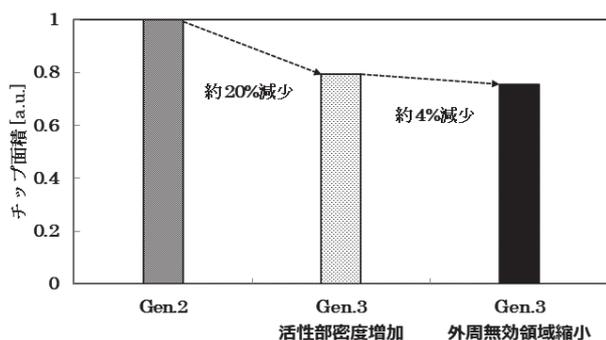


図9 チップサイズ縮小

1200V SiC-MOSFETの製品ターゲットを表2に記載する。電流は30A, 50A, 100A以上を想定している。閾値は室温で約3.5Vとし175℃の高温動作時でノーマリーオフを維持している。Siデバイスとの置き換えを容易とするためオペレーション電圧は15Vとした。 $R_{on}$ は175℃で室温に対し約1.8倍上昇する。

車載用途向けには、チップ内部のゲート抵抗 $R_{G\_INT}$ を調整する機能を持たせることで、高速動作に置ける誤点弧を防ぐことができる。信頼性はAEC-Q101を準拠し製品展開する。

表2 製品ターゲット

製品	30A	50A	>100A
ゲート-ソース電圧 $V_{GS\_OP}$		-5~15V	
閾値 $V_{th}$		3.5V	
175℃ $V_{th}$		>2V	
室温 $R_{on}$	75mΩ	40mΩ	<20mΩ
175℃ $R_{on}$	室温 x 1.8 mΩ		
ゲート抵抗 $R_{G\_INT}$	6.5Ω	4Ω	<1.5Ω
$R_{G\_INT}$ 調整機能	無	有	有
周波数	数10k~数100kHz	数10k~数100kHz	数kHz~数10kHz
規格	AEC-Q101	AEC-Q101	AEC-Q101
用途	産機	車載電源	車載メインモータ

## 5. 今後の技術開発

今回のデバイスは当社既存技術をベースとした特性向上である。微細化技術、薄厚化技術は市場トレンドにしたがって改善をはかっていく。また酸化膜の膜質改善、エピ濃度調整などにより、動作時のさらなる低オン抵抗化と、アブノーマル動作時の耐量向上の両立をはかる。

半導体デバイスとしては、静特性や動特性だけでなく、耐量や信頼性向上に配慮が必要である。これはBPDに代表されるようなSiCチップ起因による信頼性の低下だけでなく、高温領域におけるはんだの劣化抑制、高耐圧を保証できる樹脂といったようにパッケージにも求められている。当社が有するチップ開発とパッケージ開発技術により、耐圧ラインナップの拡大やIPMの開発も進めている。

## 6. むすび

Gen.2構造に対しセルの微細化、N drift層と基板の低抵抗化により、単位面積当たりのオン抵抗を $2.5m\Omega cm^2$ に低減し、チップサイズを約24%縮小した。

チップのさらなる低オン抵抗化と耐量向上を進めながら、チップの実力を生かせるパッケージ開発も並行しておこない、製品展開を進めていく。

## 参考文献

- (1) サンケン電気 HP：サステナビリティ  
<https://www.sanken-ele.co.jp/corp/csr/nature/environment.htm>
- (2) 熊倉：サンケン技報, vol 51, 2019, p.29-32