

本資料の内容は和英併記となっておりますが、和文優先とさせていただきます。  
This application note, which shows in Japanese and English, Japanese expression shall be given priority over English expression.

## 【目次】

1. はじめに(General Description).....	2
2. 主な機能(Features).....	2
3. 外形・参考ランド形状(Package information, recommended foot print)3	
4. ブロック図&応用回路例(Block diagram and application circuit).....	4
4.1. Hall 素子入力 (Hall element input) .....	4
4.2. Hall IC 入力 (Hall IC input).....	5
5. 端子表(Pin assignment).....	6
6. 絶対最大定格(Absolute maximum rating).....	8
7. 推奨動作範囲(Recommended operating range).....	8
8. 許容損失(Power dissipation) .....	9
9. 電気的特性(Electrical characteristics).....	10
10. 真理値表、タイミングチャート(Truth table, timing chart).....	12
10.1. 励磁制御入力 (ホール&Logic 入力) .....	12
10.2. FL 出力 (フラグ出力) .....	13
10.3. FG 信号 .....	13
10.4. Internal PWM 制御.....	14
10.5. PWM 制御入力 (PWM&Decay) .....	14
10.6. 同期整流強制停止 (Fast Decay のみ) .....	15
10.7. OCP 制御 .....	15
10.8. モータロック検出 .....	16
10.9. Enable&Brake 端子.....	17
11. 回路構成 (個別回路) (Individual circuit structure) .....	18
11.1. UVLO.....	18
11.2. TSD .....	18
11.3. OVP.....	18
11.4. Charge Pump .....	19
11.5. Gate Drive&OCP .....	19
11.6. Hall Amp .....	19
11.7. FG Gen .....	19
11.8. Commutation&Control Logic.....	20
11.9. Internal PWM.....	20
11.10. OSC.....	20
11.11. Lock Detect.....	21
12. 端子部内部回路(Pin diagram) .....	22
13. 動作波形(operational waveform).....	23
14. 評価ボード回路図(Evaluation board schematic).....	24
15. 評価ボードパターン図(Evaluation pattern layout).....	25

## 1. はじめに(General Description)

本 IC は 3 相ブラシレス DC モータ用ブリドドライバ IC です。このデバイスは幅広い N チャネルパワー MOSFET と組み合わせ可能で、30V までのモータ電源電圧に対応しています。120° 間隔で配置されたホール素子/ホール IC よって相切り替えを行います。

機能としては突入電流を抑制する PWM 電流制御、過熱シャットダウン、同期整流などを備えています。同期整流機能では、ボディダイオードの代わりに低オン抵抗の MOSFET で整流を行い、回生時の電力損失を低減できます。

本製品は enable, direction, brake 入力を備え、内部 PWM による電流制御が可能です。又、ロジック出力 FG により、モータの回転を検出することが可能です。

SI-6633C is a complete 3-phase brushless DC motor pre-driver. The device is capable of driving a wide range of N-channel power MOSFETs and can support motor supply voltages up to 30 V.

Commutation logic is determined by three Hall-element / Hall IC inputs spaced at 120°.

The device has PWM current control to limit rush current, thermal shut down and synchronous rectification.

Internal synchronous rectification reduces power dissipation by turning on the appropriate MOSFETs during current decay, thus shorting the body diode with the low RDS(on) MOSFET.

The device has enable, direction and brake input with internal PWM feature. Also, it can monitor the rotation of the motor by FG output.

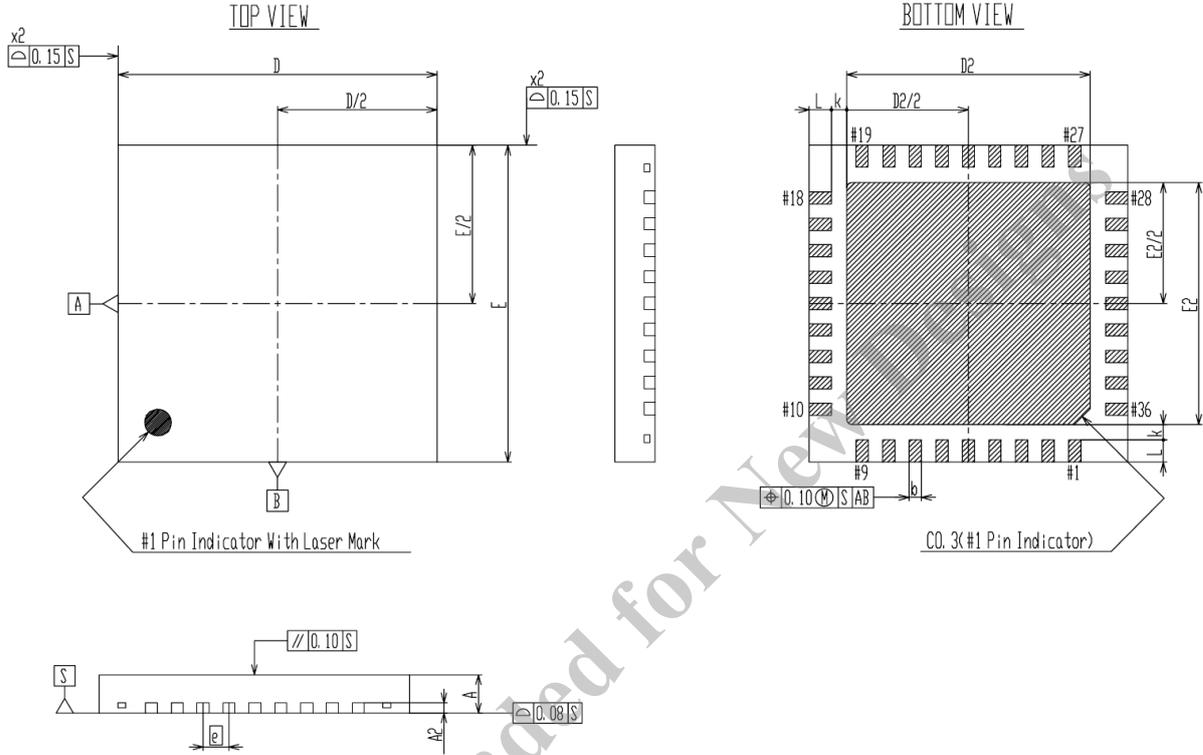
## 2. 主な機能(Features)

- 6 素子の N チャネル MOSFET を駆動  
Drive 6 N-channel MOFETs
- ホール入力対応  
Hall element input
- 各種保護機能内蔵  
Protections
  - 過電圧保護  
Over voltage protection
  - 低電圧保護  
Under voltage lock out
  - 過電流保護(天絡、負荷ショート対応)  
Over current protection
  - 過熱保護  
Thermal shutdown
  - ロック検知  
Motor lock detection
  - 貫通電流防止機能  
Short-through Protection
- 異常発生時におけるアラーム出力機能  
Alarm output pin (FLAG) is active when any protection is activated.
- 電力損失を低減する同期整流  
Synchronous rectification with low power dissipation.
- PWM 電流制限  
Fixed frequency PWM (Internal PWM) with peak current control.
- FG 出力  
Motor speed output by hall input transition (FG).
- スタンバイモード  
Stand-by mode

### 3. 外形・参考ランド形状(Package information, recommended foot print)

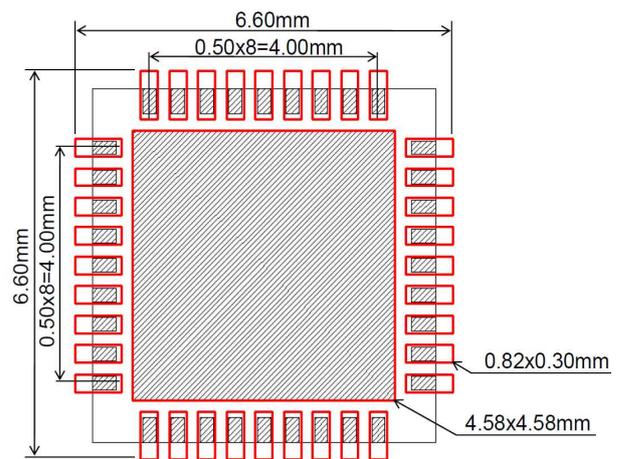
Unit : mm

サーマルパッド付き QFN36Pin パッケージ  
QFN36 package with exposed pad



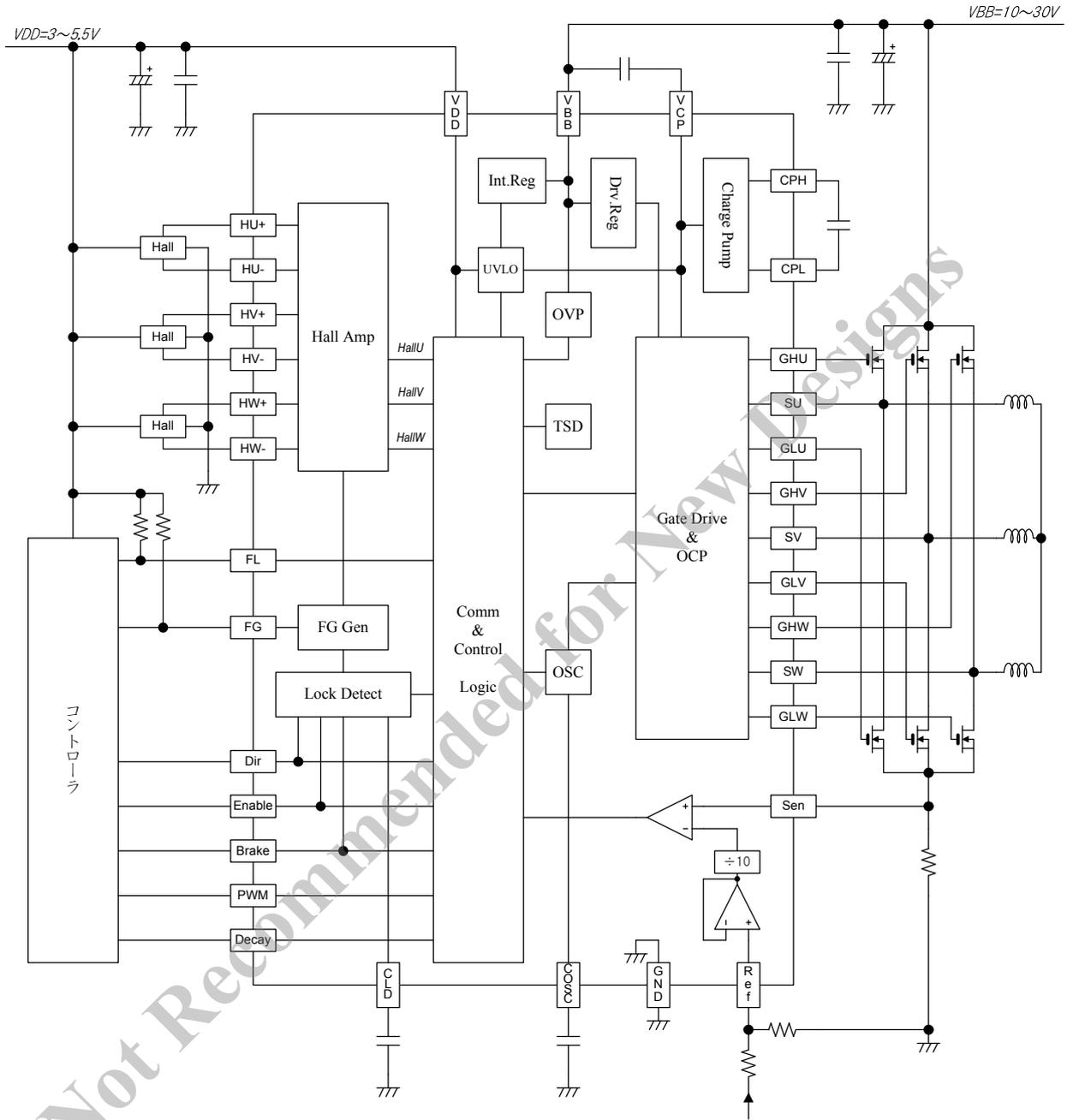
参考ランド形状 (赤線部分)  
Recommended foot print (red line)

SYMBOL	COMMON DIMENSIONS		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A2	0.20 REF.		
b	0.18	0.23	0.28
D	5.90	6.00	6.10
D2	4.43	4.58	4.73
E	5.90	6.00	6.10
E2	4.43	4.58	4.73
e	0.50 BSC.		
k	0.25	—	—
L	0.32	0.42	0.52

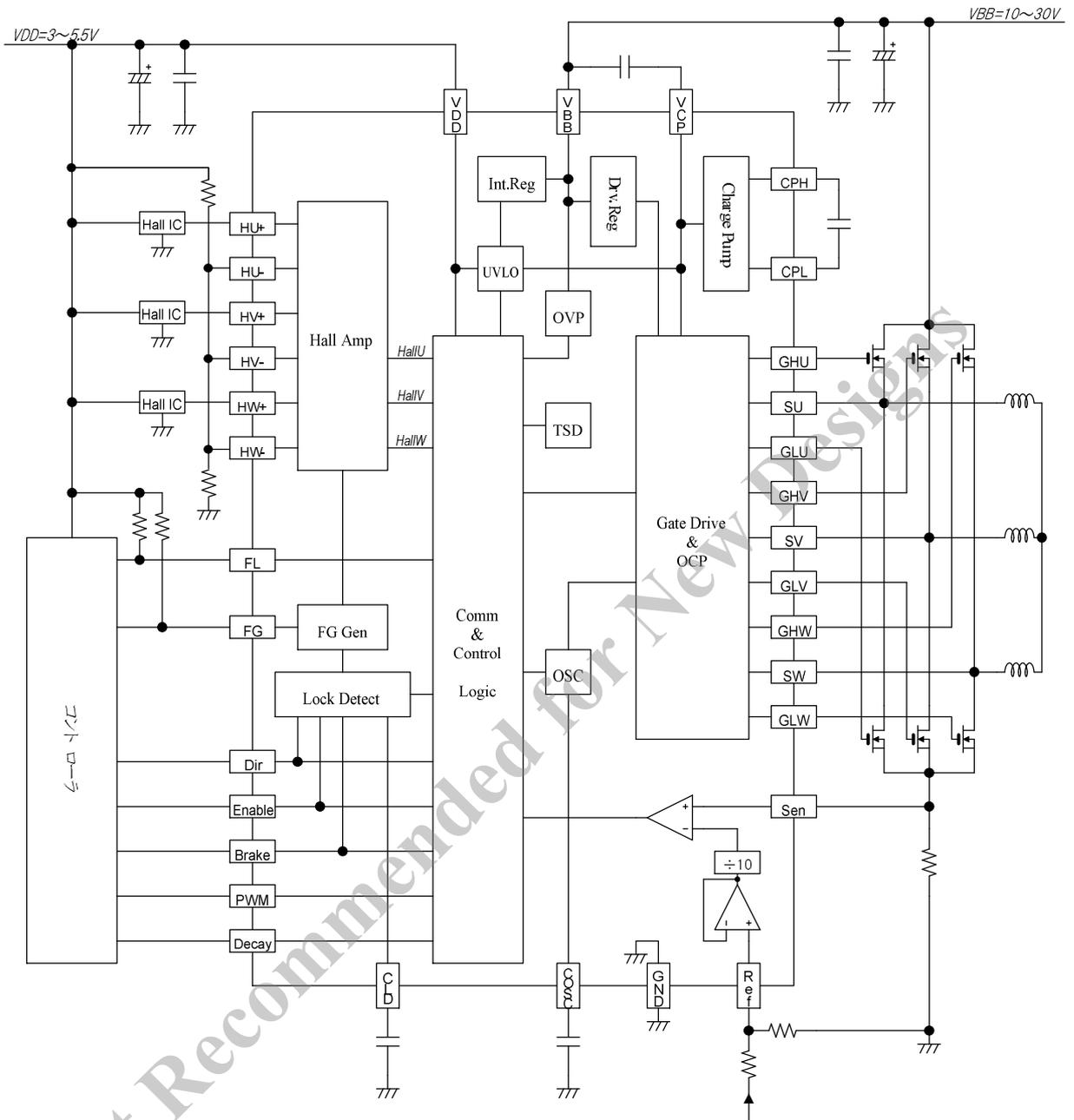


## 4. ブロック図&応用回路例(Block diagram and application circuit)

### 4.1. Hall 素子入力 (Hall element input)



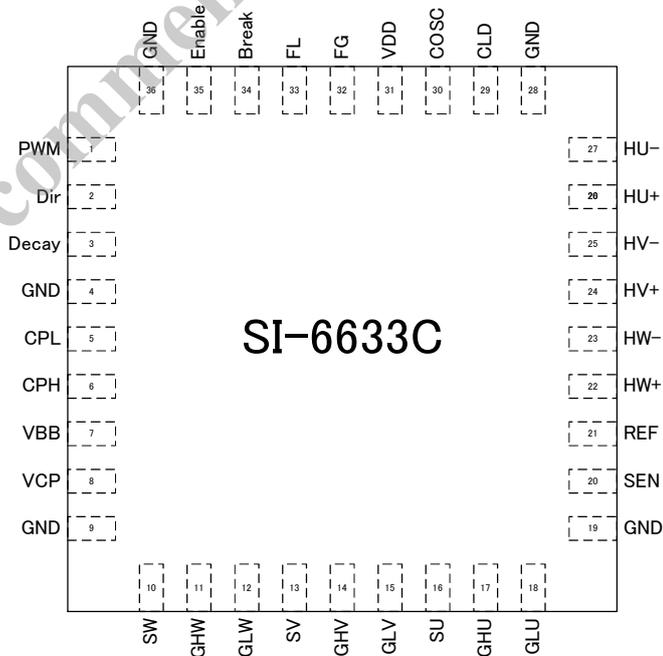
### 4.2. Hall IC 入力 (Hall IC input)



## 5. 端子表(Pin assignment)

番号 Pin No.	端子名 Pin Name	端子機能 Functions
1	PWM	PWM 信号入力端子 PWM input
2	Dir	電流方向切り替え端子 Direction input
3	Decay	Decay 信号入力端子 Decay input
4	GND	グランド端子 Ground
5	CPL	チャージポンプ汲み上げ用コンデンサ端子 Low Pumping for charge pump - Low
6	CPH	チャージポンプ汲み上げ用コンデンサ端子 High Pumping for charge pump - High
7	VBB	モータ電源入力端子 Motor power supply
8	VCP	チャージポンプチャージアップ用コンデンサ端子 Reservoir pin for charge pump
9	GND	グランド端子 Ground
10	SW	出力端子 OUTW Output for W phase
11	GHW	ハイサイドゲート出力端子 W High side gate for W phase
12	GLW	ローサイドゲート出力端子 W Low side gate for W phase
13	SV	出力端子 OUTV Output for V phase
14	GHV	ハイサイドゲート出力端子 V High side gate for V phase
15	GLV	ローサイドゲート出力端子 V Low side gate for V phase
16	SU	出力端子 OUTU Output for U phase
17	GHU	ハイサイドゲート出力端子 U High side gate for U phase
18	GLU	ローサイドゲート出力端子 U Low side gate for U phase
19	GND	グランド端子 Ground
20	Sen	電流検出端子 Current sensing input
21	Ref	内部 PWM 電流設定端子 Analog input for internal PWM current control
22	HW+	ホール素子入力端子 HW+ Hall input W+
23	HW-	ホール素子入力端子 HW- Hall input W-

番号 Pin No.	端子名 Pin Name	端子機能 Functions
24	HV+	ホール素子入力端子 HV+ Hall input V+
25	HV-	ホール素子入力端子 HV- Hall input V-
26	HU+	ホール素子入力端子 HU+ Hall input U+
27	HU-	ホール素子入力端子 HU- Hall input U-
28	GND	グランド端子 Ground
29	CLD	ロック検知時間設定端子 Setting for lock detection timer
30	COSC	スイッチング周波数設定端子 Setting for switching frequency
31	VDD	ロジック電源端子 Logic power supply
32	FG	FG 出力端子 Output for FG signal
33	FL	異常検知出力端子 Output for protection detected
34	Brake	ブレーキ入力端子 Brake input
35	Enable	ロックカウンターリセット信号&Enable 信号入力端子 Reset for lock counter and Enable input
36	GND	グランド端子 Ground



## 6. 絶対最大定格(Absolute maximum rating)

項目 Items	記号 Symbol	条件 Condition	規格値 Spec	単位 Units
電源電圧 Power supply	$V_{BB}$		-0.3~38	V
出力電圧 Output voltage	$V_{OUT}$		-1~38	V
ロジック入力電圧 Logic input voltage	$V_{IN(Logic)}$		-0.3~6	V
ホール入力電圧 Hall input voltage	$V_{HALL}$		-0.3~6	V
Ref 入力電圧 Reference input voltage	$V_{Ref}$		-0.3~6	V
検出電圧 Sense voltage	$V_{SENSE}$		$\pm 0.5$	V
最高ジャンクション温度 Junction temperature	$T_{J(max)}$		150	°C
保存温度 Storage temperature	$T_{stg}$		-40~150	°C
動作周囲温度 Ambient temperature	$T_A$		-20~85	°C
パッケージ熱抵抗 Thermal resistance	$R_{\theta JA}$	弊社評価基板使用時(2層基板; 60mm×77mm) SK evaluation board(2 layer PCB; 60mm*77mm)	43	°C/W

(※) 出力電流はデューティサイクル、周囲温度、放熱状態によって制限を受けることがあります。いかなる使用条件下においても、決して指定された定格電流および最大接合部温度( $T_j=150^\circ\text{C}$ )を越えないようにしてください。

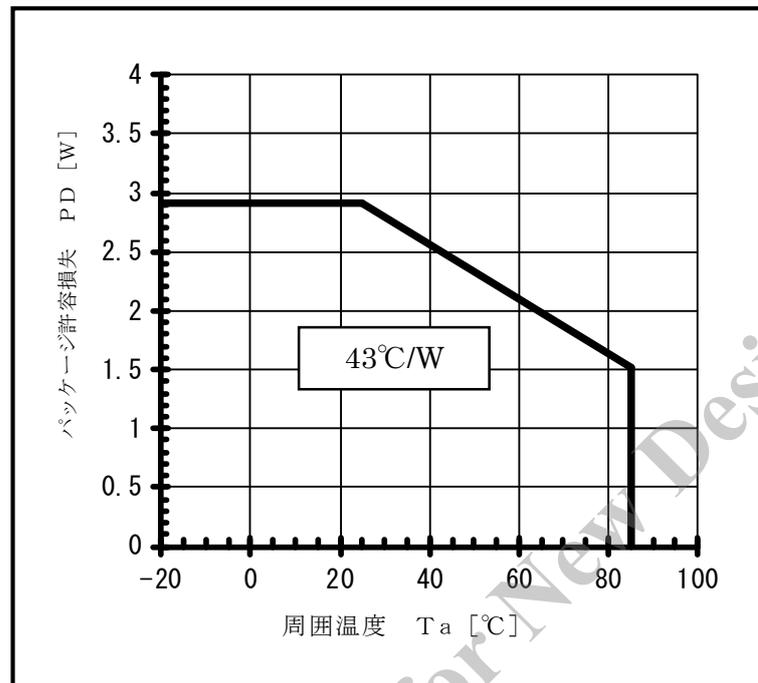
Output current rating may be limited by duty cycle, ambient temperature, and heat sinking.  
Under any set of conditions, do not exceed the specified junction temperature ( $T_j$ ).

## 7. 推奨動作範囲(Recommended operating range)

項目 Item	記号 Symbol	規格値 Spec	単位 Unit	備考 Remarks
電源電圧 Power supply	$V_{BB}$	10~30	V	
コントロール電源電圧 Logic power supply	$V_{DD}$	3~5.5	V	
ロジック入力電圧 Logic input voltage	$V_{IN(Logic)}$	0~5.5	V	
Ref 入力電圧 Reference input voltage	$V_{Ref}$	0.5~5.5	V	0.5V 以下では、電流制御精度が大幅に低下します。 Current accuracy is going down under 0.5V.
ホール入力電圧 Hall input voltage	$V_{HALL}$	0.2~4	V	
検出電圧 Sense voltage	$V_{SENSE}$	$\pm 0.5$	V	
パッケージ温度 Package temperature	$T_C$	105	°C	
動作周囲温度 Ambient temperature	$T_A$	-20~85	°C	

## 8. 許容損失(Power dissipation)

パッケージ使用時の減定格(Power dissipation)



弊社評価基板使用時(2層基板;60mm×77mm)  
SK evaluation board(2 layer PCB; 60mm\*77mm)

## 9. 電気的特性(Electrical characteristics)

特記なき場合、 $T_A=+25^{\circ}\text{C}$ 、 $V_{\text{BB}}=24\text{V}$ 、 $V_{\text{DD}}=5\text{V}$

( $T_a=25^{\circ}\text{C}$ ,  $V_{\text{BB}}=24\text{V}$ ,  $V_{\text{DD}}=5\text{V}$ , Unless Otherwise Noted.)

特性項目 Item	記号 Symbol	定格 Spec			単位 Unit	試験条件 Condition
		MIN	TYP	MAX		

### Output Drivers

VBB 電圧範囲 Power supply voltage range	$V_{\text{BB}}$	10	-	$V_{\text{BBOV}}$	V	動作時 Motor operation
主電源電流 Power supply current	$I_{\text{BB}}$	-	10	20	mA	動作状態(出力 OFF 時) Motor operation(Output disable)
		50	-	200	$\mu\text{A}$	スタンバイモード Stand-by mode

### Control Logic

VDD 電圧範囲 Logic supply voltage range	$V_{\text{DD}}$	3	-	5.5	V	動作時 Motor operation
VDD 端子電流 Logic supply current	$I_{\text{DD}}$	-	0.5	3	mA	動作状態(出力 OFF 時) Motor operation(Output disable)
		100	180	500	$\mu\text{A}$	スタンバイモード Stand-by mode
Logic 入力電圧 Logic input voltage	$V_{\text{IN}(0)}$	-	-	$V_{\text{DD}} \times 0.25$	V	
	$V_{\text{IN}(1)}$	$V_{\text{DD}} \times 0.75$	-	-	V	
Logic 入力電流 Logic input current	$I_{\text{IN}(0)}$	-1	-	1	$\mu\text{A}$	$V_{\text{IN}(0)}$ , $V_{\text{IN}}=0\text{V}$
	$I_{\text{IN}(1)}$	-1	-	1	$\mu\text{A}$	$V_{\text{IN}(1)}$ , $V_{\text{IN}}=5\text{V}$
入力端子フィルタ Logic input filter	$t_{\text{LOGIC}}$	0.3	0.5	0.95	$\mu\text{s}$	$f_{\text{in}}=50\text{kHz}$ , Duty=50%
COSC 端子発振周波数 COSC oscillation frequency	$f_{\text{OSC}}$	19	25	32	KHz	$C_{\text{OSC}}=330\text{pF}$

### Gate Drive

ハイサイド出力電圧 High side output voltage	$V_{\text{GS}(H)}$	6	-	9	V	$V_{\text{bb}}$ に対して、 $I_{\text{GATE}}=2\text{mA}$ For $V_{\text{BB}}$ , $I_{\text{GATE}}=2\text{mA}$
ローサイド出力電圧 Low side output voltage	$V_{\text{GS}(L)}$	6	-	9	V	$I_{\text{GATE}}=2\text{mA}$
ドライブ電流 Drive current	$I_{\text{GATE}}$	20	30	60	mA	$\text{GH}=\text{GL}=4\text{V}$ , $V_{\text{CP}}=V_{\text{BB}}+\text{TBd}$
デッドタイム Deadtime	$t_{\text{dead}}$	-	1000	-	ns	

### Internal PWM

Ref 端子入力電流 Reference input current	$I_{\text{ref}}$	-5	-0.1	1	$\mu\text{A}$	
Ref 端子入力電圧範囲 Reference input voltage range	$V_{\text{Ref}}$	0.5	-	5.5	V	
Sen 端子入力電流 Sense input current	$I_{\text{Sen}}$	-5	-0.1	1	$\mu\text{A}$	$V_{\text{Sen}}=0\sim 1\text{V}$
検出電圧 Sense voltage	$V_{\text{Sen}}$	$V_{\text{REF}} \times 0.095$	$V_{\text{REF}} \times 0.1$	$V_{\text{REF}} \times 0.12$	V	$V_{\text{Ref}}=1\sim 5\text{V}$
電流検出フィルタ時間 Current sense filter time	$t_{\text{LPFSen}}$	1	2	4	$\mu\text{s}$	設計保証 Guaranteed by design

※1: Typ データは設計情報として使用して下さい。

Typ data is for reference only.

※2: 表中の負電流は製品端子から流れ出る電流を示しております。

Negative current is defined as coming out of the specified pin.

特記なき場合、 $T_A=+25^{\circ}\text{C}$ 、 $V_{BB}=24\text{V}$ 、 $V_{DD}=5\text{V}$

( $T_a=25^{\circ}\text{C}$ 、 $V_{BB}=24\text{V}$ 、 $V_{DD}=5\text{V}$ 、Unless Otherwise Noted.)

特性項目 Item	記号 Symbol	定格 Spec			単位 Unit	試験条件 Condition
		MIN	TYP	MAX		

#### Protection

FL 出力飽和電圧 FL output saturation voltage	$V_{FI(ON)}$	0.2	0.4	0.7	V	$I_{FG}=2\text{mA}$
FL 出力端子オン電流 FL output On current	$I_{FI(ON)}$	5	7.5	15	mA	$V_{FI}=2\text{V}$
FL 出力リーク電流 FL output leak current	$I_{FI(OFF)}$	0	-	50	$\mu\text{A}$	$V_{FG}=5.5\text{V}$
過電流検出電圧 OCP detection voltage	$V_{OCP}$	1.4	1.5	1.65	V	LowSideMOSFET 検出 (OUT-GND 間)
過電流検出フィルタ時間 OCP filter time	$t_{FLT OCP}$	0.75	1.5	3	$\mu\text{s}$	設計保証 Guaranteed by design
OCP 出力 OFF タイマーカウント OCP output off timer count	$N_{OCP\_OFF}$	256	256	256		
VBB 過電圧保護閾値電圧 VBB OVP threshold voltage	$V_{BBOV}$	33	35	37	V	
VBB 過電圧保護ヒステリシス VBB OVP hysteresis	$V_{BBOVhys}$	1.25	2	3.5	V	
CLD 端子発振周波数 CLD oscillation frequency	$f_{LD}$	100	128	164	Hz	$C_{LD}=0.1\mu\text{F}$
ロック検出タイマーカウント Lock detection timer count	$N_{LD}$	256	256	256		
過熱保護動作温度 TSD threshold temperature	$T_{JTSD}$	151	170	185	$^{\circ}\text{C}$	温度上昇時、設計保証 Temperature rising, Guaranteed by design.
過熱保護ヒステリシス TSD hysteresis	$T_{JTSDhys}$	10	15	20	$^{\circ}\text{C}$	
VDD 低電圧保護解除電圧 VDD UVLO threshold voltage	$V_{DDUV}$	2.65	2.8	2.95	V	$V_{DD}$ 電圧上昇時 $V_{DD}$ rising
VDD 低電圧保護ヒステリシス VDD UVLO hysteresis	$V_{DDUVhys}$	0.1	0.15	0.25	V	
VBB 低電圧保護解除電圧 VBB UVLO threshold voltage	$V_{BBUV}$	-	9	9.9	V	$V_{BB}$ 電圧上昇時 $V_{BB}$ rising
VBB 低電圧保護ヒステリシス VBB UVLO hysteresis	$V_{BBUVhys}$	-	0.3	-	V	

#### FG

FG 出力飽和電圧 FG output saturation voltage	$V_{FG(sat)}$	0.2	0.4	0.7	V	$I_{FG}=2\text{mA}$
FG 出力リーク電流 FG output leak current	$I_{FGlk}$	0	-	50	$\mu\text{A}$	$V_{FG}=5.5\text{V}$

#### Hall Logic

ホール入力電流 Hall input current	$I_{HALL}$	-5	-0.1	1	$\mu\text{A}$	$V_{IN}=0.2\sim 4\text{V}$
コモンモード入力電圧範囲 Common mode input voltage range	$V_{CMR}$	0.2	-	4	V	
AC 入力電圧範囲 AC input voltage range	$V_{HALL}$	60	-	-	mV <sub>P-P</sub>	
ヒステリシス Hysteresis	$V_{HYS}$	25	40	$V_{HALL}$	mV	設計保証 Guaranteed by design
パルス除去フィルタ Pulse reject filter	$t_{pulse}$	1	2	4	$\mu\text{s}$	

※1: Typ データは設計情報として使用して下さい。

Typ data is for reference only.

※2: 表中の負電流は製品端子から流れ出る電流を示しております。

Negative current is defined as coming out of the specified pin.

## 10. 真理値表、タイミングチャート(Truth table, timing chart)

### 10.1. 励磁制御入力（ホール&Logic 入力）

#### 10.1 Excitation control input (Hall and Logic input)

表 10-1 Hall 入力&各制御入力  
Table 10-1 Hall and Logic input

状態名	Input					Output status					
	HallU <sup>※1</sup>	HallV <sup>※1</sup>	HallW <sup>※1</sup>	Enable	Brake	DIR=H			DIR=L		
						OUTU	OUTV	OUTW	OUTU	OUTV	OUTW
F1	+	-	+	L	H	H	L	Z	L	H	Z
F2	+	-	-	L	H	H	Z	L	L	Z	H
F3	+	+	-	L	H	Z	H	L	Z	L	H
F4	-	+	-	L	H	L	H	Z	H	L	Z
F5	-	+	+	L	H	L	Z	H	H	Z	L
F6	-	-	+	L	H	Z	L	H	Z	H	L
Error	-	-	-	L	H	Z	Z	Z	Z	Z	Z
Error	+	+	+	L	H	Z	Z	Z	Z	Z	Z
brake	X	X	X	L	L	L	L	L	L	L	L
disable <sup>※2</sup>	X	X	X	H	H	Z	Z	Z	Z	Z	Z
StandBy	X	X	X	H	L	Z	Z	Z	Z	Z	Z

X: don't care Z: High Impedance

※1 HallU、HallV、HallW : '+'=H+>H-、'-'=H+<H-

※2 Disable となるには条件があります。

There are conditions for disable

- HallU、HallV、HallW は HU+、HU-、HV+、HV-、HW+、HW-から生成される、内部ロジック信号名となります。

HallU, HallV and HallW are internal logic signal made from HU+, HU-, HV+, HV-, HW+ and HW-.

- Disable となる条件については、図 10-9 を参照願います。  
Refer to Fig 10-9 for condition of "disable"

10.2. FL 出力 (フラグ出力)  
10.2 Flag Output

表 10-2 FL 出力  
Table 10-2 Flag output

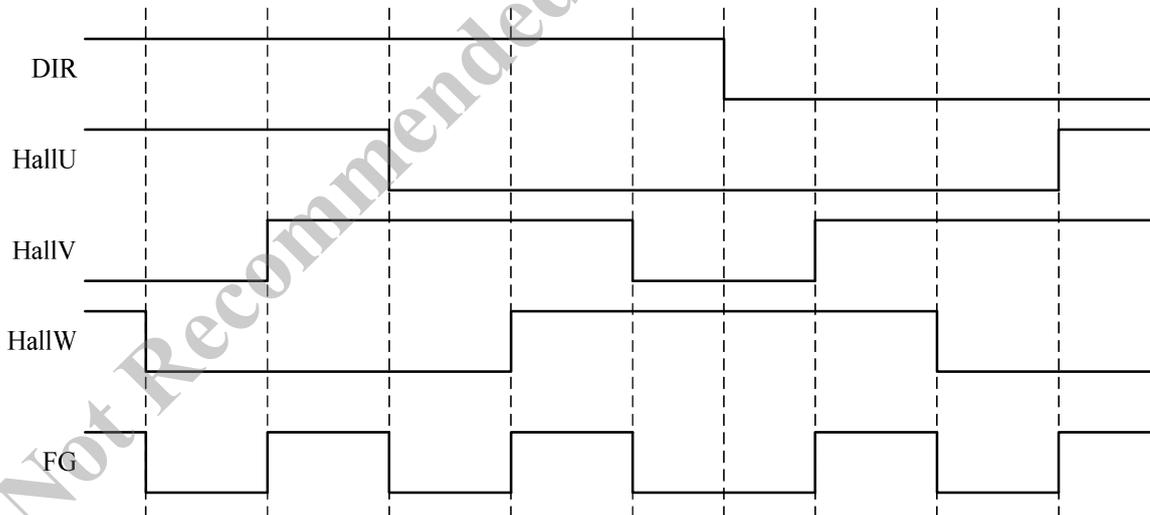
FL 出力	状態(Status)
Hi-Z	動作状態(Operation)
L	異常検知 Abnormal  低電圧保護 (UVLO) Under voltage lock out  過熱検知 (TSD) Thermal shutdown  過電圧検知 (OVP) Over voltage protection  過電流検知&出力 OFF 期間 (OCP) Over current protection and output off time

・電源電圧 (VBB、VDD) が低い状態では内部回路の動作が不完全となって正しい診断結果を出力しない場合がありますので、注意願います。

Please take care for FLAG output due to the internal circuit may not be fixed with supply voltage (VBB and VDD) being low.

10.3. FG 信号  
10.3 FG signal

図 10-3 FG タイミングチャート  
Fig 10-3 FG timing chart



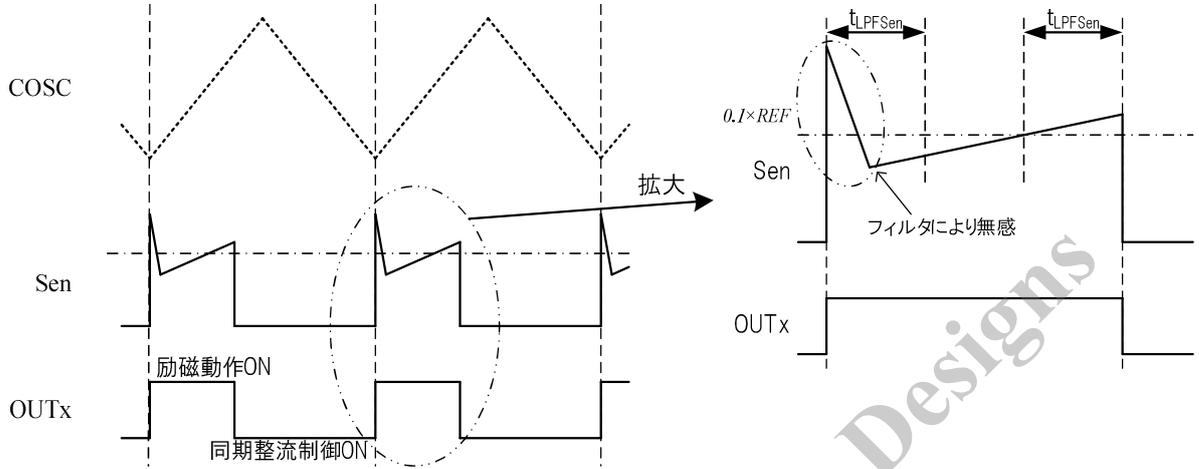
・HalU、HallV、HallW に関しては、「10.1 励磁制御入力 (ホール&Logic 入力)」を参照願います。  
Refer to “10.1 Hall and Logic input” on HalU, HallV and HallW.

・FG はホール入力によって励磁相が切り替わる毎に論理が反転する、トグル動作となります。  
FG is toggled by each phase changed.

10.4. Internal PWM 制御  
10.4 Internal PWM control

図 10-4 内部 PWM タイミングチャート

Fig 10-4 Internal PWM control timing chart

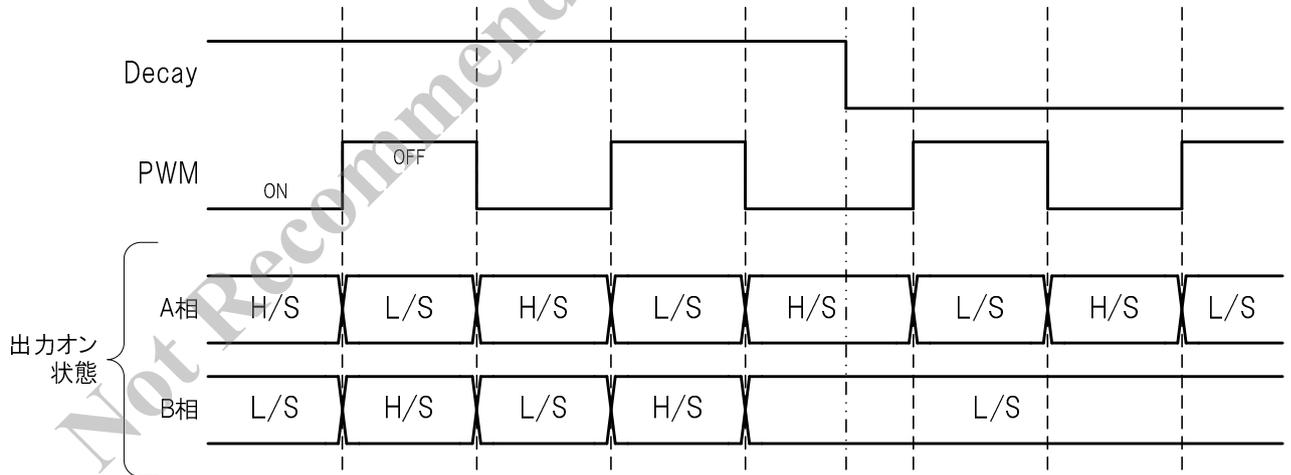


- 本制御を使用しない場合は、Sen は GND、REF は VDD に接続してください。  
Connect Sen pin to GND and Ref pin to VDD if not using this function.

10.5. PWM 制御入力 (PWM&Decay)  
10.5 PWM control (PWM and Decay)

図 10-5 PWM タイミングチャート

Fig 10-5 PWM control timing chart

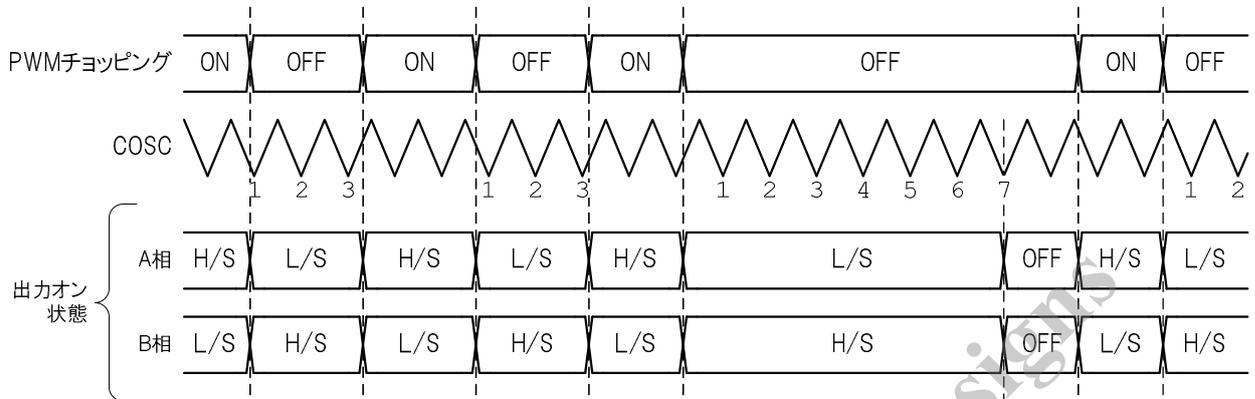


- Brake 時は、PWM 端子、Decay 端子の入力信号は無視されます。  
PWM and Decay signal is ignored in Brake mode.
- PWM 制御入力を使用しない場合は、端子を'L'として下さい。  
Connect PWM pin to "L" if not using this function.

### 10.6. 同期整流強制停止 (Fast Decay のみ)

#### 10.6 PWM operation in Fast Decay (Decay="H")

図 10-6 同期整流タイミングチャート  
Fig 10-6 Synchronous Rectification timing chart

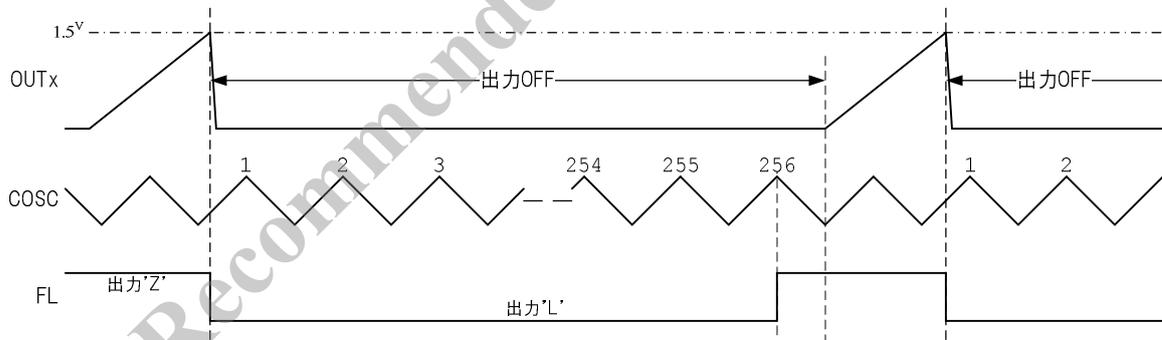


- ・PWM チョッピング OFF 期間が一定時間 (COSC の約 7 周期) 継続した場合には同期整流動作を停止させます。  
If the device keeps OFF (PWM="H") for 7 cycles of COSC, SR function is disabled.
- ・Brake 時はこの機能は動作しません。  
This function is not applied to Brake mode.

### 10.7. OCP 制御

#### 10.7 OCP control

図 10-7 OCP タイミングチャート  
Fig 10-7 OCP timing chart



(※図中の数値は typ 値)

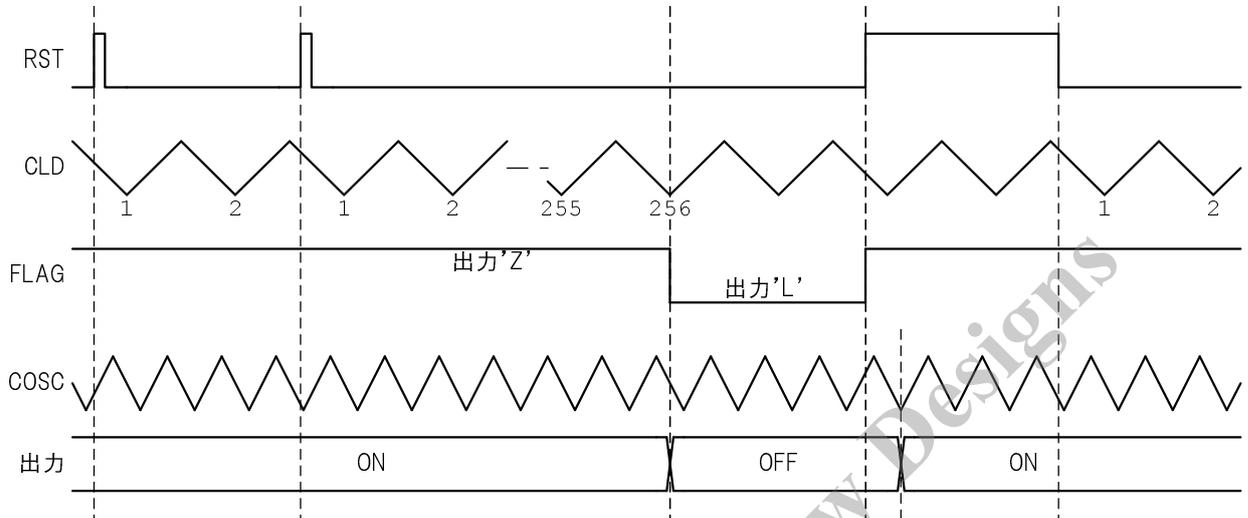
The value is typical in the timing chart

- ・過電流検知後、一定時間 (COSC の 256 周期) 出力 OFF となり、その後自動復帰します。  
After OCP event is detected, outputs are disabled for 256 cycles of COSC. After the disable time finished, the device automatically re-starts again.
- ・出力 OFF 時間のタイマーカウントと FL 出力解除は COSC のトップのタイミングで行われます。  
The trigger for off timer count and release of FL output is at the top of COSC oscillation waveform.
- ・OFF 期間の解除は COSC のボトムタイミングとなります。  
The trigger for release of off timer count is at the bottom of COSC oscillation.
- ・出力 OFF 時間のタイマーカウントは出力 Disable としてもリセットされません。  
The timer count for output off is not reset with output disable.

## 10.8. モータロック検出

### 10.8 Motor lock detection

図 10-8 ロック検知タイミングチャート  
Fig 10-8 Motor lock detection timing chart

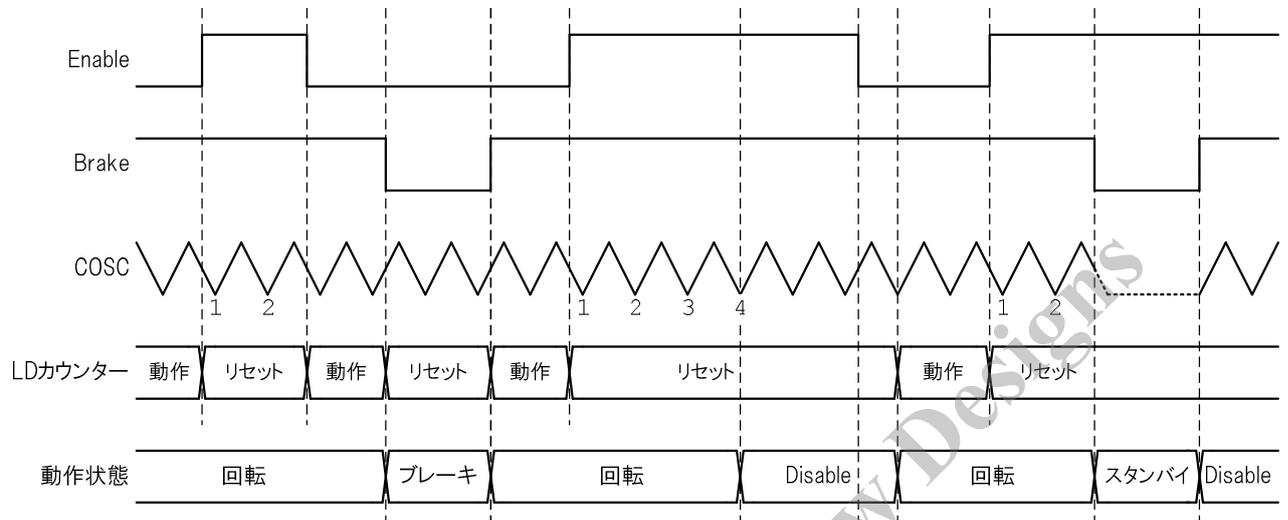


- ロック検出は、回転状態 (Enable 端子='L'、Brake 端子='H') 時のみ動作をします。  
Lock detection is enabled only in motor operating (Enable="L", Brake="H").
- CLD の発振周期で約 256 周期、ロック検出を解除する信号 (RST) の発生がなかった場合、モータロックと判断して出力をシャットダウンします。  
The device recognizes lock condition if RST signal (H) is not for about 256 cycles of CLD.
- RST 信号は、図 10-8 や「11.回路構成(個別回路)」の「11.11 Lock Detect」を参照願います。  
Please refer to Fig 10-8 above and 11.11 Lock detect.

## 10.9. Enable & Brake 端子

### 10.9 Enable and Brake

図 10-9 Enable と Brake のタイミングチャート  
Fig 10-9 Enable and Brake timing chart



- Enable 端子には優先動作の順に、次の 3 つの機能ががあります。  
Below is the function of Enable pin with higher priority.

①スタンバイ制御 (Brake 端子との組合せ)

①Stand-by control (combination of Brake=L and Enable=H)

Brake='L'、Enable='H'の組合せとなることでスタンバイへ移行し、この組合せから外れるとスタンバイから復帰します。

Combination of Brake="L" and Enable="H" make the device get stand-by mode. To get out of stand-by mode, it is needed to remove this combination.

なおスタンバイ時はチャージポンプ回路や内部 Reg が停止します。そのためスタンバイ解除となつてから実際に動作を開始するまでには時間がかかります。また FL 端子は、スタンバイ時は'H'となり、解除後は内部状態に従って出力されます。

In stand-by mode, charge pump circuit and internal regulator is disabled. It takes some time for the device to resume the operation after the device released stand-by mode. For FL pin, output is H in stand-by mode and it is according to the device condition after stand-by mode is released.

②ロックカウンターリセット

②Reset for lock counter

Enable='H'の間中はロックカウンターがリセット状態となります。

The device is in reset of lock counter for Enable="H"

③出力 Enable/Disable 動作

③Enable/Disable control of output

出力 Disable となるのは、Enable 端子が'L'→'H'となつてから COSC の発振回数(ボトムタイミグでカウント)が 4 回目の時となります。出力 Enable となるのは、Enable 端子が'H'→'L'となつた次のオントリガー (COSC のボトム)のタイミグとなります。

The device counts the oscillation of COSC after Enable pin changing from "L" to "H". After counting 4 cycles of COSC, the device gets in "disable" mode. The device recovers to "enable" mode with switching Enable pin from "H" to "L" immediately.

## 11. 回路構成（個別回路） (Individual circuit structure)

### 11.1. UVLO

#### 11.1 Under Voltage Lock Out

電源状態が正常動作可能な電圧値以下となった時に保護をする回路になります。  
低電圧保護は VDD、IC の内部電源とチャージポンプで昇圧した電圧をモニターしています。  
モニターしている電圧が設定より低い場合は、出力をシャットダウンします。

This block is for protection to avoid the device damaged. The block makes all outputs shutdown if the device is below voltage where the device can't control internal circuit. The block monitors the voltages on VDD, internal regulator and charge pump.

### 11.2. TSD

#### 11.2 Thermal Shut Down

制御 IC のジャンクション温度をモニターし、製品の過熱を防ぐ保護回路になります。  
過熱保護は、IC の温度が 170°C 付近まで上昇すると出力をシャットダウンします。その後、制御 IC の温度が 15°C 程度低下すると出力のシャットダウンは解除されます。なお、この機能は定常的に動作させて使用するものではありませんので、この機能が動作しないよう熱設計を行ったうえで、使用してください。

TSD block monitors junction temperature to avoid the overheating of the device. The block makes all outputs shutdown with junction temperature being over 170C. The TSD is released with temperature falling by 15C. TSD function is not for use in normal operation. Care should be taken not to use this function from the thermal design point of view.

### 11.3. OVP

#### 11.3 Over Voltage Protection

製品に印加される主電源電圧 (VBB) が絶対最大定格付近まで高くなると、出力をシャットダウンして製品が最も過電圧に対して耐量の得られる過電圧保護 (OVP) 状態に移行します。  
本製品の OVP は、約 35V で動作します。なお、これ以上の電圧を印加してもモータを動作させることは出来ません。

This block monitors VBB voltage and make output shut down with VBB being near to the absolute max rating to keep the device endure from the over voltage condition. OVP is active with VBB being 35V (typ). The device can't be operated under OVP condition.

## 11.4. Charge Pump

### 11.4 Charge Pump

ハイサイド(上アーム)側の Nch MOSFET を駆動するための昇圧電源になります。  
通常動作時には、CP 端子は主電源 (VBB) より 7V 程度高い電位状態になります。昇圧動作にはコンデンサが必要となりますが、下記点に注意願います。

This block is boost supply to drive high-side N-channel MOSFET.

The voltage of CP pin becomes higher than that of VBB pin by 7V. You should put capacitors at CP-VBB and CPH-CPL, and should also take care below.

☆CP-VBB 間

☆CP-VBB

通常時は CP 端子が VBB 端子より高電位となりますが、チャージポンプが起動し CP 端子の電圧が上昇するまでの間、CP 端子電圧が VBB 端子より 1V 程度下がる場合があります。

The voltage of CP pin is higher than that of VBB pin. However, in start-up conditions, the voltage of CP pin may be lower than that of VBB by 1V.

☆CPH-CPL 間

☆CPH-CPL

VBB と同等の電圧が加わりますので、耐圧には注意して下さい。

You should take care of the breakdown voltage for the capacitor since the voltage on the capacitor is same as that of VBB.

## 11.5. Gate Drive & OCP

### 11.5 Gate Drive and OCP

Gate Drive は Control Logic の信号を受けて出力 Nch MOS FET を駆動するプリドライバの回路になります。

このブロックにてハイサイド(上アーム)とローサイド(下アーム)を同時にスイッチング動作させる際に留意しなければならない貫通電流を防ぐデットタイムも設定されています。また本製品には、過電流保護回路 (OCP) も搭載されています。この過電流保護回路は、ローサイド MOS FET が ON のときのドレイン電圧 (OUT~GND 間電圧) をモニターしており、その閾値電圧は 1.5V (typ) になります。

Gate Drive circuit is pre-driver which drives external output MOSFET according to the signal from control logic.

The block also has the dead time function which is to avoid short-through condition between high side and low side. In addition, the device has OCP (Over Current Protection) function. This feature is achieved by monitoring drain voltage (the voltage between OUT and GND) with low side MOSFET being active. The threshold voltage is 1.5V (typ)

## 11.6. Hall Amp

### 11.6 Hall Amplifier

標準的なホール素子を接続します。

The device should be connected with hall element as a typical application.

## 11.7. FG Gen

### 11.7 FG generator

Hall Amp からの信号を受けて、モータ回転パルスを FG 端子から出力します。

同時にロック検出のリセット用の信号を生成します。

This block makes rotation pulse from FG pin through hall amp and commutation logic.

It also makes reset signal for lock detection.

## 11.8. Commutation & Control Logic

### 11.8 Commutation and Control logic

Hall Amp から得た位置信号、PWM 制御信号、保護回路系からの出力オフ信号などから、Gate Drive へ送るパワーMOSFET の ON/OFF 信号を合成します。

This block makes ON/OFF signal of external MOSFET to gate drive block.

The signal is made from position signal from Hall amp, PWM control signal and the signal from protection circuit.

## 11.9. Internal PWM

### 11.9 Internal PWM

外部から入力する電流基準信号(アナログ電圧)に合わせ、モータコイルに流れるピーク電流を制御します。

The block controls peak current of motor winding according to the external analog voltage. The block also has noise filter for rising edge of chopping ON.

なおチョッピングオン時に発生するノイズに対するフィルタを搭載しています。PWM 動作としては、OSCからのトリガ信号でチョッピングオンとなり、コイル電流が設定した電流(ピーク電流値  $I_{Opeak}$ )となると、チョッピングオフとなります。スイッチング周波数は、OSC の項にある  $f_{osc}$  で一定となります。

As a operation of internal PWM function, it is chopping ON with trigger signal from PWM OSC (Bottom point of CPWM oscillation waveform) and it is chopping OFF with the motor current hit the peak current setting ( $I_{Opeak}$ ).

$I_{Opeak}$  の設定値は、下記の計算式で算出できます。

Below is the formula of  $I_{Opeak}$

$$I_{Opeak} \approx \frac{0.1 \times V_{REF}}{R_s} \quad [A]$$

ただし、 $V_{REF}$ : REF 端子電圧  $R_s$ : 電流検出抵抗値

$V_{REF}$ : analog voltage on REF pin /  $R_s$ : sense resistance

本機能を使用しない場合は、Sen 端子は GND、REF 端子は VDD と接続することで、内部 PWM 制御は機能しなくなります。

You can neglect the function with Sen pin tie to GND and REF pin tie to VDD.

## 11.10. OSC

### 11.10 PWM Oscillation

製品の多くの動作タイミングや時間を決めています。

そのため、必ずコンデンサを接続して発振動作させる必要があります。

This block sets the PWM operation frequency and basic signal regarding operation timing in the device.

The capacitor is needed on CPWM pin to oscillate.

発振周波数  $f_{osc}$  は OSC 端子に接続するコンデンサで決まり、下記の計算式で算出されます。

Oscillation frequency ( $f_{PWM}$ ) is set to the capacitance on CPWM pin. Below is the formula.

$$f_{osc} [kHz] \approx \frac{8.3}{C_{osc} [nF]}$$

## 11.11. Lock Detect

### 11.11 Lock Detect

モータロック状態を検知する機能となります。

CLD 端子のコンデンサ ( $C_{LD}$ ) と内部分周比で決まる一定時間ホール入力信号が変化しない状態が発生すると、モータロック状態と判断しモータへの通電をシャットダウンします。同時に FL 端子が Low となりロック状態であることを伝えます。

This block is motor lock detection.

If hall input signal is not changed for the time of  $t_{LD}$ , which is made by the capacitor on CLD pin and internal divider, the device recognizes “lock condition” and also makes all outputs shut down. In addition, FL pin goes low to indicate lock condition.

CLD 端子容量とロック検出時間  $t_{LD}$  の関係は、下記の計算式で算出されます。

The formula regarding  $t_{LD}$  and capacitance on CLD pin is below.

$$t_{LD} \approx 20 \times C_{LD} [\mu F]$$

内部カウンタのリセットやロック検知後のシャットダウン状態から復帰させるためには、以下の何れかの信号を入力する必要があります。

To reset the internal counter and to resume from all outputs off after lock detection, any of below condition is needed.

☆ホール入力を変化させる。

Change the hall signal.

☆Brake 端子の論理をブレーキ ('L') に設定する。

Brake pin tie to L (Brake mode)

☆Enable 端子の論理をディセーブル ('H') に設定する。

Enable pin tie to H (Disable mode)

☆Dir 端子の論理を切り替える。

Change the logic signal of Dir pin.

☆電源の再投入を行う。

Power up cycle on VBB.

ロック検知でモータ停止後、何らかの要因でモータが回転してホール入力が切替わると、カウンタはリセットされロック検知状態から復帰します。

Lock counter is reset with every cycle for hall transition.

After motor stopped with lock condition, if the motor is rotated with some external force and hall signal is changed, the device reset lock condition and operate again.

モータを励磁している状態でロック検知を強制的に回避しようとする場合は、ロック検出時間よりも短い周期で、Dir 端子の論理を切り替えるか、または Enable 端子に Disable 状態とならない狭い幅 (COSC の約 4 周期未満) の 'H' のパルスを入力してください。

If you intentionally want to avoid lock condition with motor operated, you should change the signal on Dir pin with shorter term than  $t_{LD}$  or should put H signal on Enable pin for short time (shorter than 4 cycles of CPWM).

なお VDD の低電圧保護以外の保護機能 (Reg と CP-VBB 間の UVLO、TSD、OVP、OCP) の動作ではロックカウンタはリセットされずタイマーカウントを継続します。これら保護機能によってモータが停止した場合にロックであると判断し、本保護機能によるモータ停止状態となる場合があります。

Except for VDD UVLO, lock detection function is active even if other protection (Internal Reg and charge pump UVLO, TSD, OVP and OCP) is asserted. In this condition, the motor may be stopped with lock condition even if the abnormal mode is released. To make the motor operate again from this condition, you should release lock condition after abnormal mode is released.

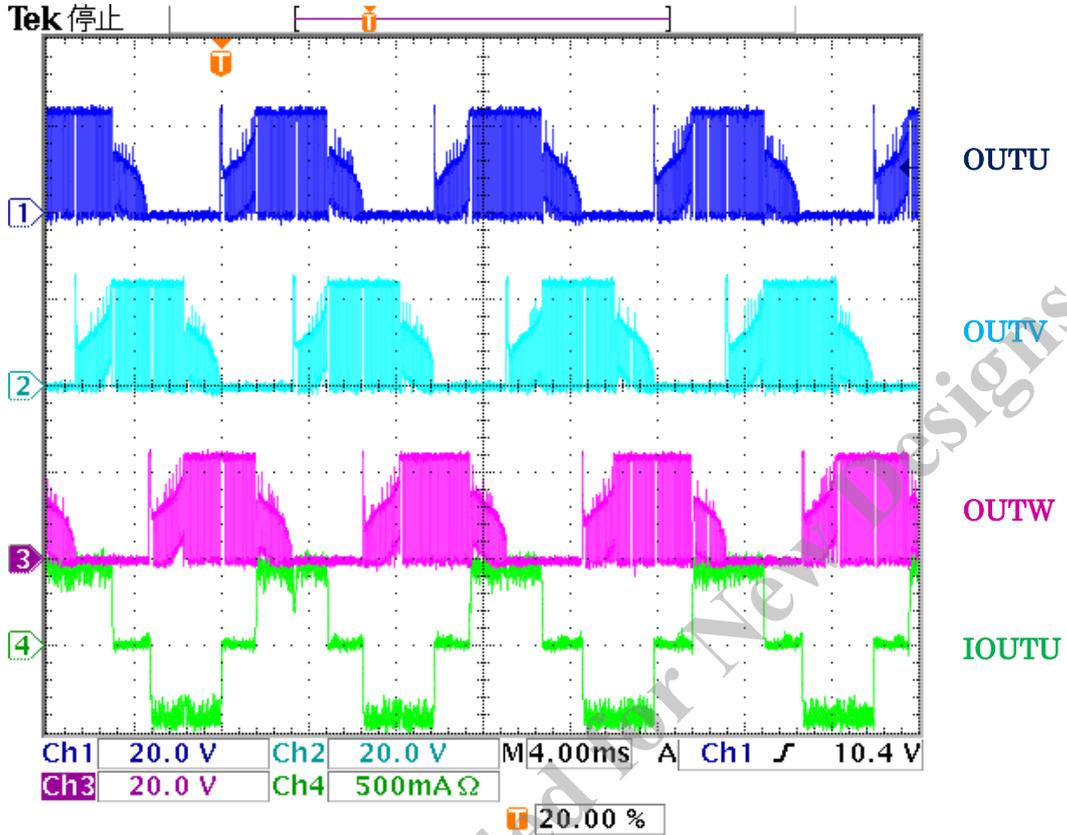
## 12. 端子部内部回路(Pin diagram)

番号	端子名	回路
1	PWM	
2	Dir	
3	Decay	
34	Brake	
35	Ena	
32	FG	
33	FL	
5	CPL	
6	CPH	
8	VCP	
11	GHW	
10	SW	
14	GHV	
13	SV	
17	GHU	
16	SU	
12	GLW	
15	GLV	
18	GLU	

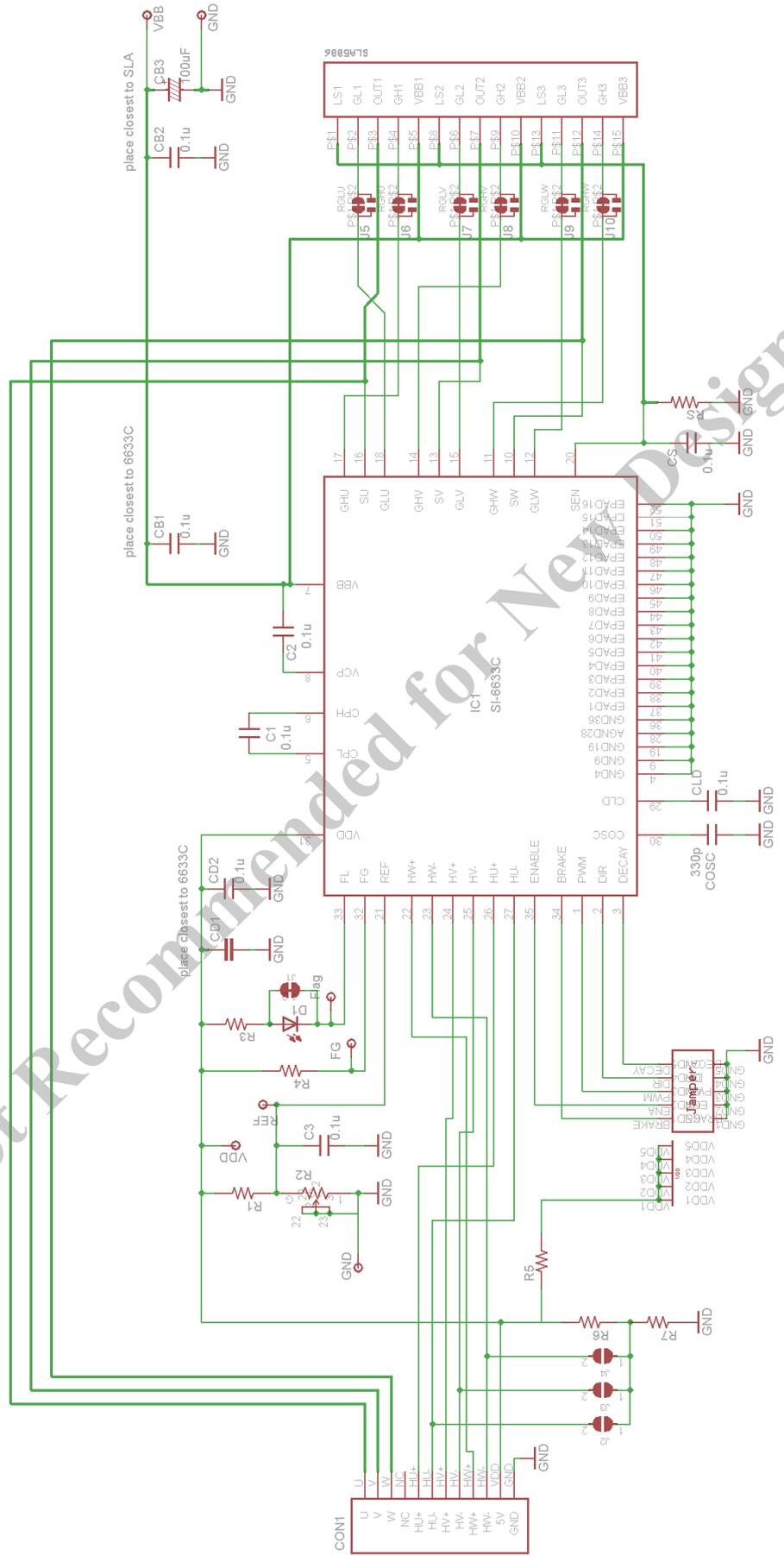
20	Sen	
21	Ref	
22	HW+	
23	HW-	
24	HV+	
25	HV-	
26	HU+	
27	HU-	
29	CLD	
30	COSC	
7	VBB	
31	VDD	
4	GND	
9	GND	
19	GND	
28	GND	
36	GND	

### 13. 動作波形(operational waveform)

VBB=24V,DIR=H,Slow decay

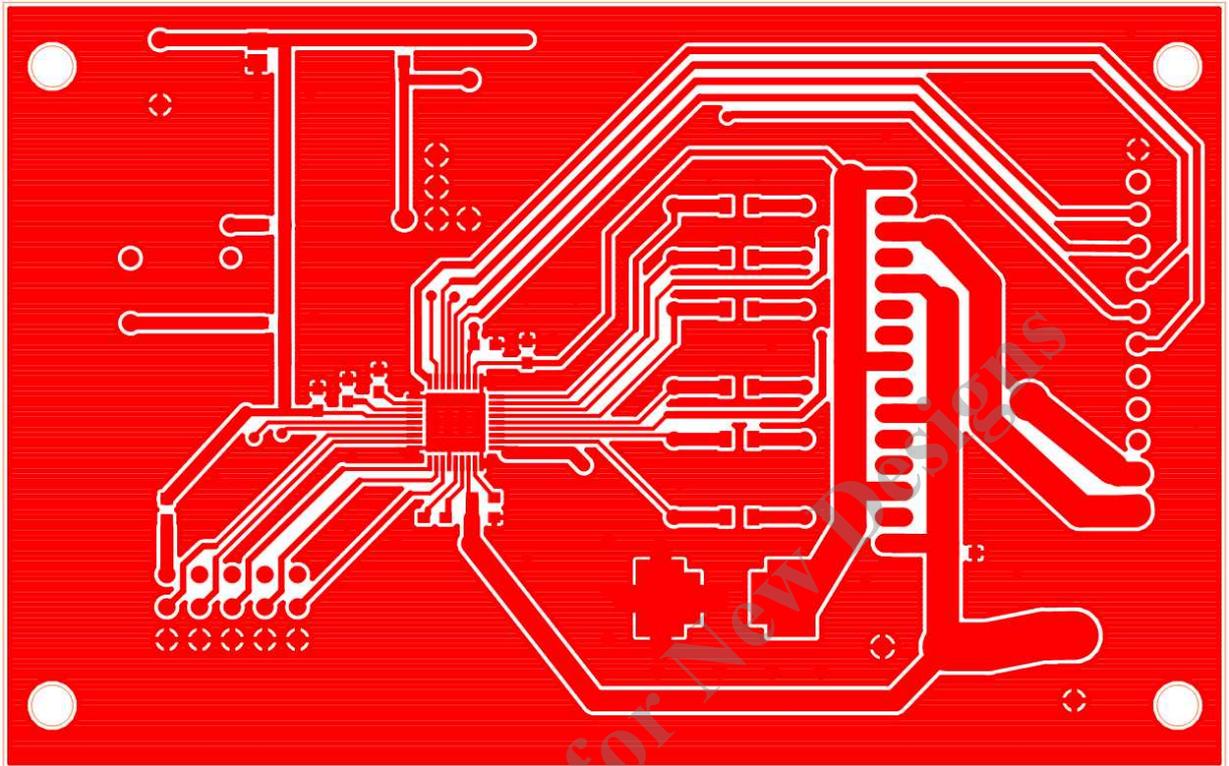


### 14. 評価ボード回路図(Evaluation board schematic)

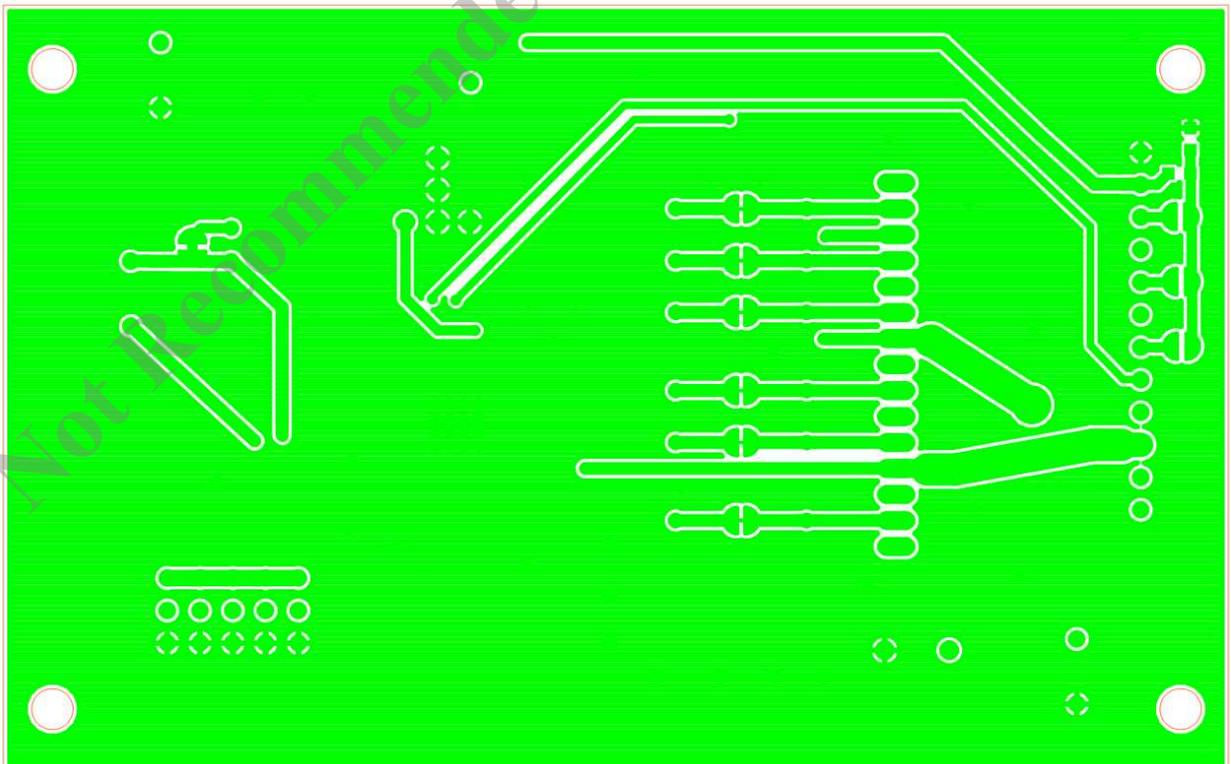


SI-6633C EVB ver1.2

## 15. 評価ボードパターン図(Evaluation pattern layout)



部品面 (component side)



ハンダ面 (solder side)