



STR-W6700 シリーズ
アプリケーションノート (Rev.1.3)

Not Recommended for New Designs

サンケン電気株式会社
SANKEN ELECTRIC CO., LTD.
<http://www.sanken-ele.co.jp>

目次

1. 概要	3
2. 特長とシリーズラインアップ	3
3. ブロック図と各端子機能	4
4. 外形図	5
5. 電気的特性	6
6. 応用回路例	8
7. 動作説明	9
7.1 起動動作	9
7.2 定電圧制御回路動作	11
7.3 ソフトスタート機能	12
7.4 擬似共振動作	12
7.5 ボトムスキップ擬似共振動作	14
7.6 スタンバイ機能	15
7.7 ステップドライブ機能	16
7.8 最大 ON 時間制限機能	17
7.9 ラッチ回路	17
7.10 過電圧保護機能(OVP)	17
7.11 過負荷保護機能(OLP)	18
7.12 過電流保護機能(OCP)	20
8. 設計上の注意点	21

注意

- 本書に記載されている内容は、改良などにより予告なく変更することがあります。ご使用の際には、最新の情報であることをご確認ください。
- 本書に記載されている動作例および回路例は、使用上の参考として示したもので、これらに起因する当社、もしくは第三者の工業所有権、知的所有権、その他の権利の侵害問題について当社は一切責任を負いません。
- 本書に記載されている製品をご使用の場合は、これらの製品と目的物との組合せについて使用者の責任において検討・判断を行ってください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品では、ある確率での欠陥、故障の発生は避けられません。部品の故障により結果として、人身事故、火災事故、社会的な損害などを発生させないよう、使用者の責任において、装置やシステム上で十分な安全設計および確認を行ってください。
- 本書に記載されている製品は、一般電子機器(家電製品、事務機器、通信端末機器、計測機器など)に使用されることを意図しております。
高い信頼性が要求される装置(輸送機器とその制御装置、交通信号制御装置、防災・防犯装置、各種安全装置など)への使用をご検討の際には、必ず当社販売窓口へご相談をお願いします。
極めて高い信頼性が要求される装置(航空宇宙機器、原子力制御、生命維持のための医療機器など)には、当社の文書による合意がない限り使用しないでください。
- 本書に記載された製品は耐放射線設計をしておりません。
- 本書に記載された内容を文書による当社の承諾なしに転記複製を禁じます。

1. 概要

STR-W6700 シリーズは、パワーMOSFET と制御 IC を 1 パッケージに内蔵した、擬似共振型スイッチング電源用パワーIC です。

通常動作時は、擬似共振、およびボトムスキップ擬似共振により、高効率・低ノイズを達成し、スタンバイ動作時(軽負荷時)は、自動的にバースト発振、または外部信号による間欠発振により、低スタンバイ電力が実現できます。パッケージは、小型 6ピン フルモールドパッケージ(TO-220F、弊社呼称 FM207)を採用し、外付け部品が少なく、コストパフォーマンスの高い電源システムが容易に構成できます。

2. 特長とシリーズラインアップ

特長と利点

- TO-220F パッケージ
- マルチモード制御 (負荷状況に応じた 3 段階の動作モード切換えにより、全負荷領域にわたり、高効率・低ノイズになる最適電源動作を実現、なお製品により機能が異なりますので、ラインナップ表を参照してください)
 - ・スタンバイ(スタンバイ負荷時) =
 - ー 出力電圧を低下させる UVLO 間欠発振動作 --- 外部スタンバイ信号で切換え
 - ー または、オートバースト発振動作 --- 自動切換え
 - ・軽負荷～中負荷 = ボトムスキップ擬似共振動作(ボトムスキップ QR)
 - ・中負荷～定格負荷(または重負荷) = 擬似共振動作(QR)
- 電流モード制御方式
- PWM 発振器内蔵(擬似共振信号が確立するまで最低発振周波数(約 22kHz)の PWM で動作し、起動や出力短絡時の部品ストレスを低減)
- ソフトスタート機能搭載
- ステップドライブ機能内蔵(スイッチングノイズ低減)
- 最大 ON 時間制限回路内蔵(低入力電圧時や電源 ON/OFF 時などの過渡状態でパワーMOSFET の最大 ON 時間を制限)
- 過電流点の入力補正可能(部品 3 点を追加することにより、入力電圧変動に対して過電流動作点のバラツキ補正が可能)
- 保護機能
 - 過電流保護(OCP) -----パルス・バイ・パルス
 - 過負荷保護(OLP) -----ラッチオフ *
 - 過電圧保護(OVP) -----ラッチオフ *

*ラッチオフ・・・ラッチオフは、発振停止を継続して保護を行う動作
- 2 チップ構造による、アバランシェ・エネルギー耐量保証 (サージ吸収回路の簡素化が可能)

シリーズラインアップ

製品名	MOSFET V _{DSS} MIN (V)	R _{DS(ON)} MAX (Ω)	バースト 発振動作	ボトム スキップ [°] QR	製品名	MOSFET V _{DSS} MIN (V)	R _{DS(ON)} MAX (Ω)	バースト 発振動作	ボトム スキップ [°] QR
STR-W6723N	450	1.4	無	有	STR-W6750F	650	0.73	有	無
STR-W6734	500	1.0	有	有	STR-W6756	650	0.73	有	有
STR-W6735	500	0.57	有	有	STR-W6756N	650	0.73	無	有
STR-W6735N	500	0.57	無	有	STR-W6765	800	1.8	有	有
STR-W6753	650	1.7	有	有	STR-W6765N	800	1.8	無	有
STR-W6754	650	0.96	有	有					

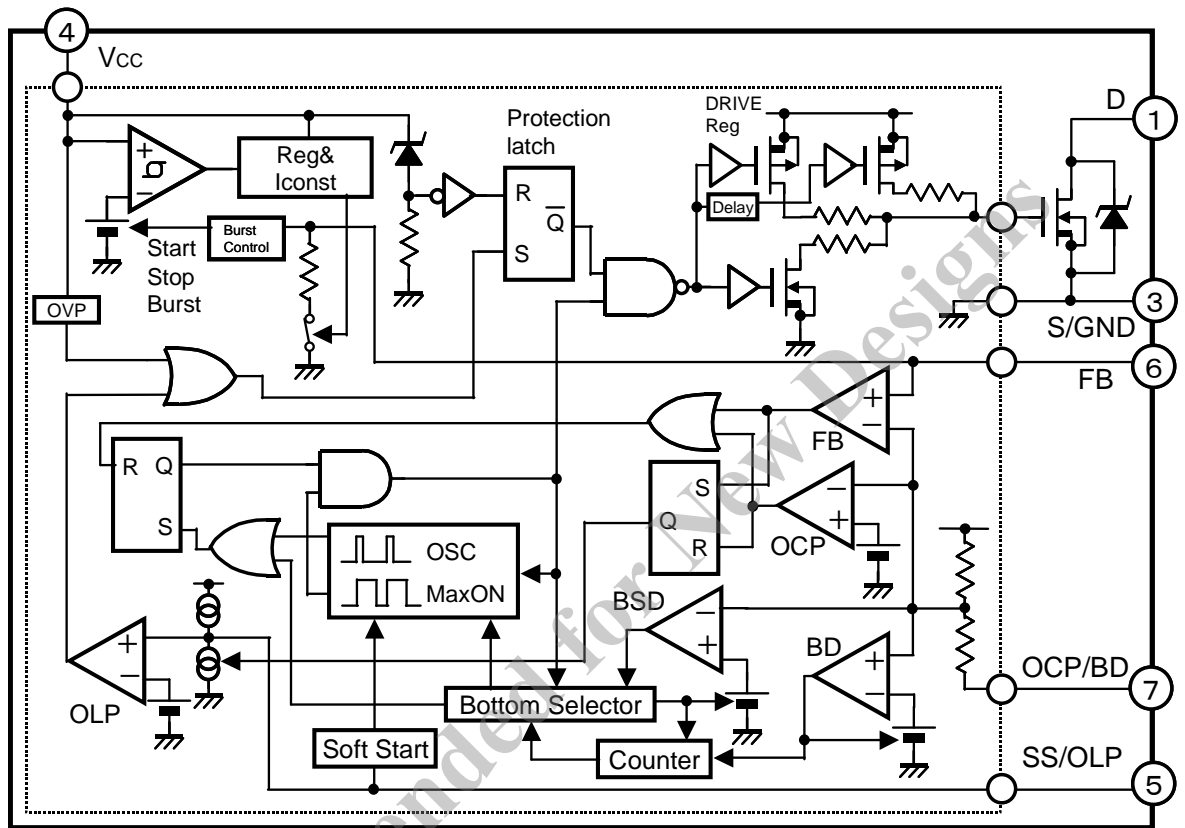
※有、無は、機能の有無を表します。

3. ブロック図と各端子機能

ブロック図

代表例 STR-W6756 のブロック図

(製品機能により、ブロック図は異なります、ラインナップ表の機能を参照し、製品毎の仕様書を参照願います)

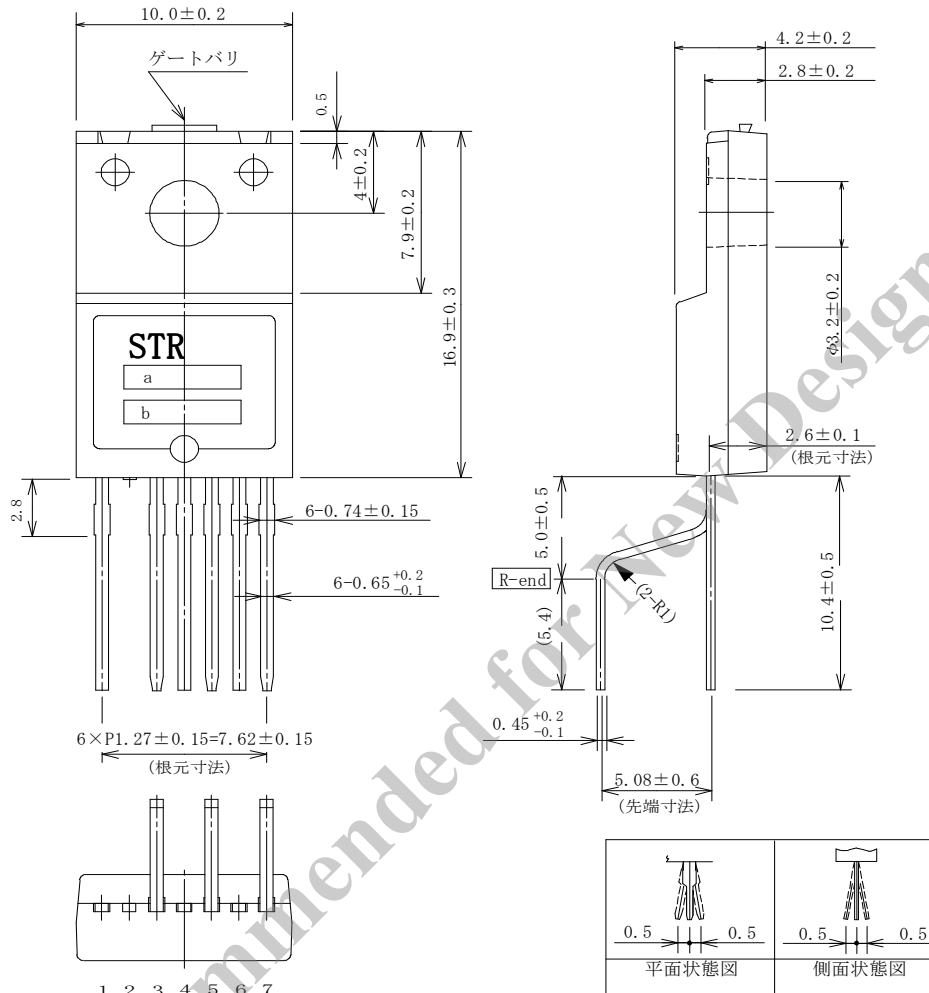


各端子機能

端子番号	端子記号	名称	機能
1	D	ドレイン端子	MOSFET ドレイン
3	S/GND	ソース/グラウンド端子	MOSFET ソース及びグラウンド
4	V _{CC}	電源端子	制御回路電源入力
5	SS/OLP	ソフトスタート/過負荷時遅延設定端子	過負荷検出及びソフトスタート動作の時間設定
6	FB	フィードバック端子	定電圧制御信号入力/間欠発振制御
7	OCP/BD	過電流保護入力/ボトム検出端子	過電流検出信号入力/ボトム検出信号入力

4. 外形図

- TO-220F(弊社呼称 FM207)パッケージ
- 下図リードフォーミングは、No.LF 2003



端子の材質: Cu
 端子の処理: N1メッキ+半田ディップ
 製品質量: 約2.3g
 注記 Note
 部は高さ0.3maxのゲートバリ発生箇所をしめす。
 単位: mm

- a. 品名標示 W67**○
 ○ サフィックス記号
- b. ロット番号
 第1文字 西暦年号下一桁
 第2文字 製造月
 1~9月 アラビア数字
 10月 O
 11月 N
 12月 D
 第3、4文字 製造日
 01~31 アラビア数字

5. 電気的特性

STR-W6700 シリーズの電気的特性を、STR-W6756 を代表例として示します。
 詳細内容は、製品毎の仕様書を参照願います。

5.1 絶対最大定格 特記なき場合の条件 Ta=25°C

項目	端子	記号	規格値	単位	備考
ドレイン電流	1-3	I_{Dpeak}^{*1}	15	A	シングルパルス
最大スイッチング電流	1-3	I_{DMAX}^{*1}	15	A	Ta=-20~+125°C
アバランシェエネルギー耐量	1-3	E_{AS}^{*1}	400	mJ	シングルパルス V _{DD} =99V,L=20mH I _{Lpeak} =6.05A
制御部電源電圧	4-3	V _{CC}	35	V	
SS / OLP 端子電圧	5-3	V _{SSOLP}	-0.5~6.0	V	
FB 端子流入電流	6-3	I _{FB}	10	mA	
FB 端子電圧	6-3	V _{FB}	-0.5~9.0	V	I _{FB} の制限内
OC P / B D 端子電圧	7-3	V _{OC PBD}	-1.5~5.0	V	
MOS FET 部許容損失	1-3	P_{D1}^{*1}	29	W	無限大放熱器にて
			1.3	W	放熱器無し
制御部許容損失(MIC)	4-3	P _{D2}	0.8	W	V _{CC} ×I _{CC} にて規定
動作時内部フレーム温度	-	T _F	-20~+115	°C	推奨内部フレーム温度 T _F =105°C(Max)
動作周囲温度	-	T _{OP}	-20~+115	°C	
保存温度	-	T _{stg}	-40~+125	°C	
チャネル温度	-	T _{ch}	+150	°C	

※1 製品によって異なるので、詳細は製品仕様書を参照。

※電流の規定はICを基準として、シンクが +、ソースが -とします。

5.2 MOSFET 部電気的特性 特記なき場合の条件 Ta=25°C

項目	端子	記号	規格値			単位	備考
			MIN	TYP	MAX		
ドレイン・ソース間電圧	1-3	V _{DSS} ^{*1}	650	-	-	V	
ドレイン漏れ電流	1-3	I _{DSS}	-	-	300	μA	
ON 抵抗	1-3	R _{DS(ON)} ^{*1}	-	-	0.73	Ω	
スイッチング・タイム	1-3	t _f	-	-	400	ns	
熱 抵 抗	-	θ _{ch-F} ^{*1}	-	-	1.5	°C/W	チャネル内部フレーム間

※1 製品によって異なるので、詳細は製品仕様書を参照。

5.3 制御部電気的特性 特記なき場合の条件 Ta=25°C、V_{CC}=20V

項目	端子	記号	規格値			単位	備考
			MIN	TYP	MAX		
電源起動動作							
動作開始電源電圧	4-3	V _{CC(ON)}	16.3	18.2	19.9	V	
動作停止電源電圧	4-3	V _{CC(OFF)}	8.8	9.7	10.6	V	
動作時回路電流	4-3	I _{CC(ON)}	-	-	6	mA	
非動作時回路電流	4-3	I _{CC(OFF)}	-	-	100	μA	
発振周波数	1-3	F _{OSC}	19	22	25	kHz	
ソフトスタート動作停止電圧	5-3	V _{SSOLP(SS)}	1.1	1.2	1.4	V	
ソフトスタート動作充電電流	5-3	I _{SSOLP(SS)}	-710	-550	-390	μA	
通常動作							
ボトムスキップ動作しきい値電圧 1	7-3	V _{OCPBD(BS1)}	-0.720	-0.665	-0.605	V	
ボトムスキップ動作しきい値電圧 2	7-3	V _{OCPBD(BS2)}	-0.485	-0.435	-0.385	V	
過電流検出しきい値電圧	7-3	V _{OCPBD(LIM)}	-0.995	-0.940	-0.895	V	
OCP/BD 端子流出電流	7-3	I _{OCPBD}	-250	-100	-40	μA	
擬似共振動作しきい値電圧 1	7-3	V _{OCPBD(TH1)}	0.28	0.40	0.52	V	
擬似共振動作しきい値電圧 2	7-3	V _{OCPBD(TH2)}	0.67	0.80	0.93	V	
FB 端子しきい値電圧	6-3	V _{FB(OFF)}	1.32	1.45	1.58	V	
FB 端子流入電流(通常時)	6-3	I _{FB(ON)}	600	1000	1400	μA	
スタンバイ動作							
スタンバイ時動作開始電源電圧	4-3	V _{CC(S)}	10.3	11.1	12.1	V	
スタンバイ時電源電圧間隔	4-3	V _{CC(SK)}	1.10	1.35	1.65	V	
スタンバイ時非動作時回路電流	4-3	I _{CC(S)}	-	20	56	μA	
FB 端子流入電流(スタンバイ時)	6-3	I _{FB(S)}	-	4	14	μA	
FB 端子スタンバイ動作しきい値電圧	6-3	V _{FB(S)}	0.55	1.10	1.50	V	
最小 ON 時間	1-3	t _{ON(MIN)}	0.65	1.00	1.35	μs	
保護動作							
最大 ON 時間	1-3	t _{ON(MAX)}	27.5	32.5	39.0	μs	
OLP 動作しきい値電圧	5-3	V _{SSOLP(OLP)}	4.0	4.9	5.8	V	
OLP 動作時充電電流	5-3	I _{SSOLP(OLP)}	-16	-11	-6	μA	
OVP 動作電源電圧	4-3	V _{CC(OVP)}	25.5	27.7	29.9	V	
ラッチ回路保持電流 ^{※2}	4-3	I _{CC(H)}	-	45	140	μA	
ラッチ回路解除電源電圧 ^{※2}	4-3	V _{CC(La.OFF)}	6.0	7.2	8.5	V	

※2 ラッチ回路とは、OVP, OLP により動作する回路を示す。

※電流の規定は IC を基準として、シンクが+、ソースが-とする。

6. 応用回路例

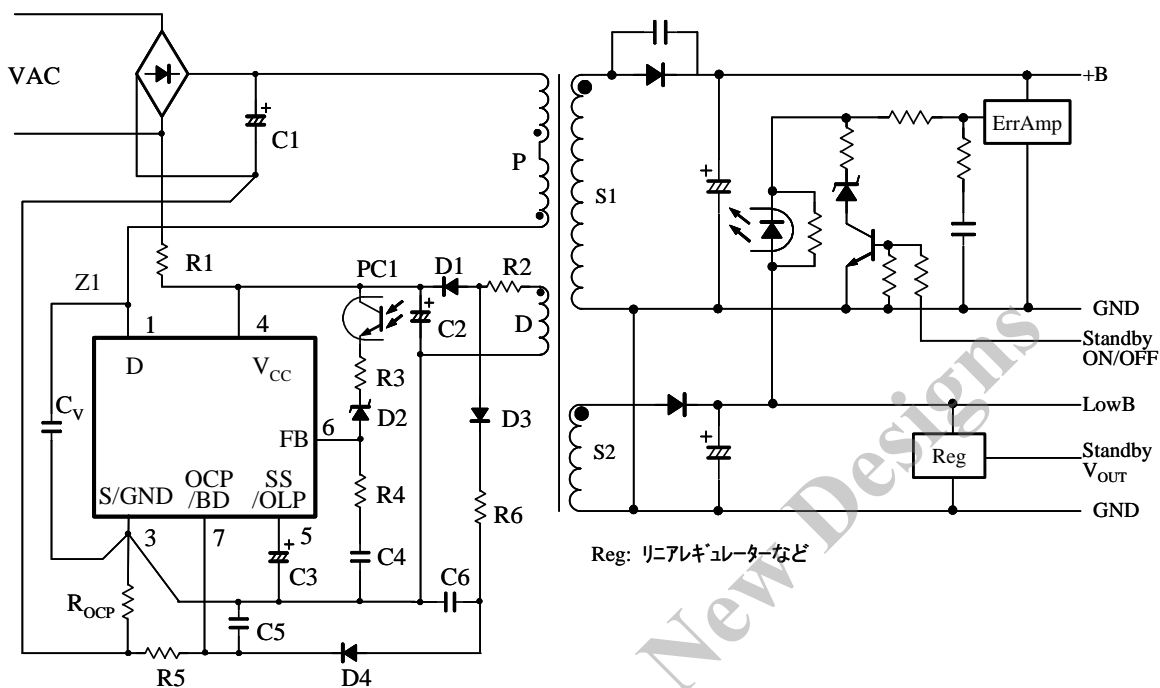


図 6 応用回路例

Not Recommended for New Designs

7. 動作説明

特記なき場合の特性数値は、STR-W6756 仕様に準じます。

7.1 起動動作

図 7-1 に V_{CC} 端子周辺回路を示します。

起動回路は、 V_{CC} 端子電圧を検出して、IC の動作開始、動作停止を行います。電源起動時は、起動抵抗 $R1$ を介し、 $C2$ を充電し、 V_{CC} 端子電圧が動作開始電源電圧 $V_{CC(ON)} = 18.2V(TYP)$ まで上昇すると、IC は動作を開始します。 $R1$ の値は、入力 AC 電圧の下限時に、ラッチ回路保持電流 $I_{CC(H)} = 140\mu A(MAX)$ 以上の電流が流れるように設定します。なお、 $R1$ の値を大きくしすぎると、AC 入力投入後、 $C2$ の充電時間が長くなるため、起動時間が長くなりますので、 $C2$ 容量と併せた検討が必要です。

一般的な電源仕様であれば、 $C2$ は $4.7 \sim 47\mu F$ 程度、 $R1$ は、AC100 とワイド入力時は $47k\Omega \sim 150k\Omega$ 、AC230V 入力時は $82k \sim 330k\Omega$ 程度になります。

図 7-2 に V_{CC} 端子電圧と回路電流 I_{CC} の関係を示します。 V_{CC} 端子電圧が $V_{CC(ON)} = 18.2V(TYP)$ に達すると、制御回路が動作を開始し、回路電流が増加します。制御回路動作後、 V_{CC} 端子電圧が動作停止電源電圧 $V_{CC(OFF)} = 9.7V(TYP)$ に低下すると、低入力時動作禁止(UVLO)回路により制御回路は動作を停止し、再び起動前の状態に戻ります。制御回路動作後は、図 7-1 の補助巻線 D から整流平滑された電圧が V_{CC} 端子の供給電力になります。

補助巻線電圧は、電源仕様の入出力変動範囲内で、 V_{CC} 端子電圧が、

$$V_{CC(OFF)} = 10.6V(MAX) < V_{CC} < V_{CC(OVP)} = 25.5V(MIN)$$

になるように補助巻線 D の巻数を調整します。補助巻線電圧の目安は、18V 程度になります。

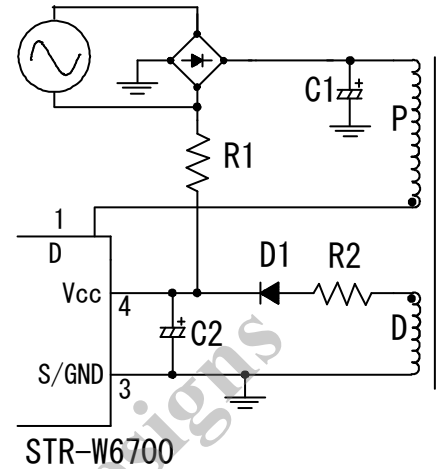


図 7-1 V_{CC} 端子周辺回路

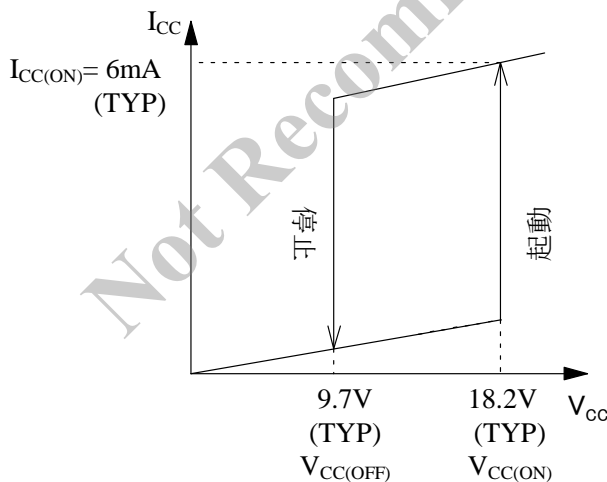


図 7-2 V_{CC} 端子電圧—回路電流 I_{CC}

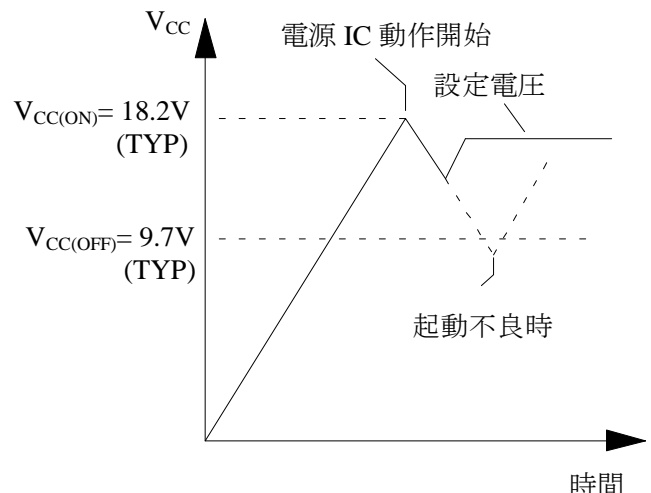


図 7-3 起動時 V_{CC} 端子電圧波形

図 7-3 に電源起動時の V_{CC} 端子電圧波形例を示します。補助巻線電圧は、制御回路動作後すぐには設定電圧まで上昇しないため、 V_{CC} 端子電圧は下がり始めますが、 $V_{CC(OFF)} = 10.6V(MAX)$ と低いため、 $V_{CC(OFF)}$ まで下がる間に、補助巻線 D の電圧が設定値に達し、制御回路は動作を継続します。なお、図 7-3 のように、 V_{CC} 端子電圧が $V_{CC(OFF)}$ に達し、起動不良になる場合は、 $C2$ 容量を大きくします。なお、容量を大きくすると、起動時間が長くなるので、使用上問題ないか確認が必要です。

実際の電源回路は、図 7-4 のように 2 次側出力電流 I_{OUT} の値により V_{CC} 端子電圧が変化し、過電圧保護動作(OVP)になる場合があります。これは、パワーMOSFET がターン OFF した瞬間に発生するサージ電圧によって、C2 がピーク充電されるためです。これを防止するには、図 7-5 のように、整流用ダイオード D1 と直列に数 Ω ~ 数十 Ω の抵抗 R2 の追加が有効です。R2 の最適値は、出力電圧に対する V_{CC} 端子電圧の変化が使用するトランスの構造によって異なるため、実際に使用するトランスに合わせた調整が必要です。また、出力電圧に対する V_{CC} 端子電圧の変化率は、下記の場合に悪くなるため、トランス設計時は、補助巻線 D の巻き位置に注意が必要です。

- トランスの 1 次-2 次の結合が悪い場合(低出力電圧、大電流負荷仕様など)
- 補助巻線 D と安定化出力巻線(定電圧制御を行っている出力ラインの巻線)の結合が悪い場合

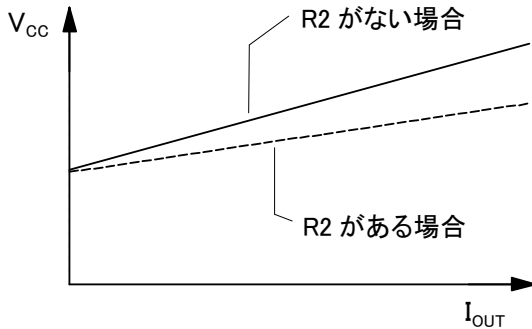


図 7-4 R2 による出力電流 I_{OUT} - V_{CC} 端子電圧

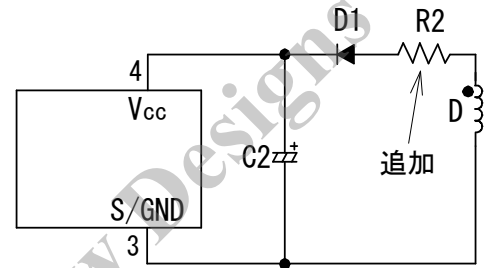
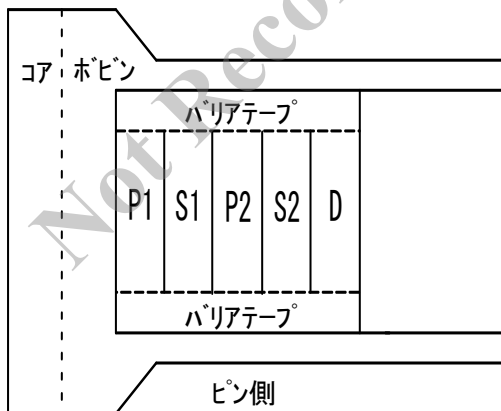


図 7-5 出力電流 I_{OUT} の影響が受けにくい V_{CC} 端子周辺回路

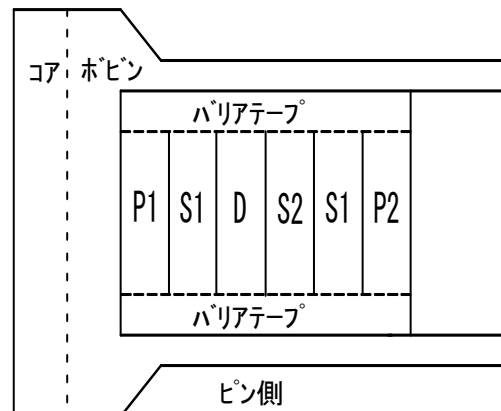
トランス設計時の参考として、補助巻線 D の巻き位置の参考例を、図 7-6、図 7-7 に示します。

- 補助巻線 D を 1 次巻線 P1 と P2 から距離を離す(図 7-6 巻線構造例①)。
P1、P2 は 1 次巻線を 2 分割にしたサンドイッチ巻線
- 2 次側安定化出力巻線 S1 で補助巻線 D をサンドイッチする構造とする(図 7-7 巻線構造例②)。
2 出力巻線 S1、S2 中、S1 は安定化出力巻線(定電圧制御を行っている出力ラインの巻線)。



P1,P2 1 次巻線
S1 2 次制御巻線
S2 2 次出力巻線
D V_{CC} 用補助巻線

図 7-6 巻線構造例①



P1,P2 1 次巻線
S1 2 次制御巻線
S2 2 次出力巻線
D V_{CC} 用補助巻線

図 7-7 巻線構造例②

7.2 定電圧制御回路動作

図 7-8 に定電圧制御回路、図 7-9 に擬似共振信号がない場合の定電圧制御モードを示します。

出力電圧は、過渡応答および安定性に優れた電流モード制御(ピーク電流モード制御)により、定電圧制御されます。

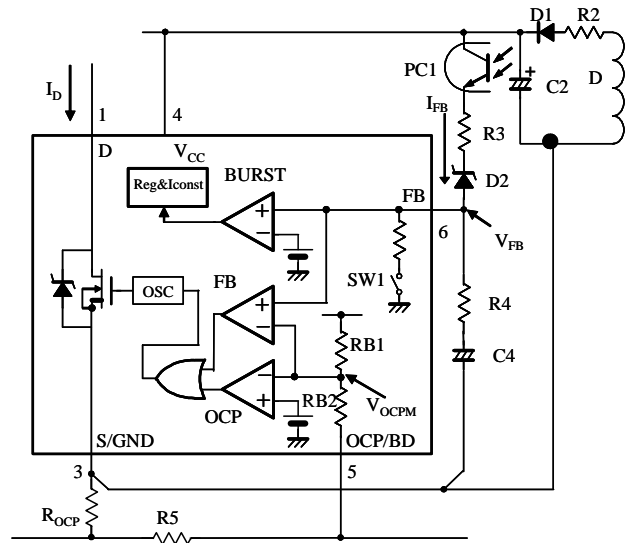


図 7-8 定電圧制御回路

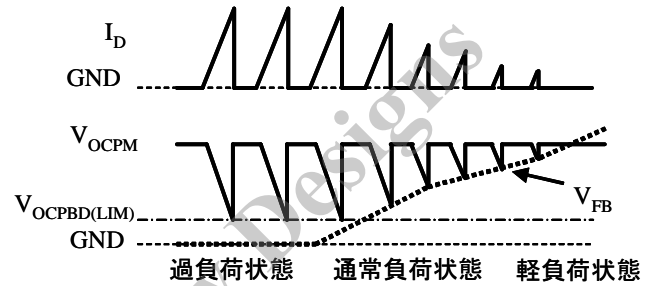


図 7-9 擬似共振信号がない場合の定電圧制御モード

図 7-8 の IC 内部の FB コンパレータは、FB 端子電圧と IC 内部の V_{OCPM} を比較して、パワー MOSFET のドレイン電流 I_D のピーク値を変化させます。

図 7-8 のように、2 次側のエラーアンプによる制御信号はフォトカプラ PC1 を介し、FB 端子にフィードバック電流 I_{FB} が入力され、IC 内部の抵抗(通常時、SW1 は ON)により、電流-電圧変換されてフィードバック電圧 V_{FB} になります。 I_D は検出抵抗 R_{OCP} でマイナス検出され、IC 内部の RB1、RB2 により、 V_{OCPM} が作られます。

V_{FB} と V_{OCPM} を FB コンパレータに入力し、ドレイン電流ピーク値を制御する電流モード制御(ピーク電流モード制御)を行います。

図 7-9 の過負荷時は、 V_{OCPM} が過電流検出しきい値電圧 $V_{OCPBD(LIM)} = -0.94V(TYP)$ まで下がると、過電流保護回路が動作し、 I_D を制限します。

通常負荷から軽負荷時は、フィードバック電流 I_{FB} は増加し、 V_{FB} が上昇するため、 I_D が小さくなります。微少負荷時、 V_{FB} が FB 端子しきい値電圧 $V_{FB(OFF)} = 1.45V(TYP)$ を超えると、バースト発振動作を行い、2 次側出力電圧の上昇を抑えます。

図 7-8 のツェナーダイオード D2 は、スタンバイ動作を UVLO(Undervoltage Lockout)間欠発振回路にした場合や、過度のダイナミック負荷変動時に、FB 端子電圧が絶対最大定格電圧 9V を超えないように、フォトカプラ PC1 と直列に挿入します。D2 は、5.6~6.2V 程度のツェナーダイオードになります。

R3 は、一般に $1k\Omega$ になります。

R5 の設定は、“7.12 過電流保護機能(OCP)”項を参照。

7.3 ソフトスタート機能

図 7-10 にソフトスタート動作時の波形例を示します。

電源起動時は、SS/OLP 端子からソフトスタート動作充電電流 $I_{SSOLP(SS)} = -550\mu\text{A(TYP)}$ が流れ、SS/OLP 端子の C3 をソフトスタート動作停止電圧 $V_{SSOLP(SS)} = 1.2\text{V(TYP)}$ まで充電します。この期間が、ソフトスタート期間になり、SS/OLP 端子電圧と制御回路内部の発振波形を比較し、徐々に ON 幅を広げるソフトスタート動作により、パワー MOSFET、および 2 次側ダイオードの電圧・電流ストレスを低減します。

なお、スタンバイ動作が UVLO 間欠発振動作の場合は、スイッチング動作開始時にソフトスタート動作を行い、徐々にドレイン電流を増やし、トランスの音鳴りを抑制します。

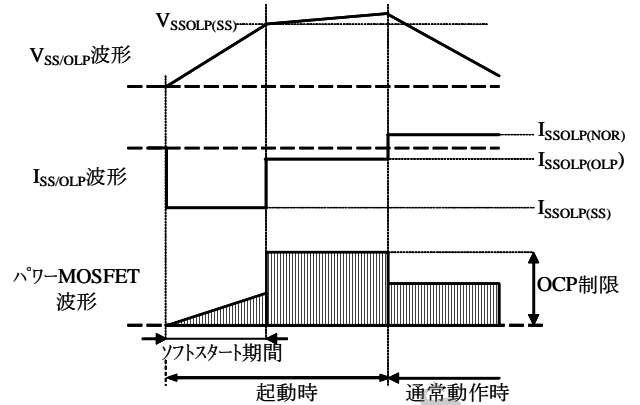


図 7-10 ソフトスタート動作

(参考) ソフトスタート時間(計算値: 充電電流 $-550\mu\text{A(TYP)}$)

C _{SS} (μF)	0.47	1	2.2	3.3	4.7
t (ms)	1.0	2.2	4.8	7.2	10.3

7.4 擬似共振動作

図 7-11 に示すようなフライバック方式(パワー MOSFET が OFF のときに 2 次側へエネルギーを供給する方式)は、2 次側にエネルギー放出後、ドレイン電圧 V_{DS} が、トランスの L_p とドレイン-ソース間のコンデンサ C_v で決まる周波数で自由振動します。

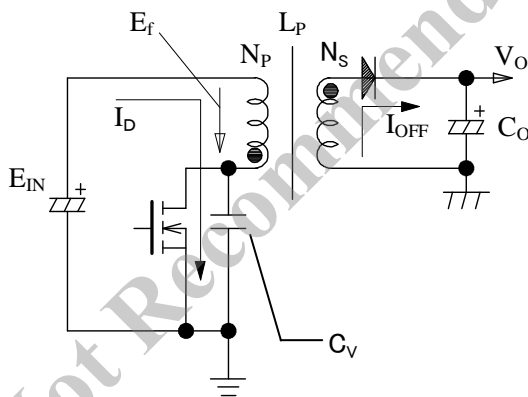


図 7-11 フライバック方式

E_{IN} : DC 電圧

E_f : フライバック電圧 $E_f = \frac{N_p}{N_s} \times (V_o + V_f)$

N_p : 1 次側の巻数

N_s : 2 次側の巻数

V_o : 出力電圧

V_f : ダイオードの順方向電圧降下

I_D : パワー MOSFET のドレイン電流

I_{OFF} : パワー MOSFET が OFF 時に 2 次側ダイオードに流れる電流

C_v : 電圧共振コンデンサ

L_p : 励磁インダクタンス

V_{DS} の自由振動のボトム点で、パワー MOSFET がターン ON することを、ボトムオンといい、図 7-12 に理想的なボトムオン時の V_{DS} 波形を示します。

擬似共振動作は、 V_{DS} のボトム点でターン ON するため、スイッチング損失、およびスイッチングノイズを低減でき、高効率、低ノイズが実現できます。

V_{DS} が自由振動の期間にターン ON させる遅延タイミングは、 V_{DS} 波形に同期した補助巻線電圧から作ります。

STR-W6700 シリーズのボトムオンは、擬似共振動作時だけでなく、ボトムスキップ擬似共振動作時も行われ、軽負荷～中負荷のスイッチング周波数を下げて、この領域の効率を向上します。

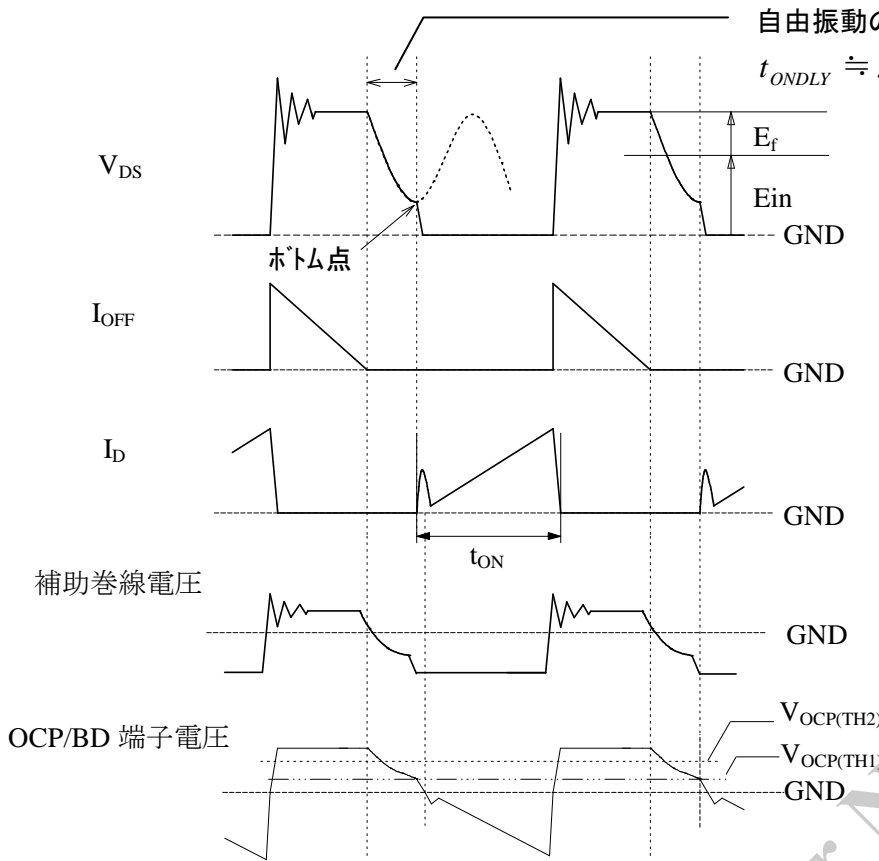


図 7-12 理想的なボトムオン: V_{DS} 電圧共振波形のボトム点でターン ON

自由振動の半周期 t_{ONDLY}
 $t_{ONDLY} \doteq \pi\sqrt{Lp \times Cv}$

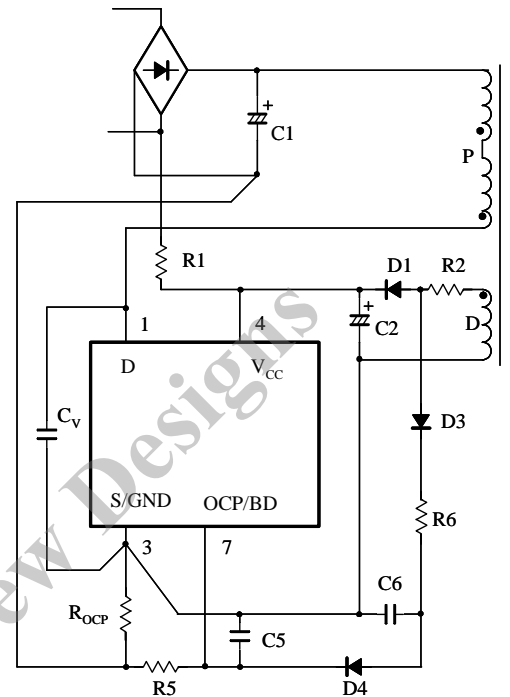


図 7-13 擬似共振と遅延回路

図 7-13 の、補助巻線 D と OCP/BD 端子間の D3、D4、C6、R6 が遅延回路になります。

パワーMOSFET のターン OFF 後、補助巻線電圧により、OCP/BD 端子電圧が擬似共振動作しきい値電圧 2 $V_{OCP(TH2)} = 0.8V(TYP)$ 以上になると、擬似共振動作しきい値電圧 1 $V_{OCPBD(TH1)} = 0.4V(TYP)$ 以下になるまで、パワーMOSFET は OFF を継続します。

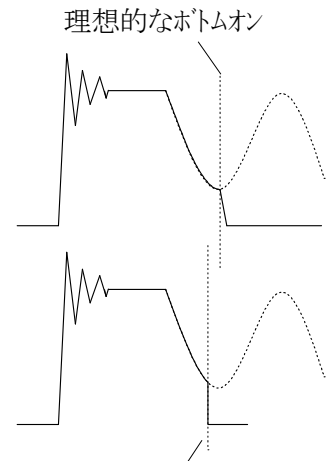
トランスのエネルギーが放出し終わると、補助巻線電圧は低下し始め、C6 電圧は R5 で放電され、OCP/BD 端子電圧が擬似共振動作しきい値電圧 1 $V_{OCPBD(TH1)} = 0.4V(TYP)$ 以下になると、パワーMOSFET はターン ON します。この放電期間が遅延時間になります。遅延時間は、動作波形を観測しながらボトムオンになるように、C6 を調整します。 $V_{OCPBD(TH1)}$ と $V_{OCP(TH2)}$ の電圧差により、擬似共振動作の誤動作を防止しています。

電源起動時や巻線短絡時など補助巻線電圧が低い場合に、ターン ON 後の OCP/BD 端子電圧が、 $V_{OCPBD(TH2)} = 0.8V(TYP)$ 以上にならないときは、IC の内部発振器により固定発振周波数 22kHz(TYP) の PWM 動作を行い、パワーMOSFET、および 2 次側ダイオードの電圧・電流ストレスを低減します。

R6 は、OCP/BD 端子電圧が絶対最大定格印加電圧 5V(MAX) 以下になるように設定します。一般的に、1.5V 程度が目安になります。R_{OCP} 抵抗値は小さく、無視できるので、補助巻線電圧が 18V とした場合、OCP/BD 端子電圧が 1.5V になる R6 は、1kΩ ~ 3.3kΩ 程度になりますが、遅延時間は C6 容量との時定数に関係するため、遅延時間が仮に 2.2μs とした場合、R5 を 100Ω、R6 を 1.5kΩ、C6 を 1000pF に仮設定し、実働動作で、ボトムオンになるように調整しながら、OCP/BD 端子電圧を確認して決定します。

R5、C5 の設定は、“7.12 過電流保護機能(OCP)”項を参照。

調整時、ターン ON が V_{DS} のボトム点に合わない場合は、図 7-14 のように、ターン ON をボトム点の手前に設定した方が、ボトム点の後に設定するよりも安定に動作します。



ターン ON がボトム点に合わない場合の調整

図 7-14 ボトムオン設定

7.5 ボトムスキップ擬似共振動作

前項の擬似共振動作に加え、軽～中負荷時のスイッチング損失を低減するため、スイッチング周波数の上昇を抑えるボトムスキップ機能を内蔵しています。

なお、シリーズラインナップ中、ボトムスキップ QR 機能がある製品が対象になります。

ボトムスキップ擬似共振の基本動作は、2 次側の負荷状態を、ドレイン電流 I_D 波形と相似になる OCP/BD 端子電圧でモニターし、IC 内部の BSD コンパレータと比較して、重負荷時は擬似共振 (QR) 動作、軽～中負荷時はボトムスキップ擬似共振 (ボトムスキップ QR) 動作に切換えます。

図 7-15 に、QR 動作からボトムスキップ QR 動作へ切換わるタイミングチャートを示します。

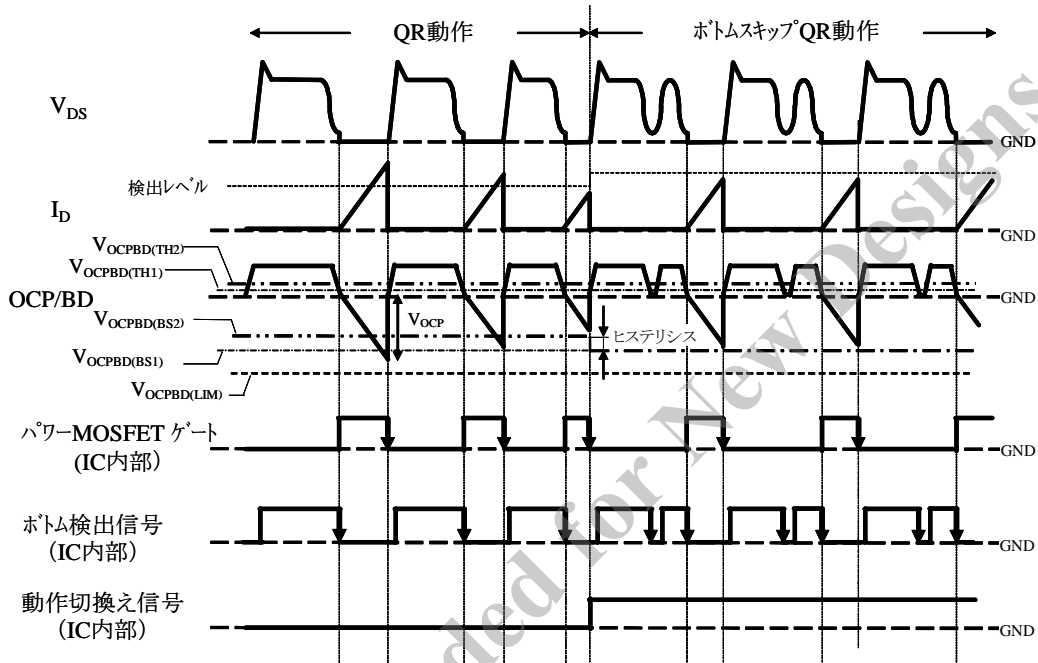


図 7-15 QR 動作からボトムスキップ QR 動作へ切換わるタイミングチャート

以下の切換え動作説明では、パワー-MOSFET のゲートが立ち下がったときの OCP/BD 端子電圧を V_{OCP} で表します。

①QR 動作 ⇒ ボトムスキップ QR 動作

QR 動作は、絶対値で $|V_{OCP}| > |V_{OCPBD(BS2)}|$ の状態です。この状態から負荷が軽くなると、 I_D が小さくなり、その結果、絶対値で $|V_{OCP}| < |V_{OCPBD(BS2)}|$ になるとボトムスキップ QR 動作に切換わり、しきい値は自動的に $V_{OCPBD(BS1)}$ に切換わります。 V_{DS} の自由振動により、擬似共振信号の立下り電圧が $|V_{OCPBD(TH1)}|$ 以下になる点を、IC 内部でカウントし、1 回分の自由振動をスキップして、スイッチング周波数を下げ、スイッチング損失を低減します。

②ボトムスキップ QR 動作 ⇒ QR 動作

ボトムスキップ QR 動作は、絶対値で $|V_{OCP}| < |V_{OCPBD(BS1)}|$ の状態です。この状態から負荷が重くなると、 I_D が大きくなり、その結果、絶対値で $|V_{OCP}| > |V_{OCPBD(BS1)}|$ になると QR 動作に切換わり、しきい値は自動的に $V_{OCPBD(BS2)}$ に切換わります。

負荷電流増加 / 負荷電流減少の過程では、図 7-16 のように、各動作モードの切換えに際し、自動的にヒステリシスが設定されるため、スイッチング波形は、切換えしきい値付近で不安定にならず、安定した動作モードの切換えが可能です。

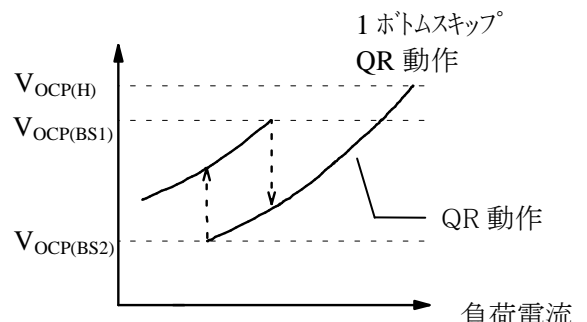


図 7-16 動作モード切換え時のヒステリシス

7.6 スタンバイ機能

シリーズラインナップの機能におり、以下のスタンバイ機能があります。

7.6.1 UVLO 間欠発振動作

2次側出力電圧の検出回路に、補助巻線電圧が $V_{CC(OFF)}$ 以下になる検出回路へ切換えるスイッチを設け、リモコン待機時などのスタンバイ時に、出力電圧を低下させて、UVLO 間欠発振動作に切換え、消費電力を低減します。

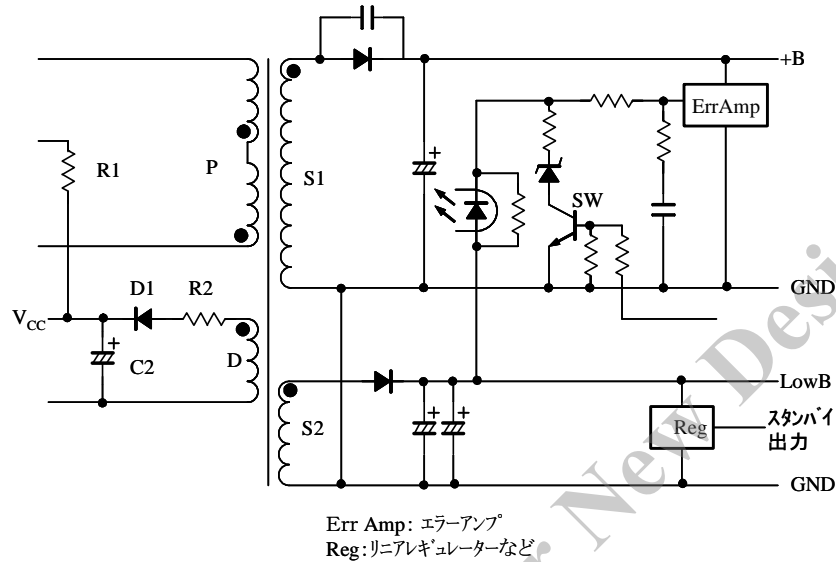


図 7-17 UVLO 間欠発振の 2 次側回路図例

図 7-17 に、UVLO 間欠発振動作の 2 次側回路例を示します。2 次側に、スタンバイ信号が入力され、スイッチ SW が ON すると、出力電圧が低下すると同時に補助巻線電圧も低下し、 V_{CC} 端子電圧が動作停止電源電圧 $V_{CC(OFF)} = 9.7V(TYP)$ 以下になると、IC は動作停止します。その後、起動抵抗 R1 により C2 が充電し、 V_{CC} 端子電圧は上昇を開始します。 V_{CC} 端子電圧が動作開始電源電圧 $V_{CC(ON)} = 18.2V(TYP)$ に達すると、再び IC は動作を開始しますが、補助巻線電圧は $V_{CC(OFF)}$ 以下のため、 V_{CC} 端子電圧は、 $V_{CC(ON)}$ と $V_{CC(OFF)}$ の間を繰り返す UVLO 間欠発振動作になり、2 次側へ供給されるエネルギーは、 $V_{CC(ON)} \rightarrow V_{CC(OFF)}$ の短いスイッチング期間だけになります。

図 7-18 に、動作切換え時のタイミングチャートを示します。

UVLO 間欠発振は、人間の可聴領域(20Hz～20kHz)に入ると、トランスの音鳴りを生じる場合があります。

この対策として、起動抵抗 R1 の値を下げ、間欠発振周期を短くし、スイッチング電流を抑える方法がありますが、R1 の損失が増加します。これに対し、STR-W6700 シリーズは、FB 端子電圧が FB スタンバイ動作しきい値電圧 $V_{FB(S)} = 1.1V$ 以上に達すると、動作開始電源電圧をスタンバイ時動作開始電源電圧 $V_{CC(S)} = 11.1V(TYP)$ に下げ、 $V_{CC(OFF)}$ との差を、通常動作時の約 1/5 にして、間欠周波数を上げて、スイッチング電流を抑える機能を内蔵しています。

通常動作から UVLO 間欠発振動作に切換わる期間は、発振が停止するため、出力電圧は低下し続けます、このため UVLO 間欠発振動作が始まるまでの期間は、2 次側出力電圧が要求する電圧以上を確保できる負荷にします。

スタンバイ動作から通常動作に切換わる期間は、 V_{CC} 端子電圧が $V_{CC(ON)} = 18.2V(TYP)$ に達するまでの間、発振が停止するため、出力電圧は低下し続けます、このため通常のスイッチング発振開始までの期間は、2 次側出力電圧が要求する電圧以上を確保できる負荷にします。

このように、動作切換え期間中は、装置側で負荷切換えのシーケンスなどを設ける必要があります。

UVLO 間欠発振によるスタンバイ動作は、動作のメカニズム上、数十 mW～多くて 0.2W 程度の微小負荷領域になります。出力リップル電圧が大きい、安定化出力ライン以外の電圧変動が大きい、およびトランスの音鳴りが生じる場合は、出力平滑コンデンサの容量を大きくし、緩和できるか検討が必要です。

なお、トランスの音鳴りは、トランス単体の対策として、フェライトコアの接着、ワニス含浸などの方法がありますので、トランスメーカーにご相談ください。

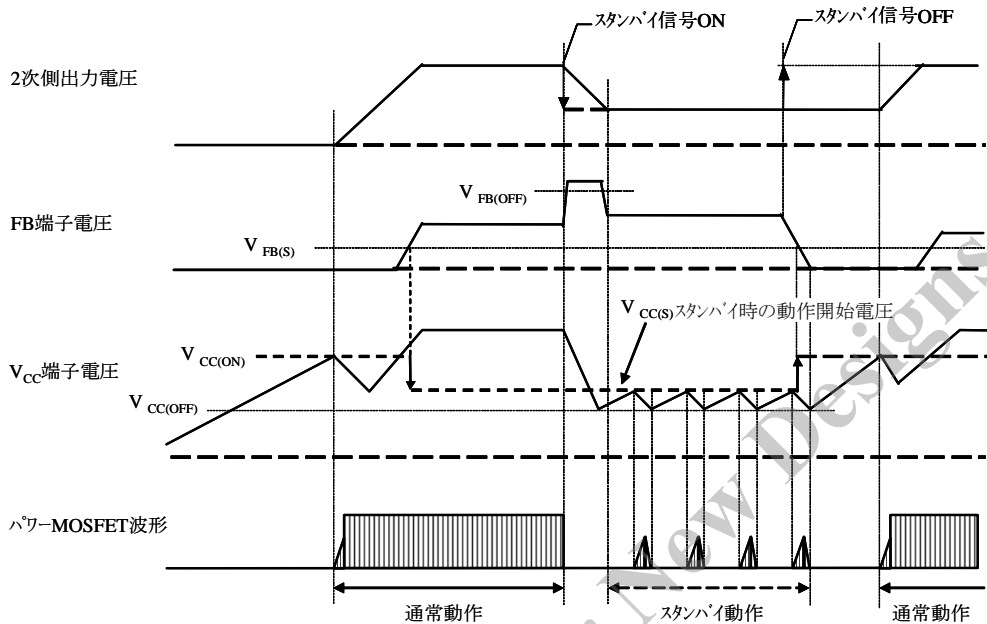


図 7-18 動作切換え時のタイミングチャート

7.6.2 オートバースト発振動作

最小 ON 時間 $t_{ON(MIN)}$ は IC 内部で設定されています。負荷が軽くなり、ドレイン電流 I_D の時間幅が、この $t_{ON(MIN)}$ に達すると、フィードバック電流が増加して、FB 端子電圧が上昇します。FB 端子電圧が FB 端子しきい値電圧 $V_{FB(OFF)} = 1.45V$ に達すると、スイッチング動作が停止し、FB 端子電圧が低下するとスイッチング動作を開始するオートバースト発振動作を行い、スイッチング損失を低減し、スタンバイ時の効率を改善します。

なお、シリーズラインナップ中、バースト発振動作機能がある製品が対象になります。バースト発振機能がない製品は、擬似共振動作時に、最小 ON 時間 $t_{ON(MIN)}$ の制限を解除し、ゼロまで動作します。軽負荷時、スイッチング周波数が高くなり、スイッチング損失が増加する場合は、温度上昇に注意が必要です。

7.7 ステップドライブ機能

パワー MOSFET のドライブ回路は、ステップドライブ回路を内蔵し、ターン ON 時のノイズを低減しています。

図 7-19 のように、ターン ON 時のドライブ電流は、Tr1 が ON し、RG1 で制限されたドライブ電流によりゲート電圧が徐々に上昇し、約 $0.9\mu s$ 後に Tr2 が ON し、RG1+RG2 で制限された大きなドライブ電流が流れて、ゲート電圧は急速に上昇します。ターン OFF 時は、Tr1、Tr2 が OFF、Tr3 が ON しパワー MOSFET のゲート電荷を、低抵抗の RG3 で急速に放電します。

ドライブ電圧は、定電圧源 $V_{DRV} = 7.5V(TYP)$ で供給するため、 V_{CC} 電圧に影響しない定電圧ドライブになります。

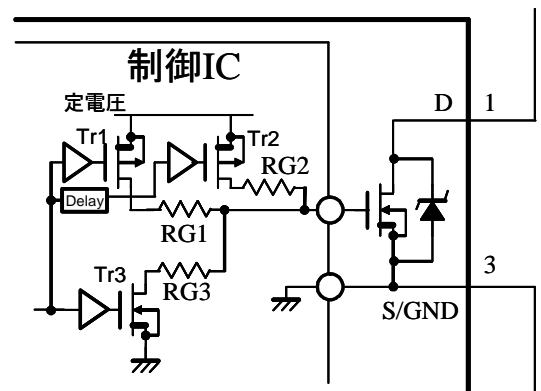


図 7-19 ステップドライブ回路

ステップドライブ機能は、パワー MOSFET の ON 時のゲート電圧を 2 段階に切換えることで、ターン ON 時のドレイン電流のサージ電流を抑制し、その後、十分なゲート電圧を供給する理想的なドライブを行います。

7.8 最大 ON 時間制限機能

低入力電圧時や電源 ON / OFF 時などの過渡状態では、パワー MOSFET の ON 時間を、最大 ON 時間 $t_{ON(MAX)} = 32.5\mu s$ (TYP) で制限し (図 7-20 参照)、スイッチング周波数下限を制限して、電源 ON / OFF 時のトランスの音鳴りを抑制します。

パワー MOSFET の ON 時間は、電源設計時に、入力電圧下限、負荷最大の条件で、最大 ON 時間以下の確認が必要です。

入力電圧下限、負荷最大時に最大 ON 時間以上になるトランスを使用した場合、パワー MOSFET の ON 時間は最大 ON 時間で制限され、入力電圧下限で出力電力は取り出せないため、トランスの再設計が必要です (トランスのインダクタンス L_p を下げてスイッチング周波数を上げたり、1 次と 2 次の巻数比 N_p/N_s を小さくして Duty を小さくするなど)。

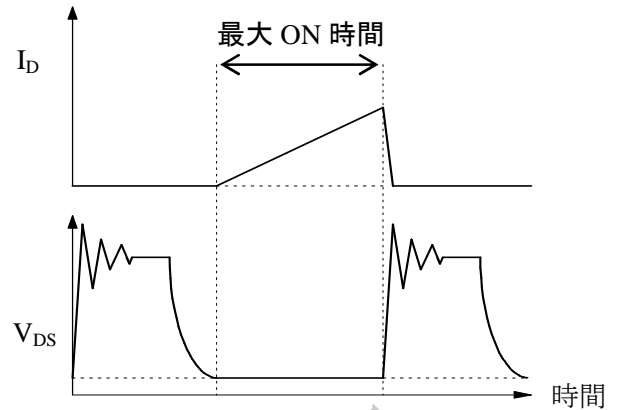


図 7-20 最大 ON 時間の確認

7.9 ラッチ回路

ラッチ回路は、過電圧保護 (OVP)、過負荷保護 (OLP) の各動作時に、ラッチモードでスイッチング動作を停止させます (ラッチオフ)。

ラッチ回路が動作し、スイッチング動作が停止すると、 V_{CC} 端子電圧は下降し始め、動作停止電源電圧 $V_{CC(OFF)} = 9.7V$ (TYP) まで低下すると、IC の回路電流が下がります。その後、 V_{CC} 端子電圧は、起動抵抗 $R1$ により電流が供給されて、上昇し始め、動作開始電圧 $V_{CC(ON)} = 18.2V$ に達すると、再び回路電流が増加するため、 V_{CC} 端子電圧は、図 7-21 のように、 $V_{CC(ON)}$ と $V_{CC(OFF)}$ の間を繰り返す、異常な電圧上昇を防止します。

起動抵抗 $R1$ は、入力 AC 電圧の下限時に、ラッチ回路保持電流 $I_{CC(H)} = 140\mu A$ (MAX) 以上の電流が流れるように設定します。

ラッチ回路の解除は、AC 入力をオフし、 V_{CC} 端子電圧が、ラッチ回路解除電源電圧 $V_{CC(LA,OFF)} = 7.2V$ (TYP) 以下に下がると解除します。

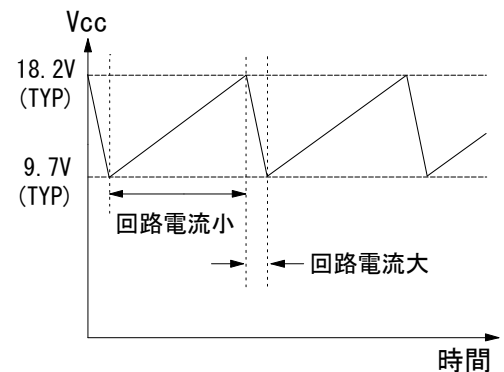


図 7-21 ラッチ時の V_{CC} 端子電圧波形

7.10 過電圧保護機能 (OVP)

V_{CC} 端子と GND 端子間に、OVP 動作電源電圧 $V_{CC(OVP)} = 27.7V$ (TYP) 以上の電圧が印加されると、過電圧保護機能が動作し、ラッチモードでスイッチング動作が停止します。

V_{CC} 端子電圧がトランスの補助巻線から供給される場合は、 V_{CC} 端子電圧が出力電圧に比例するため、出力電圧検出回路オープン時などの 2 次側過電圧を検出できます。

この場合、過電圧保護動作時の 2 次側出力電圧 $V_{OUT(OVP)}$ は、次式 (1) で概略計算できます。

$$V_{OUT(OVP)} = \frac{\text{通常動作時出力電圧}}{\text{通常動作時 } V_{CC} \text{ 端子電圧}} \times 27.7V \text{ (TYP)} \quad \text{----- (1)}$$

7.11 過負荷保護機能(OLP)

過負荷保護状態(過電流保護動作によりドレイン電流のピーク値が制限されている状態)が、ある一定時間(遅延時間 t_{DLY}) 続くと、ラッチモードでスイッチング動作が停止し、パワーMOSFET および2次側整流ダイオードなどの部品ストレスを軽減します。

過電流保護機能(OCP)が動作したときの2次側出力特性は、図 7-22 になります。

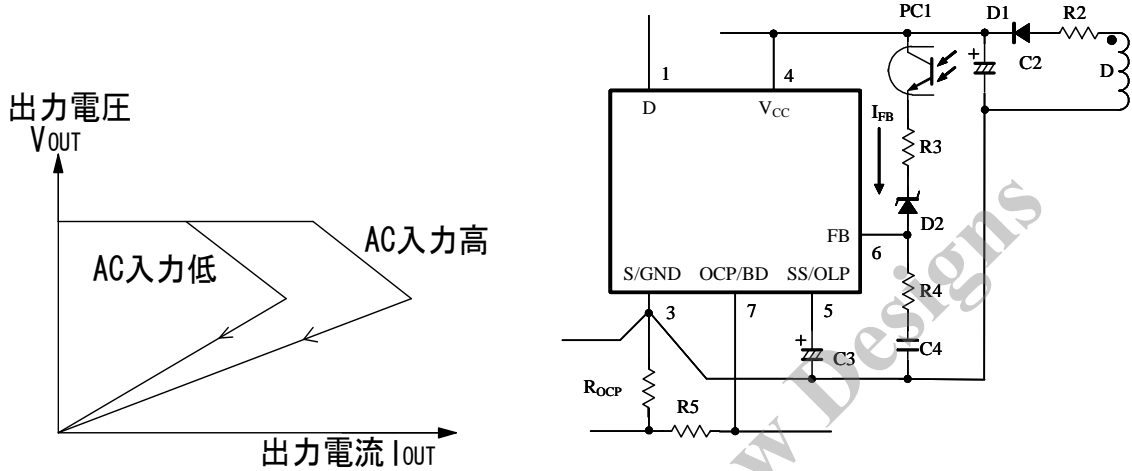


図 7-22 出力過負荷特性

図 7-23 FB 端子、SS/OLP 端子周辺回路

FB 端子、SS/OLP 端子の周辺回路を図 7-23、OLP 動作時のタイミングチャートを図 7-24 に示します。

過負荷状態になると、出力電圧が低下するため、2次側のエラーアンプがカットオフし、フィードバック電流 I_{FB} が流れなくなります。過電流保護機能(OCP)が動作すると、SS/OLP 端子から $I_{SSOLP(OLP)} = -11\mu A(TYP)$ が流れ、C3 を充電し、SS/OLP 端子電圧は上昇し始めます。SS/OLP 端子電圧が $V_{SSOLP(OLP)} = 4.9V(TYP)$ に達すると、ラッチモードでスイッチング動作が停止します。

遅延時間 t_{DLY} は、次式(2)で概略計算できます。

$$t_{DLY} \doteq \frac{C3 \times \Delta V}{I_{SSOLP(OLP)}} \quad \text{----- (2)}$$

ここで、 ΔV は、C3 の充電電圧で、約 4.9V

$I_{SSOLP(OLP)}$ は SS/OLP 端子の電圧依存特性があり、SS/OLP 端子が上昇すると $I_{SSOLP(OLP)}$ は減少します。

(2) 式と実測値は完全に合いませんので、実働動作による十分な検討が必要です。

電源起動時は、遅延時間 t_{DLY} が出力立ち上がり時間より短くする必要があります、長い場合は OLP 動作が先に働き、起動不良が生じます。

V_{CC} 端子の C2 の電圧低下速度と C3 の電圧上昇速度の兼ね合いで、C3 電圧が 4.9V に達する前に、 V_{CC} 電圧が $V_{CC(OFF)}$ 以下になると、ラッチオフにならずに間欠発振になるため、遅延時間設定は留意が必要です。

参考: OLP 遅延時間 ($\Delta V=4.9V$ 、 $I_{SSOLP(OLP)}=-11\mu A$ 一定とした場合の式(2)の算出値)

C3(μF)	0.47	1	2.2	3.3	4.7
$t_{DLY}(ms)$	209	445	980	1470	2094

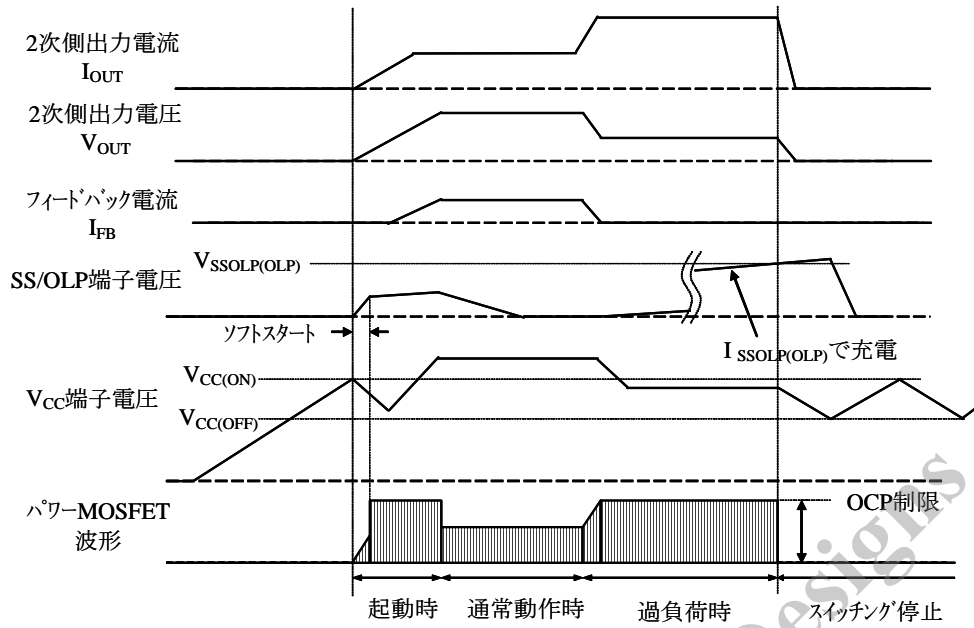


図 7-24 過負荷時のタイミングシート

なお、ソフトスタート動作を有効にしたまま、OLP 動作を自動復帰にする場合は、図 7-25 のように、SS/OLP 端子に 47kΩ 程度の抵抗、またはツェナーダイオード 2.7V を挿入し、 $V_{SSOLP(OLP)} = 4.9V(TYP)$ 以下にクランプさせます。過負荷要因が取り除かれると、通常の動作に自動復帰します。

V_{CC} 端子電圧が $V_{CC(OFF)}$ 以下になると、図 7-26 のように、IC 内部のリセット回路は SS/OLP 端子の C3 電圧を放電します。通常動作時 (IC 内部の定電圧回路が動作している間) は、リセット回路は動作しません。

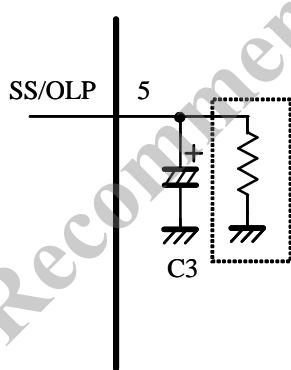


図 7-25 OLP 禁止回路

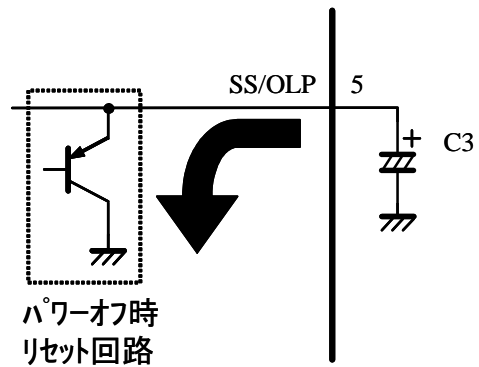


図 7-26 リセット回路

7.12 過電流保護機能 (OCP)

過電流保護 (OCP) 回路は、パワー MOSFET のドレイン電流をパルスバイパルス方式で検出、制限します。

図 7-27 のように、OCP/BD 端子に、電流検出抵抗 R_{OCP} 、 R_5 、 C_5 を接続します。

R_5 と C_5 は、パワー MOSFET のターン ON 時に生じるサージ電流による、誤動作を防ぐためのフィルタ回路です。

過電流保護 (OCP) 回路の動作は、ドレイン電流 I_D が流れたときに、電流検出抵抗 R_{OCP} に発生する電圧が、 R_5 と C_5 のフィルタを介して過電流検出しきい値電圧 $V_{OCPBD(LIM)} = -0.94V$ に達すると、パワー MOSFET をターン OFF します。

OCP 回路は、 R_{OCP} 電圧をマイナス検出し、[IC 内部の V_1] + [R_{OCP} 電圧の絶対値] を、IC 内部の抵抗 RB_1 と RB_2 と、 R_5 で分圧し、IC 内部の検出電圧 V_{OCPM} を作ります。

RB_1 と RB_2 のバラツキ (製品としては、 I_{OCPBD} として規定) の影響を小さくするために、 R_5 は $100\Omega \sim 330\Omega$ 程度に設定します。

C_5 は、温特のよいものを用い、 $100pF \sim 470pF$ を目安に容量を設定します。なお、この容量が大きくなりすぎると、OCP の応答が遅くなるため、電源起動時などの過渡状態時のドレイン電流ピークが増大する場合があるので注意が必要です。

一般的な定数は、 $R_5 = 100\Omega$ 、 $C_5 = 220pF$ になりますが、誤動作が生じる場合は、定数を実働動作で確認して決定します。

入力電圧が AC85V ~ AC264 などのワイド入力仕様の場合、AC100V 系と AC230V 系で過電流保護の動作点の差が大きくなります (図 7-22 を参照)。この動作点の差を抑えたい場合は、図 7-28 の点線内の D_5 、 D_6 、 R_7 による入力電圧補正回路を追加します。

パワー MOSFET が ON したときに、補助巻線 D に生じるマイナス電圧は、入力平滑コンデンサ C_1 電圧に比例します。このマイナス電圧を、OCP/BD 端子に入力して、OCP/BD 端子電圧に入力電圧のバイアスをかけ、入力電圧に対する過電流動作点を補正します。

ツェナーダイオード D_6 は、AC100V 系の上限電圧時に非導通、AC230V 系の下限電圧で導通する、定数に設定します。

定数設定例は、補助巻線 D のマイナス電圧が $-18V$ の場合、 D_6 のツェナー電圧は $16V$ 程度、 R_7 は $10K\Omega \sim 22K\Omega$ 程度が目安になり、実働動作を確認しながら調整します。

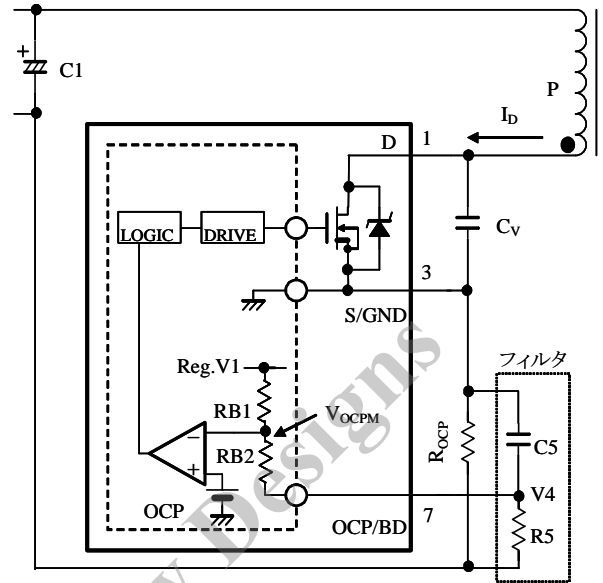


図 7-27 マイナス検出型 OCP 回路

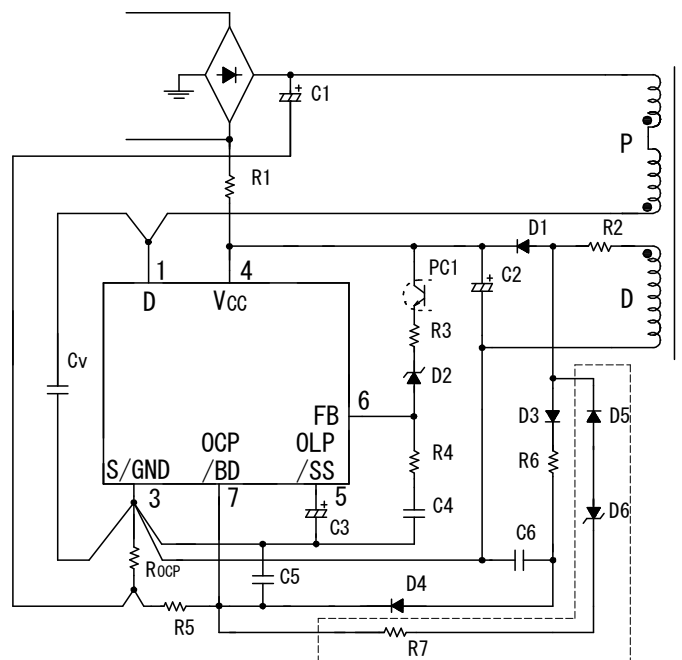


図 7-28 過電流保護の入力電圧補正回路

8. 設計上の注意点

8.1 外付け部品

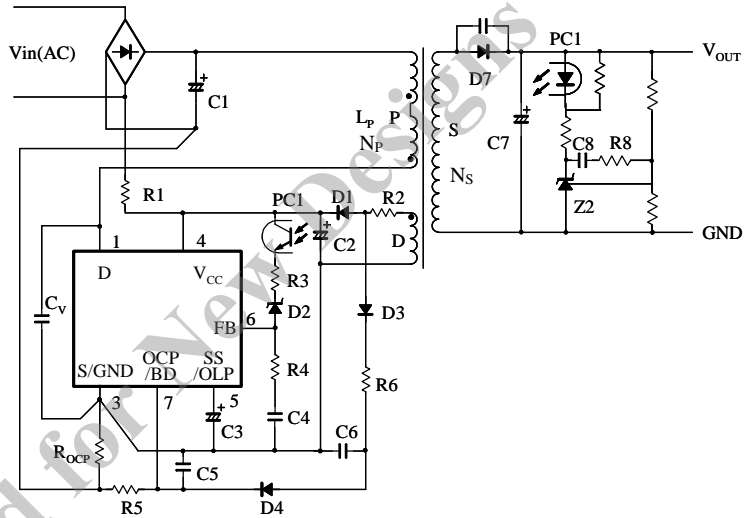
各部品は使用条件に適合したものを使用します。

- 入力、出力の平滑用電解コンデンサは、リップル電流・電圧・温度上昇に対し、適宜、余裕を設けます。
また、スイッチング電源用の High-Ripple タイプ、低インピーダンスタイプの部品を使用します。
- トランス類は銅損・鉄損による温度上昇に対し、適宜、余裕を設けます。
- 電流検出用抵抗 R_{OCp} は、高周波スイッチング電流が流れるので、内部インダクタンスの大きなものを使用すると、誤動作の原因になります。内部インダクタンスが小さく、かつ、サージ耐量の大きなものを使用します。

8.2 トランス設計

トランスの設計は、基本的に RCC 方式 (Ringing Choke Converter: 自励式フライバックコンバータ)の電源トランス設計と同じです。ただし、擬似共振動作により、ターン ON が遅延された分、Duty が変化するため、Duty の補正が必要です。

1 次巻線 N_p と 2 次巻線 N_s の比より求めた ON Duty を D_{ON} とすると、 L_p は次式(3)で求められます。



$$L_p = \frac{(E_{in(MIN)} \cdot D_{ON})^2}{\left(\sqrt{\frac{2 \cdot P_o \cdot f_o}{\eta_1}} + E_{in(MIN)} \cdot \pi \cdot f_o \cdot D_{ON} \cdot \sqrt{C_v} \right)^2} \quad \text{-----(3)}$$

L_p は下記の条件で算出します。

- P_o : 最大出力電力
- f_o : 最低発振周波数
- η_1 : トランスの変換効率

$$D_{ON}: \quad V_{in(AC)}(\text{MIN})\text{時の ON Duty} \Rightarrow D_{ON} = \frac{E_f}{E_{in(MIN)} + E_f}$$

$E_{in(MIN)}$: $V_{in(AC)}(\text{MIN})$ 時の C1間電圧

$$E_f: \quad \text{フライバック電圧} \Rightarrow E_f = \frac{N_p}{N_s} \times (V_{out} + V_F)$$

V_F : D7 の順方向電圧降下

また、ドレイン電流ピーク I_{DP} などの各パラメータは以下の式により算出されます。

$$t_{ONDLY} = \pi \sqrt{L_p \times C_v} \quad \text{---- (4)}$$

$$Don' = (1 - f_o \times t_{ONDLY}) \times Don \quad \text{---- (5)}$$

$$I_{in} = \frac{P_o}{\eta_2} \times \frac{1}{E_{in(MIN)}} \quad \text{---- (6)}$$

$$I_{DP} = \frac{2 \times I_{in}}{Don'} \quad \text{---- (7)}$$

$$Np = \sqrt{\frac{Lp}{AL-Value}} \quad \text{---- (8)}$$

$$Ns = \frac{Np \times (Vout + V_F)}{Ef} \quad \text{---- (9)}$$

- t_{ONDLY}: 遅延時間
- I_{in}: 平均入力電流
- η₂: 電源の変換効率
- I_{DP}: スイッチング電流ピーク
- Don': 補正後の ON Duty

トランスフェライトコアの AL-Value 値は、N_pと I_{DP}から求まる NI-Limit(AT)の値を考慮し、磁気飽和を生じない AL-Value 値を選定します。算出された NI-Limit 値(=I_{DP}×N_p)は、常に図 8-1 の NI-Limit vs. AL-Value 特性曲線内(斜線)にあることが必要です。また、NI-Limit vs. AL-Value の関係为满足するフェライトコアを選ぶときは、温度などのバラツキに対する設計マージンを考慮して、算出した NI-Limit 値がコアデータ上 NI-Limit に対して、30%程度低くなるように設定することを推奨します。

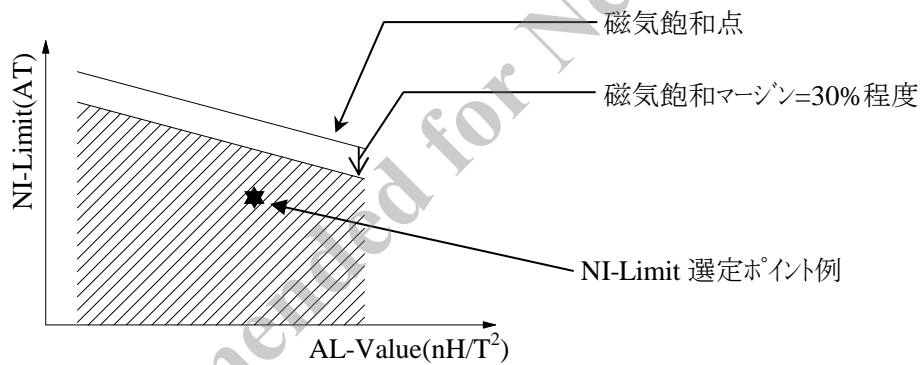


図 8-1 コアの NI-Limit vs. AL-Value 特性例

よって、NI-Limit は以下の式から飽和マージンを考慮した値で設定します。

$$NI = Np \times I_{DP} (130\%) \quad \text{---- (10)}$$

また、補正後の ON Duty から最低発振周波数 f_oは以下の式で算出されます。

$$f_o = \left(\frac{-\sqrt{\frac{2P_o}{\eta_1}} + \sqrt{\frac{2P_o}{\eta_1} + \frac{4 \times \pi \times (Ein(MIN) \times Don)^2 \times \sqrt{Cv}}{\sqrt{Lp}}}}{2 \times Ein(MIN) \times \pi \times Don \times \sqrt{Cv}} \right)^2 \quad \text{---- (11)}$$

トランスの巻線設計考慮点

スイッチング電流には高周波成分が含まれ、表皮効果が影響する場合があります。このためトランスに使用する巻線の線径は、動作電流の実効値を考慮し、電流密度が3~4A/mm²前後を目安に選定します。なお、表皮効果の影響などで、さらに温度対策が必要な場合は、巻線表面積を増加させるため、下記を検討します。

- 巻線の本数を増やす
- リッツ線を使用する
- 線径を太くする

8.3 位相補正

一般的なシャントレギュレータを使用した2次側エラーアンプ周辺部の回路構成を図8-2に示します。位相補正用コンデンサC8の容量は $0.047\mu\text{F}$ ~ $0.22\mu\text{F}$ 程度を目安に調整し、最終的に実働動作を確認して決定します。

図8-3に示すFB端子とGND端子間のコンデンサC4は、高周波ノイズ除去、および位相補正用です。

C4、R4はFB端子とGND端子近くに接続し、C4の容量は、 $0.047\mu\text{F}$ ~ $0.22\mu\text{F}$ 程度、R4は $1\text{k}\Omega$ 前後が目安になり、最終的に実働動作を確認して決定します。

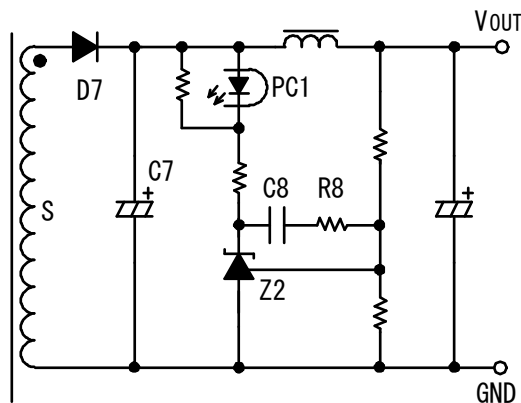


図 8-2 シャントレギュレーター(Z2)周りの周辺回路

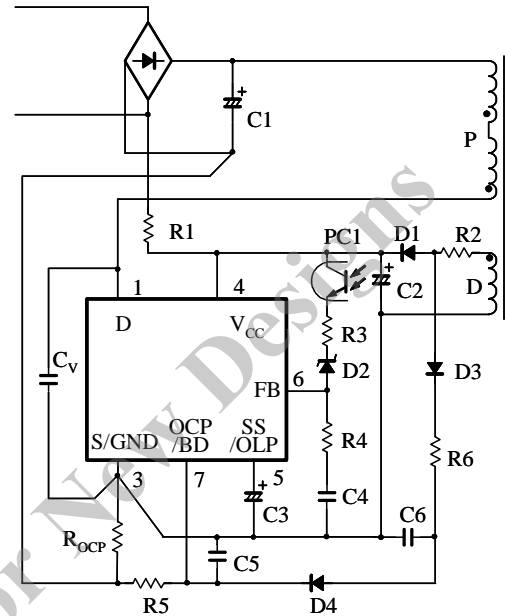


図 8-3 FB 端子周りの周辺回路

8.4 パターン設計

パターン配線および実装条件によって、誤動作・ノイズ・損失などに大きな影響が現れるので、配線の引回し、部品配置には十分な注意が必要です。

一般的に、図8-4のように高周波電流がループを作る部分は、ラインパターンを“太く”、部品間の配線を“短く”、ループ内面積が極力小さくなるようにし、ラインインピーダンスを下げたパターン設計を行います。

また、アースラインは輻射ノイズにも大きな影響があるので、極力“太く”、“短く”配線します。

スイッチング電源は、高周波、高電圧の電流経路が存在するので、安全規格面を考慮した部品配置、パターン距離が必要です。なお、MOSFETのON抵抗 $R_{DS(ON)}$ は、正の温度係数のため、熱設計に注意します。

IC周辺回路の接続例を、図8-5に示します。

(1) S/GND 端子周り (S/GND 端子~R_{OCP}~C1~T1(P 巻線)~D 端子)

このパターンは、スイッチング電流が流れる主回路パターンのため、極力、太く、短く配線します。ICと入力電解コンデンサC1との距離が離れている場合は、高周波電流ループのインピーダンスを下げるため、トランスまたはICの近くに、電解コンデンサまたはフィルムコンデンサ ($0.1\mu\text{F}$ 程度 / 印加電圧に適した耐圧品)を追加します。

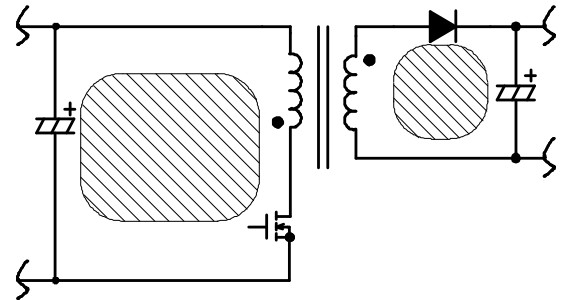


図 8-4 周波電流ループ
(斜線部分)

(2) S/GND 端子周り (S/GND 端子～C2(-側)～T1(D 巻線)～R2～D1～C2(+側)～V_{CC} 端子)

このパターンも、極力、太く、短く配線します。

ICと電解コンデンサ C2との距離が離れている場合は、V_{CC} 端子と S/GND 端子の近くにフィルムコンデンサ(0.1μF～1.0μF 程度 / 50V)を追加します。

(3) 電流検出用抵抗 R_{OCP} 周り

R_{OCP} は、S/GND 端子の近くに配置します。

共通インピーダンスやスイッチング電流が制御回路へ影響を与えることを避けるため、C1 マイナスパターンと R5 パターンは R_{OCP} 近傍で接続します。

2次側整流パターン接続例を、図 8-5 に示します。

(1) 2 側整流平滑回路 (T1(S 巻線)～D7～C7)

このパターンは、極力、太く、短く配線します。整流パターンが細く、長い場合、パターンに寄生するリーケージインダクタンス成分が増加し、パワーMOSFET のターン OFF 時のサージ電圧が増加します。2次側整流パターンを考慮したパターン設計は、パワーMOSFET の耐圧マージンを広くとれる、およびクランプスナバ回路へのストレスや損失の軽減が可能です。

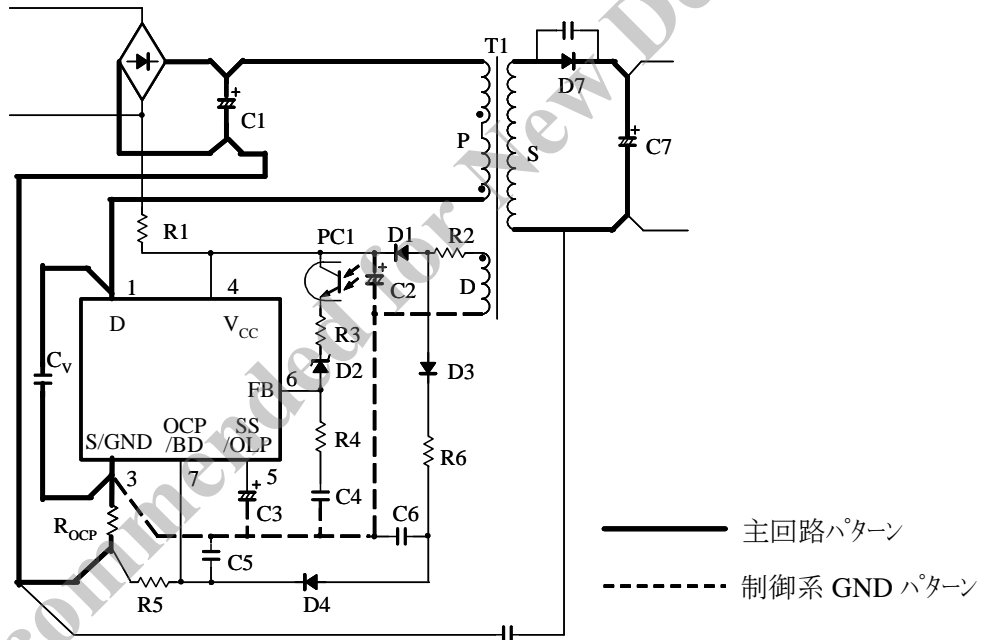


図 8-5 周辺回路の接続例