PSJGaN を用いたスイッチング電源用 IC STR5M4G0 の開発

Development of STR5M4G0, a Switching Power Supply IC Based on PSJGaN Technology

神　山　祐　輔*　　川真田　浩　章*　　小　池　憲　吾**
Yuusuke Kamiyama　　Hiroaki Kawamata　　Kengo Koike

概要　当社は独自構造のGaNデバイスであるPSJGaNデバイスの開発を進めており，さらに制御ICを統合した電源IC「STR5MGaN」の開発を進めている。PSJGaNデバイスはノーマリオン動作からカスコード接続を採用した。さらにPSJGaNデバイスに最適化したドライバを開発したことにより，既存のSi/SiC MOS-FETより損失が削減できた。本報告は，PSJGaNデバイスの特性から最適動作するドライブ回路について報告し，電源ICの特徴と本ICを搭載したスイッチング電源の評価結果を報告する。

1．まえがき

エネルギー変換効率の向上は，カーボンニュートラル社会の実現に向けた技術課題であり，あらゆる電力変換システムに対して高効率化，小型化が求められている。近年のAI普及に伴うデータセンタ電力需要の急速な拡大は，その重要性をさらに高めている。こうした市場環境から，パワー半導体の世代交代が求められ，特にワイドバンドギャップ半導体であるGaN（Gallium Nitride）デバイスは，高速スイッチング特性と低損失特性を兼ね備えた次世代デバイスとして，各社において実用化および製品展開が加速している。

当社は，キーデバイスの創出を重要な使命と位置付け，2025年に競争力のあるGaNのエピ技術を持つ株式会社パウデックと吸収合併をおこなった。これにより独自構造のPSJGaNデバイスの開発を進めており，さらに制御ICを融合した電源IC「STR5M4G0」の開発を進めている。本製品は，PSJGaNデバイスの潜在能力を最大限に引き出す専用ゲートドライブ技術を基盤として，高効率化，小型化およびシステムコスト低減の同時実現を目指したものである。本稿では，開発したICを概説するとともに，回路技術上の課題，その解決に向けた技術開発，および今後の展望について報告する。

＊ﾊﾟﾜｰﾃﾞﾊﾞｲｽ開発統括部 IC 開発部 IC 回路開発課
＊＊ﾊﾟﾜｰﾃﾞﾊﾞｲｽ開発統括部

2．製品概要

本ICの外観と内観写真，製品構成図を**図1**～3，端子機能を**表1**に示す。本ICは，SOP8に3チップを搭載している。スイッチングデバイスは，耐圧800V，オン抵抗0.4ΩのPSJGaN® (Polarization Super Junction Gallium Nitride）デバイスを搭載した。3.1.で後述するノーマリオフ用の低耐圧MOSFET（以下LV-MOS）を，PSJGaNデバイスの上部に積層している。これによりパッケージ小型化に寄与する。さらに，ゲートドライバと電源制御機能を集積した制御ICを搭載した。PSJGaNデバイスは，電気的に絶縁のサファイア基板を用いておりデバイス裏面に制約がない。そのため制御ICと同一フレームに載せられることから設計自由度が高い。



図1 外観写真

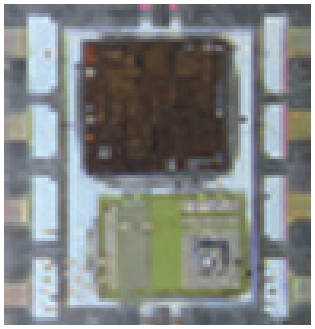
図2 内観写真

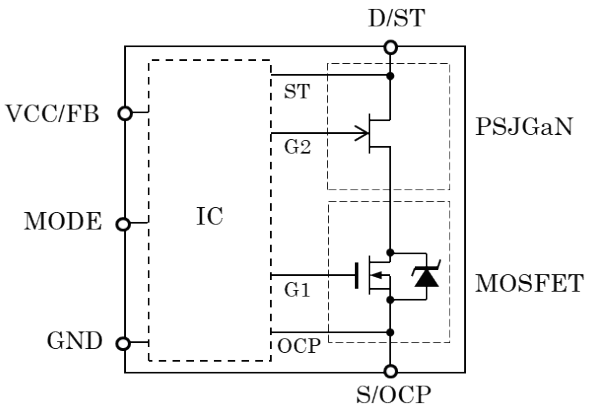

図３　製品構成図

表１　端子機能

端子配列	記　号	機　能
1	S/OCP	PSJGaN デバイス ソース 過電流保護検出信号入力
2	－	－
3	GND	グランド
4	MODE	機能選択端子
5	VCC/FB	制御回路電源入力 定電圧制御信号入力
6	－	－
7	－	－
8	D/ST	PSJGaN デバイス ドレイン 起動端子入力

3. PSJGaNデバイスの駆動回路

GaNのキャリア移動度が約2000［cm^2/(V・s)］に対してSiCは約800［cm^2/(V・s)］と約2.5倍の差がある。このため，GaNは，他のシリコンやSiCと比較して，スイッチング速度が速いと言われている。今回，GaNの高速スイッチングの特性を引き出せる駆動回路を報告する。

3.1 カスコード接続によるノーマリオフ化

図４に示すように，PSJGaNデバイスはノーマリオン（デプレッション特性）のため，**図４**のLV-MOSとのカスコード接続を採用した。カスコード接続は，LV-MOSがオンすると，PSJGaNはノーマリオンのため，導通状態となる。一方，LV-MOSがオフすると，PSJGaNデバイスのソース電位が上昇し，ゲート・ソース間電圧がしきい値（-5V）以下となりPSJGaNデバイスも遮断状態となる。これにより低オン抵抗特性を維持しつつ，**図５**のように外部からはノーマリオフ（エンハンスメント特性）デバイスと同等の取り扱いが可能となる。ここでは原理説明のためPSJGaNデバイスのゲートは０［V］とした。

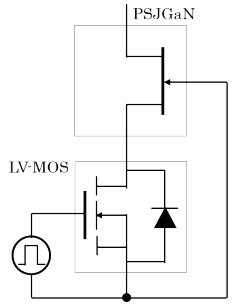

図４　カスコード接続回路

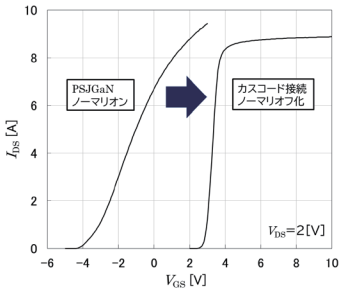

図５　V_{GS}-I_{DS} 特性

3.2 PSJGaNデバイスの特性

PSJGaNデバイスは**図６**のように，GaN HEMT（High Electron Mobility Transistor）のu-GaN/AlGaN構造の上に，ゲートとしてPSJ構造と呼ぶu-GaN/p-GaNを積層している。このPSJ構造により，GaNのチャネルを構成する２次元電子ガス（2DEG）に対して，このPSJ領域には２次元ホールガス（2DHG）が生じる。ここで，2DHG（2 Dimensional Hole Gas）へホールを注入や排出すると電荷中性条件により，2DEG（2 Dimensional Electron Gas）の濃度も同様に上下する。

ここでOFF時のゲートからホールを排出した（ゲートがソースに対してマイナス）場合を考える。PSJ構造下のチャネル全体が空乏化するため，ドレイン電圧による電界はPSJ構造で均一に広がる。したがってPSJGaNデバイスは，従来のGaN HEMTの高耐圧化で問題となる電界集中が生じない。

一方，ON時のゲートからホールを注入する（ゲートがソースに対してプラス）場合を考える。ホールの注入に応じて2DEGの濃度が上がるため，チャネル抵抗は低くなる。GaN HEMTでも同様にON時にチャネル抵抗が低下するが，ゲート電極からの電界が届く範囲に限定される。それに対してPSJGaNデバイスでは，PSJ構造そのものが巨大なゲート電極としてみなせる。ゲート印加電圧を上げてホールを注入するほど，広い領域でチャネル抵抗が低下してR_{ON}は低くなる。

PSJGaNデバイスは従来のGaN HEMTに比べ，ON時にはゲートから2DHGへホールを注入する必要がある。

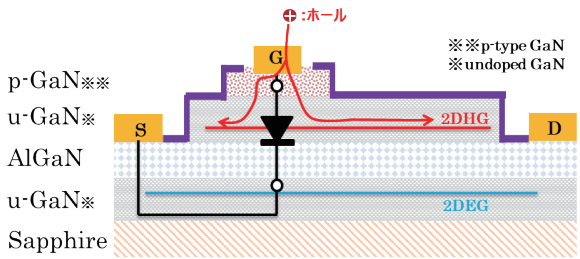

図６　内部構造図とホール注入領域と内部ダイオード

そのため，従来のGaN HEMTに比べて大きなゲート容量を急速に充放電可能なゲートドライバを用意することで，PSJGaNデバイスを使いこなすことができる。

一方で，ホール注入を行うために積層したp-GaNとu-GaNの間にPNのダイオード構造を持つ。そのためゲート印加電圧が高いと，このダイオードへ流れるゲートリーク電流が大きくなる。

そのため，PSJ構造の性能を生かしてR_{ON}の低い領域でのスイッチングを実現するには，ゲートリーク電流を定格範囲に抑えながら，できるだけ高い電圧をゲートに印加する高精度なドライバが必要である。

3.3 PSJGaNデバイス用ドライブ回路の特徴

3.3.1 高精度ON電圧ドライブ

前述のとおり，PSJGaNはゲート印加電圧が高いほどR_{ON}を低くすることができるが，PN構造（V_F）以上に電圧を上げることができないため，適切な電圧印加が必要である。

電源用ドライバとして，パワー素子を駆動する場合，**図7**のように，ソース側に電流検出抵抗（R_{OCP}）を使用する。電流検出抵抗を入れると，負荷電流の増加に応じてPSJGaNデバイスのソース電圧が上昇する。このときGND基準でゲート電圧を印加した場合，ゲート・ソース間電圧は，電流検出抵抗の電圧降下の分，ソース電圧に対して目標電圧より低くなる。

この問題に対し本ドライバでは，PSJGaNデバイスのゲート・ソース間の電圧を維持するために，**図8**のように電圧降下分をゲート電圧へ加算する。これにより，PSJGaNデバイスの最大限の性能で駆動させることができる。

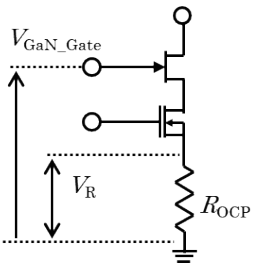

図7　GaNゲート電圧

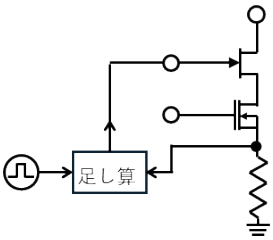

図8　GaNゲート補正回路

3.3.2 LV-MOS保護対策

カスコードにおいてPSJGaNデバイスのソースとLV-MOSのドレインの中点電圧（接続電圧）は，各素子の容量分圧の特性から，OFF時にGaNのドレイン電圧上昇に伴い上昇する。例として40［V］のLV-MOSとの組み合わせで瞬時的に約30［V］まで上昇した。この電圧の上昇は，LV-MOSの耐圧を超えると破壊の原因となる。

中点電圧の上昇低減のためにコンデンサを追加して容量を調整する場合，パワー素子と同等以上の容量が必要となる。そのため，半導体素子内部に配置することができず，外付けの部品が追加で必要になる。

外付け部品削除として，OFF時にPSJGaNデバイスのゲート電圧を下げ，固定電圧の場合と比べ，PSJGaNをOFFするのに必要な中点電圧を下げる手法を用いた。OFF時に電圧を下げるため，ON時にはR_{ON}の観点からゲートへ電圧印加を行っている。

また，OFF時にLV-MOSより先にOFFすることで，PSJGaNデバイスをOFFするのに必要な中点電圧を引き下げることができる。

このダブルゲート方式より中点電圧の電圧上昇を約7［V］下げることが可能となり，LV-MOSを耐圧破損から保護することが可能となる。

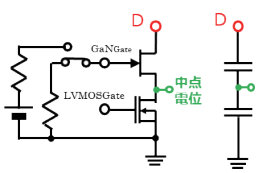

図9　回路図と容量モデル

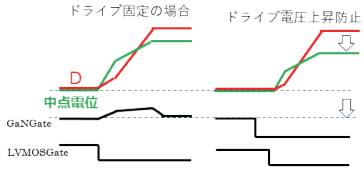

図10　中点電位タイミングチャート

3.4 PSJGaNデバイス用の制御IC

3.3で示したダブルゲート駆動方式を実現する制御ICの開発をおこなった。**図11～12**にレイアウトとブロックダイアグラムを示す。PSJGaNデバイスおよびLV-MOSのゲートG1とG2を適切に制御して，安定したオン／オフ動作を実現した。また，PSJGaNデバイスでは，高速な電圧・電流変化に起因する誤動作やノイズの影響を受けやすいため駆動条件の最適化をおこなった。さらにスイッチング電源の出力電圧制御機能と，各種保護機能として，過電流保護（OCP），過負荷保護（OLP），過電圧保護（OVP），過熱保護（TSD）を搭載し，高い信頼性を確保している。



図11　レイアウト

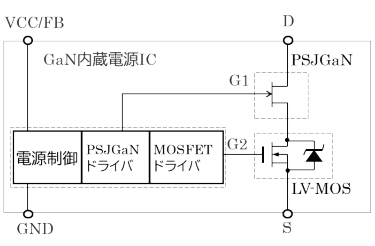

図12　ブロックダイアグラム

4. 2種類のスイッチング電源の評価

4.1 降圧型スイッチング電源

試作をおこなった降圧型スイッチング電源の回路図と評価基板，出力電圧特性を**図13～16**に示す。出力電圧16［V］/1［A］において安定したスイッチング動作を確認した。

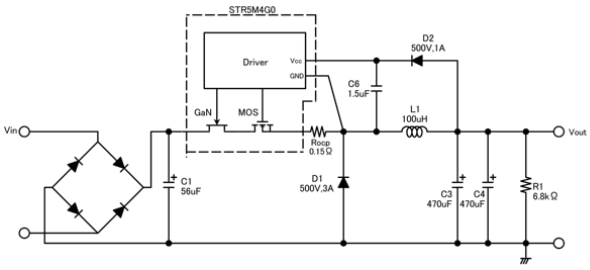

図 13　検討回路図

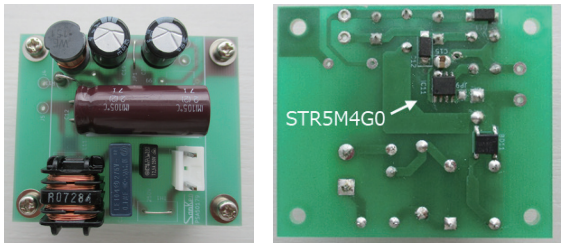

図 14　16V/1A 評価基板

表 2　評価比較デバイス

項目	MOS-FET STR5A453	PSJGaN STR5M4G0
V_{DSS}［V］	650	800
$R_{DS(ON)}$［Ω］	1.9	0.4
PKG	DIP8	SOP8

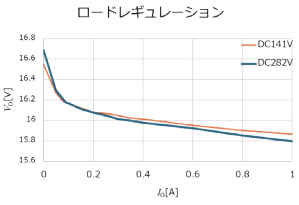

図 15　出力電圧特性

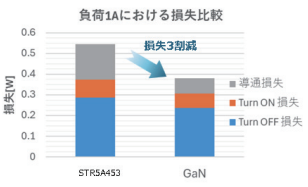

図 16　損失比較（Io=1A）図

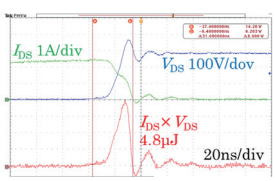

図 17　従来品 ターンオフ

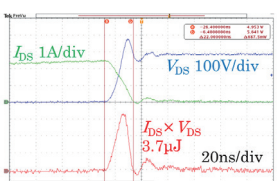

図 18　本開発品 ターンオフ

比較したデバイス特性を**表2**に示す。**図16**に示すように従来の電源IC STR5A453と損失比較をおこなった。本開発品は，約30％の損失低減を確認した。低オン抵抗化により導通損失の低減と，**図17，18**に示すターンオフ時のスイッチング損失の低減による効果が大きい。従来品はDIP8が必要な電力帯でも，本開発品は一回り小さいSOP8で実現ができ，電源の高密度実装に寄与する。

図19，20に雑音端子電圧の比較を示す。PSJGaNデバイスは高速スイッチングによりEMI増加が懸念されたが，ゲートドライブ回路の最適化により既存IC（STR5A453）と同等の雑音端子電圧を実現している。

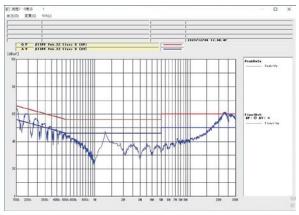

図 19　既存 IC STR5A453

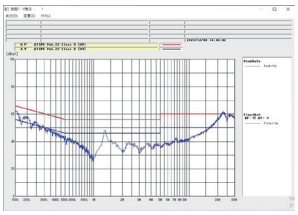

図 20　開発品 STR5M4G0

4.2 フライバック型スイッチング電源

PSJGaNの特徴であるデバイス耐圧1750Vを生かした，フライバック型電源の評価をおこなった。**図21～23**に電源評価回路図と波形を示す。PSJGaNの特長の高耐圧特性を確認するために入力電圧DC900［V］とし，出力電力24［V］/2［A］の条件にて**図23～25**にPSJGaNとSiCの損失比較をおこなった。デバイス特性の比較は**表3**に示す。

PSJGaNのターンオフ時のスイッチングロスは，SiCに比べて以下の特長がある。

・スイッチングスピードが速い

・容量小のため，ピーク損失が少ない

損失比較結果は，SiC：16［uJ］からPSJGaN：7［uJ］に半減以下となった。**図23**に示すとおり，全デバイス損失を比較すると，PSJGaNはSiCに対して同等以上の耐圧を確保しながら約20％低減できる。

表 3　評価比較デバイス

項目	SiC	PSJGaN
V_{DSS}［V］	1700	1750
$R_{DS(ON)}$［Ω］	1.15	0.95
C_{DS}［pF］	10	2.5

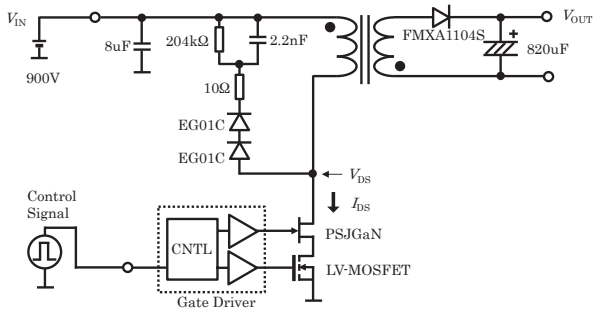

図 21　フライバック型スイッチング電源

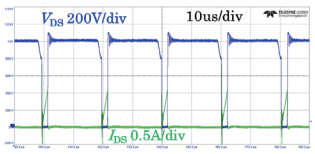

図 22　PSJGaN 動作波形

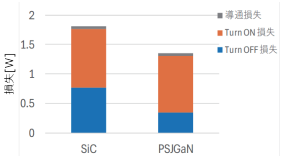

図 23　損失分析

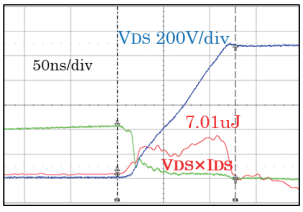

図 24　SiC ターンオフ（拡大）

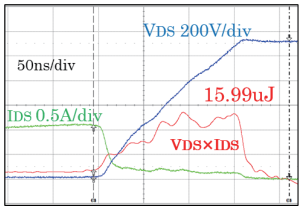

図 25　PSJGaN ターンオフ（拡大）

5. むすび

筆者は，過去にデバイスの世代交代を 3 回経験した。まず，民生向けスイッチング電源用パワーデバイスが，バイポーラトランジスタからプレーナー構造MOSFETに替わり，現在はスーパージャンクション構造が主流となった。さらに照明の光源と液晶TVのCCFLバックライトがLEDに替わり，電源システムが大きく変わった。

GaNデバイスが有する卓越した物性値を考えると，既存デバイスの代替にとどまらず，電力変換の新たな地平を切り拓くと確信する。これは 4 回目の世代交代と感じており，開発に携われることに大きな意義を感じる。

我々は，PSJGaNデバイスのさらなる低オン抵抗化や耐圧1700V級への展開，専用ICの開発を進めており，パワーデバイスの世代交代を進める所存である。

参考文献

(1) 伊藤，サンケン技報，Vol. 57，1-1 ～ 1-4（2025）
(2) A. Nakajima, Y. Sumida, M. H. Dhyani, H. Kawai, and E. M. S. Narayanan, IEEE Electron Device Lett. 32, 542 (2011).
(3) Y. Du, H. Yan, P. Luo, X. Tan, E. M. S. Narayanan, H. Kawai, S. Yagi, and H. Narui, IEEE Electron Devices, vol. 70, no. 1, Jan. (2023).