高速 SAM2-SiC に最適化した 4P/3P 切替ゲートドライブ技術

Optimally Designed 4P/3P-Switching Gate-Drive Technology for High-Speed SAM2-SiC

吉 江　　徹*　　横 井 魁 人**
Toru Yoshie　　Kaito Yokoi

概要　SiC MOSFETの高速駆動では，低損失化とサージ電圧および短絡電流の抑制を両立する必要がある。本稿では，SAM2-SiC IPMへの適用に向け，素子ソース直近を駆動基準とする4端子（4P）駆動と，主回路ソース配線のインダクタンスに生じる誘起電圧を負帰還として利用する3端子（3P）駆動を動作中に切り替えるゲート駆動方式を検討した。4P/3P切替タイミングおよびゲート抵抗を最適化することで，現行SAM2-SiCに対してスイッチング時間を約50nsから約20nsに短縮するとともに，ターンオフ時のサージ電圧を低減した。さらに，短絡時には3P駆動による負帰還により短絡電流を抑制し，短絡耐量時間を2倍以上へ延長した。また，ソース誘起電圧を用いた短絡検出とOCP信号の共有により，複数素子の同期遮断動作を確認した。

1．まえがき

SiC MOSFET は高速スイッチングが可能であり，電力変換器の低損失化および小型化に有効である。一方，スイッチングの高速化に伴ってdV/dtおよびdI/dtが増大すると，回路の寄生インダクタンスに起因するサージ電圧やリンギングが増加し，誤動作や素子への電気的ストレスが問題となる。

また，短絡時にはSiC MOSFETの電流が急速に増加するため，短絡電流を抑制しながら保護回路が遮断動作をおこなうための時間を確保する必要がある。ゲート抵抗を大きくすることでスイッチング速度や短絡電流の増加を抑えることはできるが，通常動作時のスイッチング損失が増加する。このため，高速スイッチングとサージ電圧・短絡電流の抑制を両立するゲート駆動技術が必要となる。

この課題に対して，SiC MOSFETのソース接続を4P接続と3P接続との間で動作中に切り替えるゲート駆動方式を開発した[(1)]。本方式では，通常のスイッチング時にはソースインダクタンスの影響を受けにくい4P接続を用いることで高速スイッチングを実現する。一方，サージ電圧や短絡電流の抑制が必要な期間には，ソースインダクタンスによる負帰還効果を利用できる3P接続へ切り替える。

本稿では，4P/3P切替駆動方式のSAM2-SiC IPMへの適用に関し，制御機能を検討した結果を報告する。まず，切替タイミング，4P/3Pの駆動時間およびゲート抵抗がターンオン・ターンオフ特性に及ぼす影響を示す。次に，短絡電流の抑制と安定した遮断動作について述べる。

2．SAM2-SiC IPMと4P/3P切替駆動方式

2.1　SAM2-SiC IPMの構成と機能

図1にSAM2-SiC IPMの外観を，また**図2**に内部回路ブロックおよび応用回路例を示す。SAM2-SiC IPMは，三相ブリッジを構成する6個のSiC MOSFETと，これらを駆動するドライブMIC（Monolithic integrated Circuit）

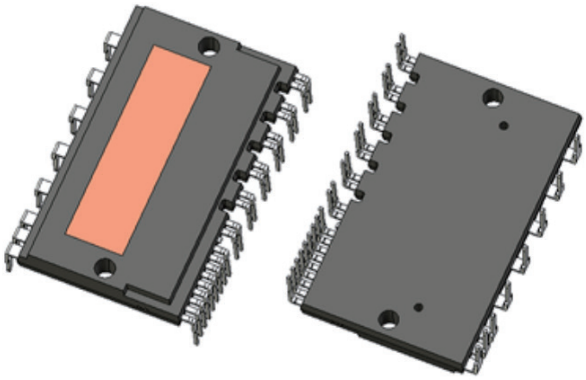

図1　1200V SAM2-SiC の外観（W52.5mm × L31mm × H5.6mm）

＊戦略事業本部開発統括部
＊＊技術開発本部ﾌﾟﾛｾｽ技術統括部

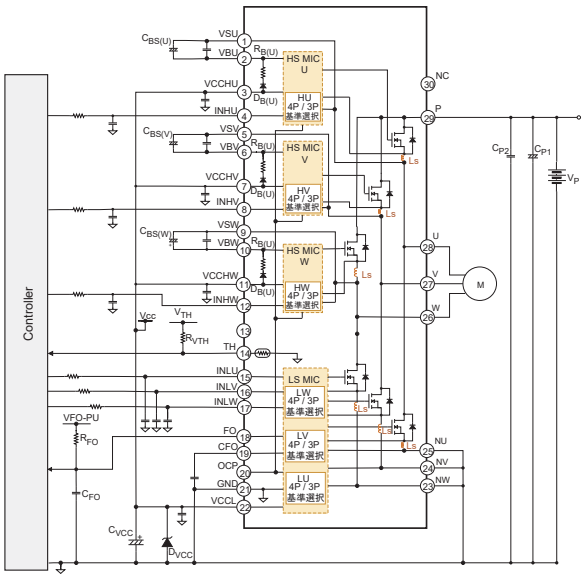

図２　1200V SAM2-SiC IPM の内部回路ブロックおよび応用回路例

を備える。現行のSAM2-SiCは，高速スイッチングに対応するため，ステップドライブおよびミラークランプ機能を備える。ステップドライブは，スイッチング期間中にゲート駆動抵抗を切り替え，スイッチング速度とサージ・ノイズの抑制を両立させる機能である。ミラークランプは，オフ期間のゲートーソース間を低インピーダンス化し，ブリッジ回路構成の対向素子のスイッチングに伴うゲート電圧の上昇を抑制する機能である。

表１に，現行SAM2-SiCの機能と，本稿で検討する4P/3P切替方式による拡張項目を示す。本方式では，各SiC MOSFETの主回路ソース配線に存在する寄生インダクタンスをゲート駆動の負帰還制御に利用すると共に、短絡発生の検出にも活用する。対象となるソースインダクタンスは，ハイサイドおよびローサイドの６素子それぞれに存在する。本4P/3P駆動により、スイッチング速度は約50nsから約20nsまで短縮された。短絡検出は６素子すべてのアームで検出され、同期遮断が可能である。

表１　1SAM2-SiC の現行と 4P/3P 切替駆動方式の機能・性能比較

項目	現行 SAM2	4P/3P 駆動
スイッチング速度	~50 ns	~20 ns
サージ抑制	ステップドライブ	4P/3P 切替
誤点弧防止	ミラークランプ	ミラークランプ
短絡検出	Low side 3 素子	Low & High side 6 素子
短絡電流抑制	機能なし	3P 駆動
同期遮断	機能なし	対応可

2.2　高速駆動における課題と4P/3P切替技術の利点

現行SAM2-SiCのステップドライブでは，入力信号を基準として，あらかじめ設定したタイミングでゲート抵抗を切り替える。しかし，ドライブMICの伝搬遅延や，SiC MOSFETのしきい値電圧およびゲート容量のばらつきにより，実際のスイッチング動作に対する切替タイミングが変動する。

スイッチング時間が短くなるほど，このタイミングのずれが電圧・電流の変化率やサージ電圧に及ぼす影響は大きくなる。そのため，現行のSAM2-SiCでは十分な動作マージンを確保するためにスイッチング速度を抑えており，SiC MOSFETの高速性能を十分に引き出せていない。

これに対し，4P/3P切替駆動では，主回路電流の変化によってソースインダクタンスに生じる誘起電圧をゲート駆動に帰還させる。この誘起電圧は主回路の電流変化を反映するため，素子特性や回路条件のばらつきに応じて電流変化を抑制する負帰還でゲート駆動することができる。本方式では，この作用を利用することで，動作マージンを確保しながら高速スイッチングを実現可能である。

2.3　4P/3P切替駆動の動作原理

図３に4P/3P切替のコンセプトを示す。本方式では，4P側と3P側のON/OFF駆動チャネルを独立に制御し，高速駆動が必要な期間と，電流変化の抑制が必要な期間に応じて駆動経路を切り替える。4P駆動による高速応答と，3P駆動によるソース誘起電圧の帰還を組み合わせることで，低損失化とサージ・ノイズの抑制との両立を図る。4P接続では，SiC MOSFETのソース直近からゲート駆動用の基準電位を独立して取り出す。このケルビンソース側をSS，主回路ソース側をSと表す。4P接続は，主回路ソース配線の寄生インダクタンスがゲート

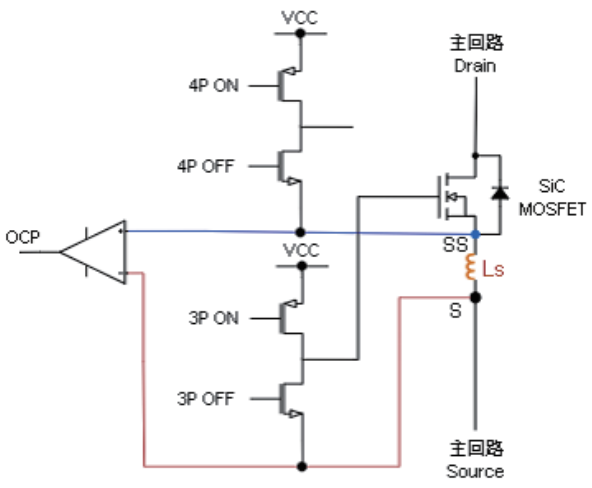

図３　4P/3P 切替の概略図

駆動に及ぼす影響を低減でき，小さいゲート抵抗を用いた高速駆動に適する。一方，3P接続では，ゲート駆動回路の基準を主回路ソース側のSに接続する。SからSSへ流れる電流を正とし，SSのSに対する電圧をV_{Ls}と定義すると，ソースインダクタンスL_sには，電流変化に応じて次の誘起電圧が生じる。

$$V_{L_s} = L_s \frac{dI_D}{dt} \qquad (1)$$

例えば，50Aの電流が20nsで変化する場合，4nHのソースインダクタンスには，大きさ10Vの誘起電圧が生じる。式(1)の極性定義では，電流増加時のV_{Ls}は負，電流減少時は正となる。この電圧は，駆動基準と素子ソースとの電位差として実効的なゲート–ソース間電圧に作用する。3P駆動では，電流増加時にゲート–ソース間電圧を低下させ，電流減少時にはその低下を緩和する負帰還が生じる。

3. 4P/3P切替によるスイッチング特性

3.1 ターンオン特性

図4にターンオン時のゲート駆動シーケンスを示す。まず，SS端子を基準とする4P側のソース出力を有効にし，ゲートを充電する。ゲート–ソース間電圧がしきい値電圧を超えるとドレイン電流が増加し，これに伴ってドレイン–ソース間電圧が低下する。この間に3P側の駆動経路を有効にすることで，ソースインダクタンスに生じる誘起電圧をゲート駆動へ帰還させ，電流の急増を抑制する。その後は，ゲート電圧を所定のオン電圧まで上昇させ，オン状態を保持する。

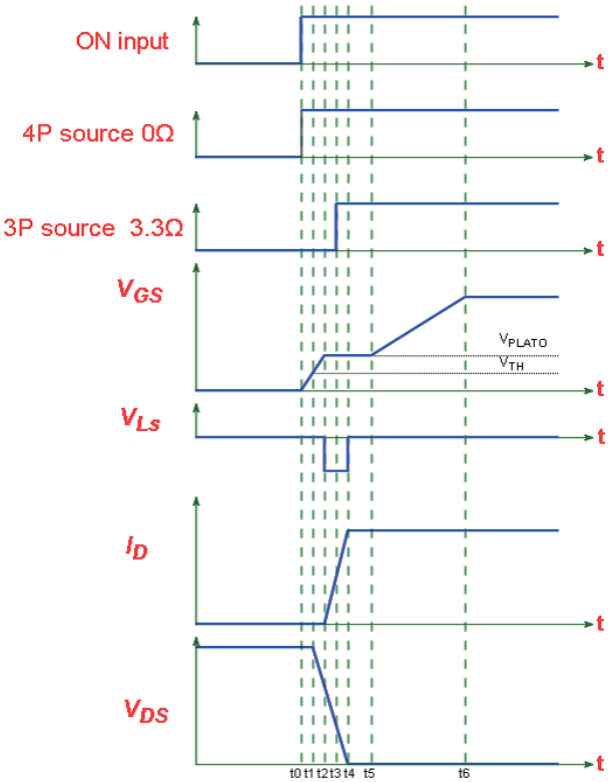

図4　高速ターンオン時の4P/3P切替シーケンス

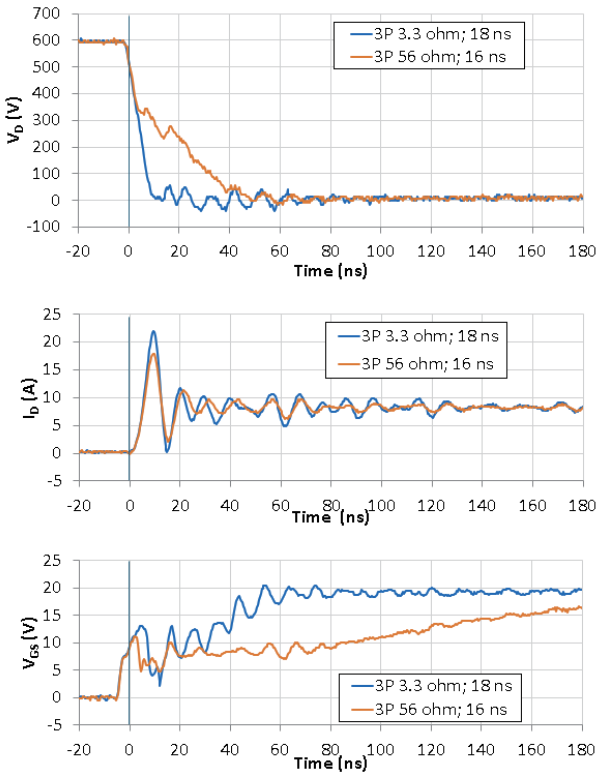

図5　高速ターンオン時の4P/3P切替条件依存性

図5に，4P/3P切替条件の異なるターンオン波形を示す。青線は4P駆動開始後18nsで3P側へ切り替えた条件で、3P側ゲート抵抗は3.3Ωである。一方，オレンジ線は4P駆動開始後16nsで3P側へ切り替え，3P側ゲート抵抗を56Ωとした条件である。

ドレイン電圧の90%–10%スイッチング時間は，青線で8ns，オレンジ線で37nsである。青線では高速な電圧降下が得られる一方，電流サージが大きい。オレンジ線ではスイッチング時間は長くなるものの，電流サージの低減効果は十分ではない。

ターンオン時の電流サージは，スイッチング素子の駆動条件だけでなく，負荷側のインダクタンスや容量などの回路条件にも依存する。このため，4P/3P切替タイミングおよびゲート抵抗は，適用する出力回路に応じて最適化する必要があり，今後の検討課題である。

3.2 ターンオフ特性

図6にターンオフ時のゲート駆動シーケンスを示す。ターンオフ指令が入力されると，4P側のシンク出力が

有効になり，ゲート電荷の放電とゲートーソース間電圧V_{GS}の低下が始まる。V_{GS}がミラープラトー電圧V_{PLATO}に達すると，ドレインーソース間電圧V_{DS}が上昇し始める。その後も4P側のシンク出力による放電が続き，ミラープラトー期間が終了してV_{GS}が再び低下し始めると，ドレイン電流I_Dも減少し始める。この電流変化により，ソースインダクタンスL_sに誘起電圧V_{Ls}が生じる。t4で3P側のシンク出力を有効にすると，誘起電圧による負帰還がV_{GS}の低下を緩和し，スイッチング終盤の急激なV_{DS}変動とサージ電圧を抑制する。t5でI_Dがゼロに達し，電流変化がなくなると誘起電圧もゼロとなり，ターンオフが完了する。

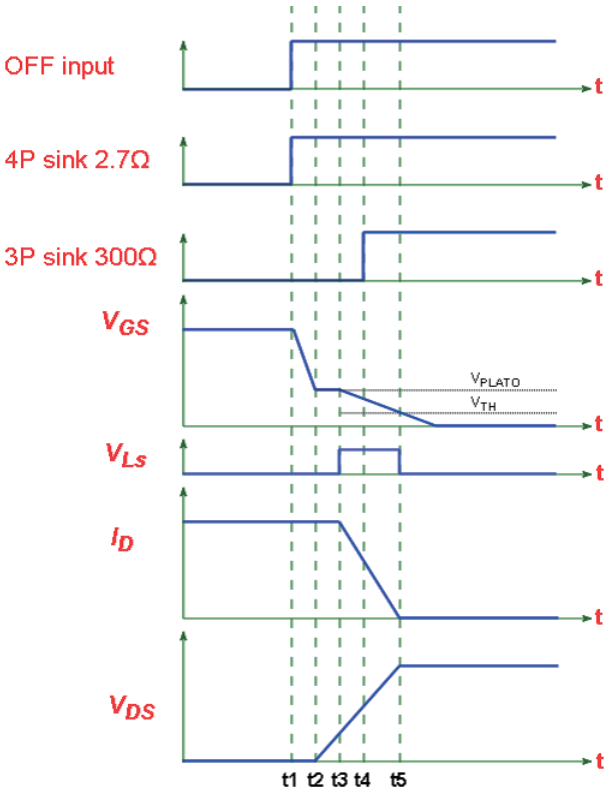

図6　高速ターンオフ時の4P/3P切替シーケンス

図7に，4P/3P切替条件の異なるターンオフ波形を示す。青線は4P駆動開始後30nsで3P側を駆動し，3P側ゲート抵抗を75Ωとした条件である。オレンジ線は28nsで3P側を駆動し，3P側ゲート抵抗を300Ωとした条件である。

ドレイン電圧の10%−90%スイッチング時間は，青線で12ns，オレンジ線で13nsであり，両条件で大きな差は見られない。一方，オレンジ線では3P駆動を2 ns早めるとともにゲート抵抗を大きくすることで，I_Dの減少速度の低下を最小限に抑えつつ，V_Dのサージ電圧を約120Vから約60Vへ低減した。

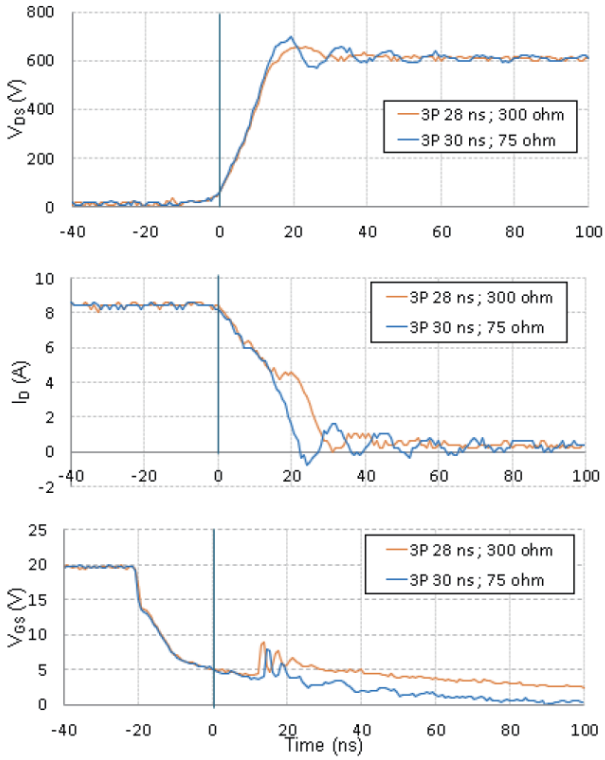

図7　高速ターンオフ時の4P/3P切替条件依存性

以上より，3P駆動による負帰還はサージ電圧の抑制に有効であるが，切替タイミングとゲート抵抗の組合せによって電流の減少過程やターンオフ損失も変化する。したがって，サージ電圧とターンオフ損失の両面から切替条件を最適化する必要がある。

4. 短絡保護動作

図8に，4P駆動と3P駆動の短絡波形を示す。3P駆動では，ソース誘起電圧の帰還効果により短絡電流が抑制され，短絡耐量時間が比較的長くなる。一方，4P駆動では短絡電流が急速に増加し，短絡耐量時間が短くなることが分かる。

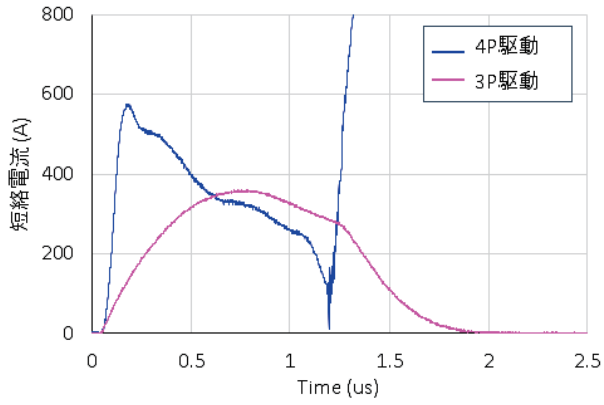

図8　4P駆動と3P駆動の短絡波形比較

図9に，スイッチング損失（スイッチング時間に対応）と短絡耐量時間の関係を示す。ピンク色の点は，ソース引き出し点を固定し，ソースインダクタンスを変化させた3P駆動の結果である。ソースインダクタンスが小さくなるほどスイッチング時間は短くなるが，同時に短絡耐量時間も短くなるため，高速化と短絡耐量との間にトレードオフが生じる。

一方，青色の点は4P/3P切替条件を最適化した結果であり，スイッチング時間を短縮しながら，短絡耐量時間を約1μsから約2μsへ2倍以上に延長している[(1)]。

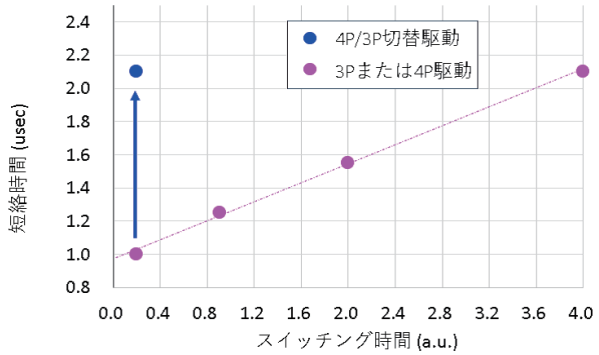

図9　SiC MOSFETのスイッチング特性と短絡時間[(1)]

4.1 短絡保護

図10に，短絡時の保護シーケンスを示す。ターンオン指令により4P側のソース出力を有効にすると，ゲート電圧が上昇し，しきい値を超えた後に短絡電流が増加する。この電流変化に伴ってソースインダクタンスに誘起電圧V_{Ls}が生じ，3P経路を介した負帰還によりゲート電圧の上昇が抑制される。

図3に示したように，SS-S端子間に生じるV_{Ls}をオペアンプで検出し，その状態が50ns継続した場合に短絡と判定する。さらに50ns後，3P側ゲート抵抗を3.3Ωから1MΩへ切り替える。

短絡電流が増加している期間（t2～t5）では，V_{Ls}に負の電圧が生じ，3P接続によってゲート電圧V_{GS}を抑制できる。しかし，t5で短絡電流が飽和するとdI_D/dtが小さくなり，V_{Ls}もほぼ0Vとなる。このため，V_{GS}に対する負帰還効果が弱まり，ゲート電圧が再上昇して短絡電流が増加する。そこで，低抵抗の3P駆動をオフし，1MΩの高インピーダンス経路へ切り替えることで，遮断までゲート電圧および短絡電流の上昇を抑制する。

図11に，本短絡保護シーケンスによる短絡保護結果を示す。4P駆動により短絡電流が流れ始めるが，**図10**に示したように，t2付近で3P駆動が有効となり，短絡電流の抑制が始まる。**図11**では，20ns付近でV_{GS}が一時的に約－5Vまで低下しており，このタイミングが3P駆動への切替に対応する。

V_{Ls}は80ns付近まで約－30Vから2Vの範囲で振動しており，この誘起電圧による負帰還がV_{GS}の上昇を抑制している。これにより，**図8**に示すように，4P駆動では

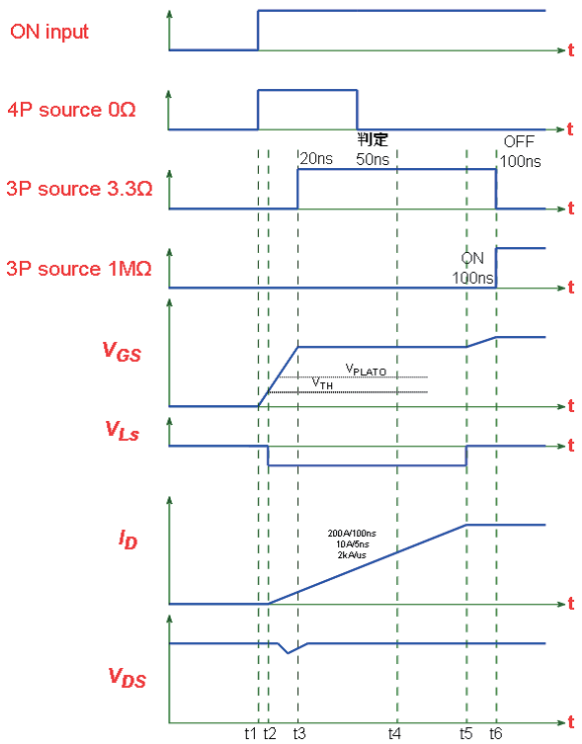

図10　SiC MOSFETの短絡時の保護シーケンス

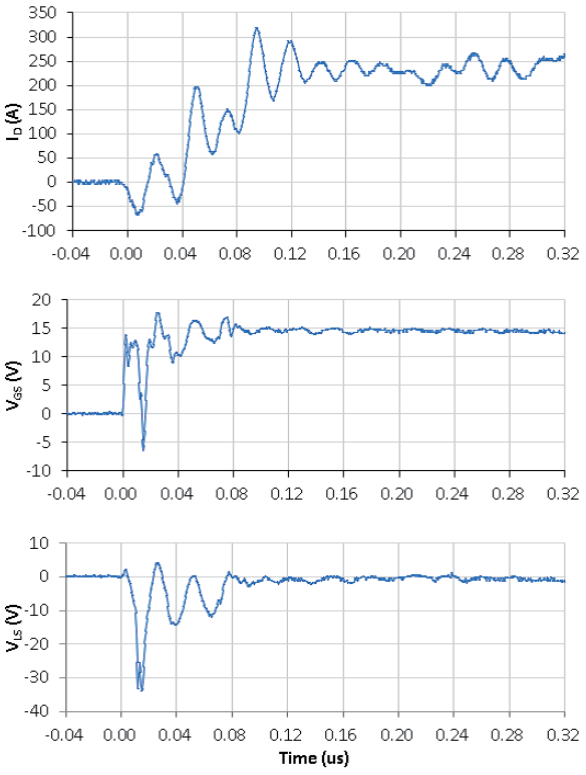

図11　SiC MOSFETの短絡時の波形

約600Aに達する短絡電流を50%以上抑制し，約220Aに低減している。この短絡電流抑制効果により，短絡耐量時間を約1μsから約2μs以上へ延長できることを確認した。また，スイッチング損失は4P単体駆動と同等である。

4.2 同期遮断

今回，SAM2-SiC用に設計したMICでは，SS-S端子間に生じるV_{Ls}を利用して，すべての素子で短絡を検出できる。さらに，短絡検出信号OCPを共有し，SAM2-SiC内のすべての素子を同期遮断する機能を新たに設計した。

図12に，同期遮断の制御シーケンスを示す。短絡検出後は電流抑制状態を保持し，共通の遮断指令OCPにより各素子のゲート電荷を放電する構成である。外部短絡が発生した状態で，t1に素子が通常のオン動作を開始すると，t2でV_{Ls}に負電圧が生じ，OCP回路の短絡検出タイマーが動作を開始する。通常のオン動作では約20nsで3P駆動へ切り替わり，ゲート電圧の抑制が始まる。

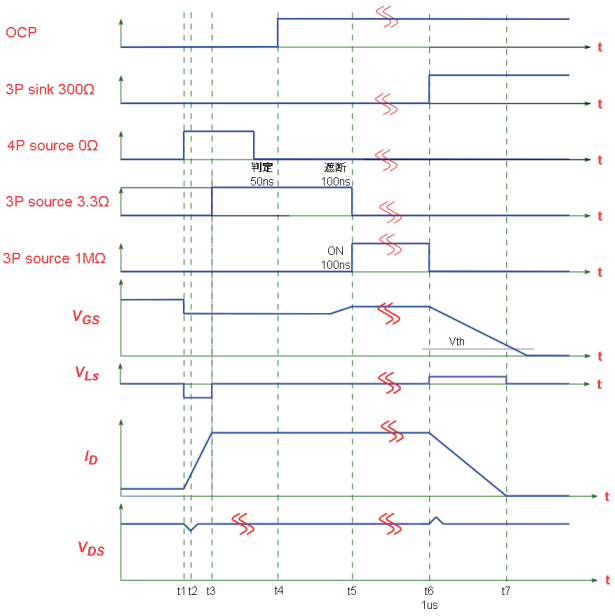

図12　SiC MOSFETの同期遮断シーケンス

OCP回路で負電圧を50ns継続して検出すると短絡と判定し，OCP信号を立ち上げる。これにより，IPM内の全素子で電流抑制および同期遮断のシーケンスが開始される。短絡発生から1μs後のt6で同期遮断を開始するため，3P側ソース出力をオフし，3P側シンク出力によりゲート電荷の引き抜きを開始する。その結果，V_{GS}が低下し，短絡電流の同期遮断がおこなわれる。

図13に，短絡時の同期遮断結果を示す。本実験では，並列接続時の電流バランスも確認するため，2並列素子を用いて電流遮断を評価した。短絡時のV_{DS}は1000Vで

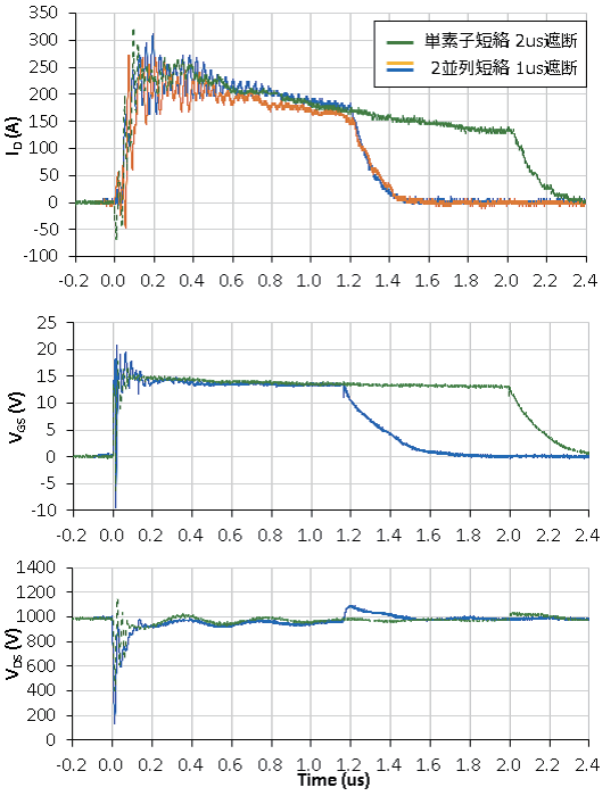

図13　SiC MOSFETの同期遮断波形

ある。また，比較用として，2μsで単体素子を短絡遮断したデータを重ねている。

図12のシーケンスに示すように，短絡検出後，1μsで遮断をおこなっている。2素子の短絡電流はほぼ同一の波形で遮断されており，遮断時のサージ電圧は約1100Vである。このように，4P/3P駆動とVLsによる短絡検出を組み合わせることで，すべての素子を安定して同期遮断できることを確認した。

5. むすび

本稿では，4P/3P切替駆動方式のSAM2-SiC IPMへの適用に向け，駆動条件と保護制御を検討した。通常スイッチングでは，4P接続による高速駆動と3P接続による電流変化の負帰還を組み合わせ，切替タイミング，ゲート抵抗および駆動時間が電圧・電流波形に及ぼす影響を示した。ターンオンでは，高速スイッチングと電流サージ抑制との両立に向けて，適用回路に応じた条件最適化が必要であることを示した。ターンオフでは，スイッチング速度をほぼ維持しながらサージ電圧を低減できることを確認した。

短絡時には，3P駆動による負帰還を利用してゲート電圧の上昇を抑制することで，短絡電流を低減し，短絡耐量時間を延長できることを確認した。さらに，V_{Ls}を

用いた短絡検出と共通OCP信号による同期遮断機能を設け，並列2素子において安定した遮断動作を確認した。

この成果の一部は，国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の委託事業（JPNP14004）により得られたものである。

参考文献

（1）横井，町田：サンケン技報，Vol.57，pp.5-1–5-5，（2025.11）