データシート

ミックスドシグナル MCU
MD6603

MD6603-DSJ Rev.1.5
2022.06.08
© SANKEN ELECTRIC CO., LTD. 2017
サンケン電気株式会社
https://www.sanken-ele.co.jp

目次

目次 C-1

1. 製品概要 1-1

2. ブロック図 2-1

3. 各端子機能 3-1
   3.1. 端子機能 3-1

4. システムコントローラ（SYSC） 4-1
   4.1. 概要 4-1
   4.2. クロックシステム 4-2
      4.2.1. クロック源 4-2
      4.2.2. PLL クロック 4-3
      4.2.3. 分配クロック 4-3
      4.2.4. モジュールクロック 4-4
      4.2.5. クロック設定手順 4-5
   4.3. 低消費電力モード 4-6
      4.3.1. スリープモード 4-6
      4.3.2. スタンバイモード 4-7
      4.3.3. スリープ／スタンバイモード遷移時の NOP 命令挿入 4-8
   4.4. リセット回路 4-9
   4.5. 低電圧検出（LVD） 4-10
   4.6. アナログインフラ制御 4-11
   4.7. レジスタ説明 4-12
      4.7.1. CLKCFG0 (Clock Configuration0 Register) 4-13
      4.7.2. CLKCFG1 (Clock Configuration1 Register) 4-14
      4.7.3. PLLCFG (PLL Configuration Register) 4-15
      4.7.4. MCLKE0 (Module Clock Enable0 Register) 4-15
      4.7.5. MCLKE1 (Module Clock Enable1 Register) 4-16
      4.7.6. MCLKE2 (Module Clock Enable2 Register) 4-16
      4.7.7. MCLKE3 (Module Clock Enable3 Register) 4-17
      4.7.8. MCLKE4 (Module Clock Enable4 Register) 4-17
      4.7.9. MCLKE5 (Module Clock Enable5 Register) 4-18
      4.7.10. MCLKE6 (Module Clock Enable6 Register) 4-18
      4.7.11. PWMENBL (PWM Clock Enable Control Register) 4-19
      4.7.12. PWMCSC0 (PWM Clock Source Control0 Register) 4-19
      4.7.13. LVDCTRL (Low Voltage Detector Control Register) 4-20
      4.7.14. REFCTRL (Reference Control Register) 4-21
      4.7.15. RESCTRL (Resistor Control Register) 4-21
      4.7.16. LPCTRL (Low Power Control Register) 4-22
      4.7.17. CSBYCR (CMP Standby Control Register) 4-23
      4.7.18. DEVER (Device Version and Revision Register) 4-23
      4.7.19. REMAP (Remap Control Register) 4-24
      4.7.20. BUSBUFCR (BUS Buffer Control Register) 4-24
      4.7.21. LINECTRL (DBG Line Control Register) 4-25
      4.7.22. TMR2INCR (TMR2 Input Control Register) 4-25
   4.8. 注意、制限事項 4-26

5. 8051 CPU 5-1
   5.1. 概要 5-1
   5.2. CPU 周辺システムの構成 5-2
   5.3. メモリマップ 5-3
   5.4. 命令コードマップ 5-5
      5.4.1. CPU 命令に関する注意 5-5
      5.4.2. 命令ごとの実行サイクル数 5-6
   5.5. バス構成 5-7
   5.6. バスの動作説明 5-8
      5.6.1. システムバス 5-8

© SANKEN ELECTRIC CO., LTD. 2017

5.6.2. バスマスタ ---------- 5-9
5.6.3. 調停回路 ---------- 5-10
5.6.4. 16 ビットアクセスバッファ ---------- 5-11
5.7. 注意、制限事項 ---------- 5-12
5.7.1. XDATA BUS バッファに関する制限事項 ---------- 5-12
5.7.2. 16 ビットレジスタライトと割込みの競合 ---------- 5-12
5.7.3. RAM1 領域へのアクセス ---------- 5-12
5.7.4. XDATA 空間へのアクセス ---------- 5-12
5.7.5. XDATA 空間の周辺レジスタへの MOVX 命令 ---------- 5-12
5.7.6. CPU が UART レジスタにアクセスしている際の EPU 動作 ---------- 5-12
5.7.7. XDATA 空間への CPU と EPU の同時アクセス ---------- 5-14

6. レジスタマッピング ---------- 6-1
6.1. XDATA BUS 上の周辺アドレス ---------- 6-1
6.2. SFR BUS 上の周辺アドレス ---------- 6-3
6.3. SPRn (Scratch Pad Register n) (n = 0 to 7) ---------- 6-5

7. GPIO ---------- 7-1
7.1. GPIO 構造 ---------- 7-1
7.2. レジスタ説明 ---------- 7-3
7.2.1. PFS0 (Pin Function Select for GPIO0) ---------- 7-5
7.2.2. PFSH0 (Pin Function Select High for GPIO0) ---------- 7-5
7.2.3. PFS1 (Pin Function Select for GPIO1) ---------- 7-6
7.2.4. PFSE1 (Pin Function Extend Select for GPIO1) ---------- 7-7
7.2.5. PFS2 (Pin Function Select for GPIO2) ---------- 7-7
7.2.6. PFSE2 (Pin Function Extend Select for GPIO2) ---------- 7-8
7.2.7. PDD0 (Pin Data Direction for GPIO0) ---------- 7-8
7.2.8. PDD1 (Pin Data Direction for GPIO1) ---------- 7-9
7.2.9. PDD2 (Pin Data Direction for GPIO2) ---------- 7-9
7.2.10. PDR0 (Pin Data for GPIO0) ---------- 7-10
7.2.11. PDR1 (Pin Data for GPIO1) ---------- 7-11
7.2.12. PDR2 (Pin Data for GPIO2) ---------- 7-12
7.2.13. PPU0 (Pin Pull Up Control for GPIO0) ---------- 7-13
7.2.14. PPU2 (Pin Pull Up Control for GPIO2) ---------- 7-13
7.2.15. PPD1 (Pin Pull Down Control for GPIO1) ---------- 7-13
7.2.16. PIE0 (Pin Interrupt Enable for GPIO0) ---------- 7-14
7.2.17. PIE1 (Pin Interrupt Enable for GPIO1) ---------- 7-14
7.2.18. PIE2 (Pin Interrupt Enable for GPIO2) ---------- 7-15
7.2.19. PIF0 (Pin Interrupt Flag for GPIO0) ---------- 7-15
7.2.20. PIF1 (Pin Interrupt Flag for GPIO1) ---------- 7-16
7.2.21. PIF2 (Pin Interrupt Flag for GPIO2) ---------- 7-16
7.2.22. PIS0 (Pin Interrupt Sense for GPIO0) ---------- 7-17
7.2.23. PIS1 (Pin Interrupt Sense for GPIO1) ---------- 7-17
7.2.24. PIS2 (Pin Interrupt Sense for GPIO2) ---------- 7-18
7.2.25. PIL0 (Pin Interrupt Level for GPIO0) ---------- 7-18
7.2.26. PIL1 (Pin Interrupt Level for GPIO1) ---------- 7-19
7.2.27. PIL2 (Pin Interrupt Level for GPIO2) ---------- 7-19
7.2.28. PIB0 (Pin Interrupt Both Edge for GPIO0) ---------- 7-20
7.2.29. PIB1 (Pin Interrupt Both Edge for GPIO1) ---------- 7-20
7.2.30. PIB2 (Pin Interrupt Both Edge for GPIO2) ---------- 7-21
7.2.31. PEADC0 (ADC Event Select from GPIO0) ---------- 7-21
7.2.32. PEADC1 (ADC Event Select from GPIO1) ---------- 7-22
7.2.33. PEADC2 (ADC Event Select from GPIO2) ---------- 7-22
7.2.34. PEPWM0 (PWM Event Select from GPIO0) ---------- 7-23
7.2.35. PEPWM1 (PWM Event Select from GPIO1) ---------- 7-23
7.2.36. PEPWM2 (PWM Event Select from GPIO2) ---------- 7-24
7.2.37. PELUT0 (LUT Event Select from GPIO0) ---------- 7-24
7.2.38. PELUT1 (LUT Event Select from GPIO1) ---------- 7-25
7.2.39. PELUT2 (LUT Event Select from GPIO2) ---------- 7-25
7.2.40. PEMETHOD (PWM and ADC Event Gathering Method) ---------- 7-26
7.2.41. LEMETHOD (CMPLUT Event Gathering Method) ---------- 7-26
7.2.42. SIS (Serial Input Select) ---------- 7-27
7.2.43. I2CIS (I^2C Input Select) ---------- 7-27
7.2.44. TMRIS (TMR Input/Output Select) ---------- 7-28

© SANKEN ELECTRIC CO., LTD. 2017

7.2.45. CLKIS (Clock Input Select) ---------- 7-28
7.3. 注意、制限事項 ---------- 7-29
7.3.1. PDRx レジスタへの書込み後に、PDRx レジスタの読出しをする場合 ---------- 7-29
7.3.2. GPIO14、GPIO15、GPIO16、GPIO17、GPIO21 の端子機能設定 ---------- 7-29
7.3.3. GPIO10～GPIO17 端子の POC 動作について ---------- 7-29

8. イベント接続 ---------- 8-1

9. イベントコントローラ（EVC） ---------- 9-1
9.1. 概要 ---------- 9-1
9.2. 動作 ---------- 9-2
9.2.1. 割込み生成 ---------- 9-2
9.2.2. イベント選択 ---------- 9-2
9.2.3. イベント統合 ---------- 9-5
9.2.4. GPIO イベントエッジ検出 ---------- 9-5
9.3. レジスタ説明 ---------- 9-6
9.3.1. EVINTE0 (EVC Interrupt Enable0) ---------- 9-7
9.3.2. EVINTF0 (EVC Interrupt Flag0) ---------- 9-8
9.3.3. EVMGAC0 (EVC Event Merge A Configuration0) ---------- 9-10
9.3.4. EVMGAC1 (EVC Event Merge A Configuration1) ---------- 9-11
9.3.5. EVMGBC0 (EVC Event Merge B Configuration0) ---------- 9-12
9.3.6. EVMGBC1 (EVC Event Merge B Configuration1) ---------- 9-13
9.3.7. EVMGCC0 (EVC Event Merge C Configuration0) ---------- 9-14
9.3.8. EVMGCC1 (EVC Event Merge C Configuration1) ---------- 9-15
9.3.9. EVMGDC0 (EVC Event Merge D Configuration0) ---------- 9-16
9.3.10. EVMGDC1 (EVC Event Merge D Configuration1) ---------- 9-17
9.3.11. EVSEL0 (EVC Select0) ---------- 9-18
9.3.12. EVSEL1 (EVC Select1) ---------- 9-19
9.3.13. EVSEL2 (EVC Select2) ---------- 9-20
9.3.14. EVSEL3 (EVC Select3) ---------- 9-21
9.3.15. EVSEL4 (EVC Select4) ---------- 9-22
9.3.16. EVSEL5 (EVC Select5) ---------- 9-23
9.3.17. EVSEL6 (EVC Select6) ---------- 9-24
9.3.18. EVSEL7 (EVC Select7) ---------- 9-25
9.3.19. EVSEL8 (EVC Select8) ---------- 9-26
9.3.20. EVSEL9 (EVC Select9) ---------- 9-27
9.3.21. EVSEL10 (EVC Select10) ---------- 9-27
9.3.22. EVSEL11 (EVC Select11) ---------- 9-28

10. イベントプロセッシングユニット（EPU） ---------- 10-1
10.1. 概要 ---------- 10-1
10.2. ブロック図 ---------- 10-3
10.3. 共通のリソース ---------- 10-3
10.4. 各スレッドのリソース ---------- 10-4
10.5. 命令 ---------- 10-5
10.5.1. 命令フォーマット ---------- 10-5
10.5.2. 命令セット ---------- 10-6
10.6. 動作 ---------- 10-10
10.6.1. プログラムの配置 ---------- 10-10
10.6.2. スレッドリソースの設定 ---------- 10-10
10.6.3. スレッドの起動、停止 ---------- 10-10
10.6.4. スレッド選択（コンテキストスイッチ） ---------- 10-10
10.6.5. イベント入力 ---------- 10-11
10.6.6. イベント出力 ---------- 10-12
10.6.7. バスアクセス ---------- 10-13
10.6.8. MBUS アクセス ---------- 10-13
10.6.9. XBUS アクセス ---------- 10-13
10.6.10. SBUS アクセス ---------- 10-13
10.6.11. XBUS スレーブレジスタアクセス ---------- 10-13
10.6.12. 各命令のパイプライン動作 ---------- 10-14
10.6.13. 各命令の実行時間 ---------- 10-15

© SANKEN ELECTRIC CO., LTD. 2017

10.7. レジスタ説明 ---------- 10-16
10.7.1. EPMCR (EPU Master Control Register) ---------- 10-17
10.7.2. EPCTRLn (EPU Control Register for Thread n) (n = 0 to 5) ---------- 10-18
10.7.3. EPSTSn (EPU Status Register for Thread n) (n = 0 to 5) ---------- 10-19
10.7.4. EPR0Ln (EPU R0 Register Lower Side for Thread n) (n = 0 to 5) ---------- 10-20
10.7.5. EPR0Hn (EPU R0 Register Higher Side for Thread n) (n = 0 to 5) ---------- 10-20
10.7.6. EPR1Ln (EPU R1 Register Lower Side for Thread n) (n = 0 to 5) ---------- 10-21
10.7.7. EPR1Hn (EPU R1 Register Higher Side for Thread n) (n = 0 to 5) ---------- 10-21
10.7.8. EPPCLn (EPU Program Counter Register Lower Side for Thread n) (n = 0 to 5) ---------- 10-22
10.7.9. EPPCHn (EPU Program Counter Register Higher Side for Thread n) (n = 0 to 5) ---------- 10-22
10.7.10. EPTIMELn (EPU Timer Counter Register Lower Side for Thread n) (n = 0 to 5) ---------- 10-23
10.7.11. EPTIMEHn (EPU Timer Counter Register Higher Side for Thread n) (n = 0 to 5) ---------- 10-23
10.7.12. EPEICLn (EPU Event Input Control Register Lower Side for Thread n) (n = 0 to 5) ---------- 10-24
10.7.13. EPEICHn (EPU Event Input Control Register Higher Side for Thread n) (n = 0 to 5) ---------- 10-24
10.7.14. EPEISLn (EPU Event Input Status Register Lower Side for Thread n) (n = 0 to 5) ---------- 10-25
10.7.15. EPEISHn (EPU Event Input Status Register Higher Side for Thread n) (n = 0 to 5) ---------- 10-25
10.7.16. EPPSPn (EPU Prescaler Period Register for Thread n) (n = 0 to 5) ---------- 10-26
10.7.17. EPEISCn (EPU Event Input Status Control Register for Thread n) (n = 0 to 5) ---------- 10-27
10.8. 注意、制限事項 ---------- 10-27

11. 割込みコントローラ（INTC） ---------- 11-1
11.1. 概要 ---------- 11-1
11.2. 割込みベクタ ---------- 11-2
11.3. レジスタ説明 ---------- 11-3
11.3.1. INTMST (Interrupt Master Control Register) ---------- 11-4
11.3.2. INTENAn (Interrupt Enable n Register) (n = 0 to 3) ---------- 11-4
11.3.3. INTLVLn (Interrupt Level n Register) (n = 0 to 3) ---------- 11-5
11.3.4. INTCFGn (Interrupt Configuration n Register) (n = 0 to 3) ---------- 11-5
11.3.5. INTFLGn (Interrupt Flag n Register) (n = 0 to 3) ---------- 11-6
11.4. 動作説明 ---------- 11-7
11.4.1. 初期設定 ---------- 11-7
11.4.2. 割込みフラグ ---------- 11-7
11.4.3. 割込み優先度 ---------- 11-8
11.4.4. 外部端子（GPIO）割込み ---------- 11-9

12. ダイレクト SFR アクセスコントローラ（DSAC） ---------- 12-1
12.1. 概要 ---------- 12-1
12.2. イベント ---------- 12-3
12.3. レジスタ説明 ---------- 12-4
12.3.1. DSACNTAn (DSA Control A Channel n) (n = 0 to 15) ---------- 12-6
12.3.2. DSACNTBn (DSA Control B Channel n) (n = 0 to 15) ---------- 12-7
12.3.3. DSASRCn (DSA Source Address Channel n) (n = 0 to 15) ---------- 12-8
12.3.4. DSADSTn (DSA Destination Address Channel n) (n = 0 to 15) ---------- 12-9
12.3.5. DSATRGm (DSA Trigger m Channel0 to Channel7) (m = 0 to 1) ---------- 12-10
12.3.6. DSATRGm (DSA Trigger m Channel8 to Channel15) (m = 0 to 1) ---------- 12-11
12.4. 動作 ---------- 12-13
12.5. 初期設定シーケンス ---------- 12-16
12.6. 注意、制限事項 ---------- 12-16
12.6.1. チャネルの無効化 ---------- 12-16
12.6.2. DSAC 転送データサイズが 8 ビットのときの制限事項 ---------- 12-16

13. フラッシュメモリコントローラ（FLC） ---------- 13-1
13.1. 概要 ---------- 13-1
13.2. レジスタ説明 ---------- 13-3
13.2.1. FMTIME (Flash Memory Control Time Register) ---------- 13-3
13.2.2. FMPAGE (Flash Memory Page Address Register) ---------- 13-4
13.2.3. FMROW (Flash Memory Row Address Register) ---------- 13-4
13.2.4. FMCOL (Flash Memory Column Address Register) ---------- 13-5
13.2.5. FMCTRL (Flash Memory Control Register) ---------- 13-5
13.2.6. FMEXE (Flash Memory Program Execution Register) ---------- 13-6
13.2.7. FMRPDn (Flash Memory Row Program Data n Register) (n = 0 to 3) ---------- 13-7
13.2.8. FMRMOD (Flash Memory Read Mode Register) ---------- 13-7
13.2.9. FMPCR (Flash Memory Program Control Register) ---------- 13-8

© SANKEN ELECTRIC CO., LTD. 2017

13.3. フラッシュメモリ ---------- 13-9
13.4. 動作 ---------- 13-10
13.4.1. 命令フェッチ ---------- 13-10
13.4.2. フラッシュメモリ動作モード ---------- 13-11
13.5. プロテクトレベル制御 ---------- 13-20
13.6. ランタイムフラッシュメモリ動作 ---------- 13-21
13.7. 注意、制限事項 ---------- 13-23
13.7.1. 低消費電力モードへの遷移 ---------- 13-23
13.7.2. ロウプログラム時間 ---------- 13-23
13.7.3. 再プロテクト直後のイレース／プログラム（ライト）実行時の注意事項 ---------- 13-23

14. TinyDSP ---------- 14-1
14.1. 概要 ---------- 14-1
14.2. ブロック図 ---------- 14-2
14.3. リソース ---------- 14-3
14.4. TinyDSP 命令 ---------- 14-4
14.4.1. TinyDSP 命令フォーマット ---------- 14-4
14.4.2. 命令セット ---------- 14-5
14.5. 操作 ---------- 14-7
14.6. 16 ビットレジスタアクセス ---------- 14-8
14.7. イベント出力 ---------- 14-10
14.8. プログラム／データメモリ ---------- 14-10
14.9. 係数の保持機能 ---------- 14-11
14.9.1. CVR 機能 ---------- 14-11
14.9.2. LDR 機能 ---------- 14-11
14.9.3. CVR 機能と LDR 機能の優先度 ---------- 14-11
14.10. アプリケーション例 ---------- 14-13
14.11. レジスタ説明 ---------- 14-15
14.11.1. DSPnCTRL (TinyDSP n Control Register) (n = 0 to 1) ---------- 14-21
14.11.2. DSPnEXEC (TinyDSP n Execution Register) (n = 0 to 1) ---------- 14-22
14.11.3. DSPnDBG (TinyDSP n Debug Register) (n = 0 to 1) ---------- 14-22
14.11.4. DSPn_Rx_L (TinyDSP n Rx LSB Side) (n = 0 to 1, x = 0 to 7) ---------- 14-23
14.11.5. DSPn_Rx_H (TinyDSP n Rx MSB Side) (n = 0 to 1, x = 0 to 7) ---------- 14-24
14.11.6. DSPn_Rx_L (TinyDSP n Rx LSB Side) (n = 0 to 1, x = 8 to 15) ---------- 14-25
14.11.7. DSPn_Rx_H (TinyDSP n Rx MSB Side) (n = 0 to 1, x = 8 to 15) ---------- 14-26
14.11.8. DSPn_ACC_x (TinyDSP n ACC) (n = 0 to 1, x = 0 to 4) ---------- 14-27
14.11.9. DSPn_PRG_DATL/H (TinyDSP n Program Memory LSB/MSB Side) (n = 0 to 1) ---------- 14-27
14.11.10. DSPn_PRG_ADR (TinyDSP n Program/Data Memory Address) (n = 0 to 1) ---------- 14-28
14.11.11. DSPnTRG (TinyDSP n Execution Trigger Status) (n = 0 to 1) ---------- 14-28
14.11.12. DSPnRST (TinyDSP n Access Counter Clear Register) (n = 0 to 1) ---------- 14-29
14.11.13. DSPnCTRL2 (TinyDSP n Control2 Register) (n = 0 to 1) ---------- 14-30
14.11.14. DSPnCNSTEN (TinyDSP n CVR Enable Register) (n = 0 to 1) ---------- 14-31
14.11.15. DSPn_Cx_L (TinyDSP n Cx LSB Side) (n = 0 to 1, x = 0 to 7) ---------- 14-32
14.11.16. DSPn_Cx_H (TinyDSP n C x MSB Side) (n = 0 to 1, x = 0 to 7) ---------- 14-33
14.11.17. DSPnLDA (TinyDSP n LDR Load Address) (n = 0 to 1) ---------- 14-34
14.11.18. DSPnMAXxL (TinyDSP n MAX x LSB Side) (n = 0 to 1, x = 0 to 2) ---------- 14-34
14.11.19. DSPnMAXxH (TinyDSP n MAX x MSB Side) (n = 0 to 1, x = 0 to 2) ---------- 14-35
14.11.20. DSPnMINxL (TinyDSP n MIN x LSB Side) (n = 0 to 1, x = 0 to 2) ---------- 14-35
14.11.21. DSPnMINxH (TinyDSP n MIN x MSB Side) (n = 0 to 1, x = 0 to 2) ---------- 14-36
14.12. 注意、制限事項 ---------- 14-36
14.12.1. DIV 命令でアサートされる DSP_SS ---------- 14-36
14.12.2. DIV 命令実行時の引数書換えの禁止 ---------- 14-36
14.12.3. MMX 命令の設定 ---------- 14-36

15. 高分解能 PWM ---------- 15-1
15.1. 概要 ---------- 15-1
15.2. ブロック図 ---------- 15-2
15.3. リソース ---------- 15-3
15.4. 動作 ---------- 15-4
15.4.1. ダイレクトモードとバッファモード ---------- 15-5
15.4.2. PWM モード 0 ---------- 15-6

© SANKEN ELECTRIC CO., LTD. 2017

15.4.3. PWM モード 1（オートデッドタイム） ---------- 15-7
15.5. 競合または出力制御条件 ---------- 15-10
15.6. 動作タイミング ---------- 15-11
15.6.1. コンペアマッチタイミング ---------- 15-11
15.6.2. アップモードにおける CNT クリアタイミング ---------- 15-12
15.6.3. アップダウンモードにおけるアップダウンカウンタのカウントアップからカウントダウンへの変更 15-13
15.6.4. アップダウンモードにおけるアップダウンカウンタのカウントダウンからカウントアップへの変更 15-14
15.7. リトリガ動作 ---------- 15-15
15.7.1. リトリガイベント ---------- 15-15
15.7.2. リトリガモード A の動作 ---------- 15-18
15.7.3. リトリガモード B の動作 ---------- 15-19
15.7.4. リトリガモード C の動作 ---------- 15-20
15.7.5. リトリガモード C 動作開始時のバッファ更新 ---------- 15-20
15.7.6. リトリガモード D の動作 ---------- 15-21
15.7.7. リトリガマスク動作 ---------- 15-22
15.7.8. マスク解除時のエッジイベントとレベルイベントの解釈 ---------- 15-22
15.7.9. リトリガ動作で出力波形を変更する方法 ---------- 15-23
15.8. イベント出力 ---------- 15-23
15.9. 割込み出力 ---------- 15-24
15.10. リトリガ動作時のイベント、割込み出力 ---------- 15-24
15.11. レジスタアクセス ---------- 15-24
15.12. レジスタ説明 ---------- 15-26
15.12.1. PWMCNTS (PWM Counter Start) ---------- 15-28
15.12.2. PWMnEVO0/1/T (PWM Event0/1 Output/ to Timer for Block n) (n = 0 to 3) ---------- 15-29
15.12.3. PWMnINTS0/1 (PWM Interrupt0/1 Select for Block n) (n = 0 to 3) ---------- 15-30
15.12.4. PWMnINTF (PWM Interrupt Flag for Block n) (n = 0 to 3) ---------- 15-31
15.12.5. PWMnACCLR (PWM Access Counter Clear Register for Block n) (n = 0 to 3) ---------- 15-32
15.12.6. PWMnACSTS (PWM Access Status Register for Block n) (n = 0 to 3) ---------- 15-33
15.12.7. CNTn_L/H (Counter n LSB/MSB Side) (n = 0 to 3) ---------- 15-34
15.12.8. CMP_xxxn_L/H (CMP_xxx for Block n LSB/MSB Side) (n = 0 to 3) ---------- 15-35
15.12.9. PWMnCNTMD (PWM Counter Mode for Block n) (n = 0 to 3) ---------- 15-43
15.12.10. PWMnHCR0 (PWMnH Output Control0) (n = 0 to 3) ---------- 15-44
15.12.11. PWMnLCR0 (PWMnL Output Control0) (n = 0 to 3) ---------- 15-45
15.12.12. PWMnHCR1 (PWMnH Output Control1) (n = 0 to 3) ---------- 15-46
15.12.13. PWMnLCR1 (PWMnL Output Control1) (n = 0 to 3) ---------- 15-47
15.12.14. PWMnMODE (PWM n Operation Mode) (n = 0 to 3) ---------- 15-48
15.12.15. PWMnRTRG (PWM Re-trigger Mode for Block n) (n = 0 to 3) ---------- 15-49
15.12.16. PWMnRTRS (PWM Re-trigger Select for Block n) (n = 0 to 3) ---------- 15-50
15.12.17. PWMnRTGC (PWM Re-trigger by CPU for Block n) (n = 0 to 3) ---------- 15-51
15.12.18. PWMnRTL (PWM n Re-trigger Output Control) (n = 0 to 3) ---------- 15-52
15.12.19. PWMnRTMC (PWM n Re-trigger Mask Control) (n = 0 to 3) ---------- 15-53
15.12.20. PWMnRTMP (PWM n Re-trigger Mask Period) (n = 0 to 3) ---------- 15-53
15.12.21. BUF_MIN/MAXn (BUF_MIN/MAX for Block n LSB/MSB Side) (n = 0 to 3) ---------- 15-54
15.12.22. BUF_A/B/C/Dn_L/H (BUF_A/B/C/D for Block n LSB/MSB Side) (n = 0 to 3) ---------- 15-58
15.13. PWM の設定例 ---------- 15-60
15.14. 注意、制限事項 ---------- 15-61
15.14.1. オートデッドタイムモードに関する制限事項 ---------- 15-61
15.14.2. リトリガモードに関する制限事項 ---------- 15-62

16. ウォッチドッグタイマ（WDT） ---------- 16-1
16.1. 概要 ---------- 16-1
16.2. レジスタ説明 ---------- 16-2
16.2.1. レジスター一覧 ---------- 16-2
16.2.2. WTCNT (Watchdog Timer Counter) ---------- 16-2
16.2.3. WTCSR (Watchdog Timer Control/Status) ---------- 16-3
16.2.4. WTGRD (Watchdog Timer Register Access Guard) ---------- 16-4
16.3. リセット構成図 ---------- 16-4
16.4. 割込み構成図 ---------- 16-4
16.5. プリスケーラ ---------- 16-5
16.6. 動作 ---------- 16-6
16.6.1. WTCNT レジスタと WTCSR レジスタへのライト ---------- 16-6

© SANKEN ELECTRIC CO., LTD. 2017

16.6.2. ウォッチドッグタイマモード ---- 16-7
16.6.3. インターバルタイマモード ---- 16-8

17. 16 ビットタイマ（TMR） ---- 17-1
17.1. 概要 ---- 17-1
17.2. レジスタ説明 ---- 17-3
17.2.1. TMOD0/2 (Timer0/2 Control Mode Register) ---- 17-6
17.2.2. TMOD1/3 (Timer1/3 Control Mode Register) ---- 17-7
17.2.3. TMSRn (Timer n Status Register) (n = 0 to 3) ---- 17-8
17.2.4. TMCRn (Timer n Control Register) (n = 0 to 3) ---- 17-9
17.2.5. TMECRn (Timer n Event Clear Register) (n = 0 to 3) ---- 17-10
17.2.6. TEMODn (Timer n Extend Mode Register) (n = 0 to 3) ---- 17-11
17.2.7. TICS0 (Timer0 Input Capture Select Register) ---- 17-12
17.2.8. TICS1 (Timer1 Input Capture Select Register) ---- 17-13
17.2.9. TICSn (Timer n Input Capture Select Register) (n = 2 to 3) ---- 17-14
17.2.10. TXESn (Timer n External Event Select Register) (n = 0 to 3) ---- 17-15
17.2.11. TPSNFn (Timer n Prescaler for Noise Filter Register) (n = 0 to 3) ---- 17-16
17.2.12. TCMPALn (Timer n Compare Match A Low) (n = 0 to 3) ---- 17-17
17.2.13. TCMPAHn (Timer n Compare Match A High) (n = 0 to 3) ---- 17-17
17.2.14. TCMPBLn (Timer n Compare Match B Low) (n = 0 to 3) ---- 17-18
17.2.15. TCMPBHn (Timer n Compare Match B High) (n = 0 to 3) ---- 17-18
17.2.16. TCNTLn (Timer n Counter Low) (n = 0 to 3) ---- 17-19
17.2.17. TCNTHn (Timer n Counter H) (n = 0 to 3) ---- 17-19
17.2.18. TBUFALn (Timer n Buffer A Low) (n = 0 to 3) ---- 17-20
17.2.19. TBUFAHn (Timer n Buffer A High) (n = 0 to 3) ---- 17-20
17.2.20. TBUFBLn (Timer n Buffer B Low) (n = 0 to 3) ---- 17-21
17.2.21. TBUFBHn (Timer n Buffer B High) (n = 0 to 3) ---- 17-21
17.2.22. TOACRn (Timer n TIOA Output Control Register) (n = 0 to 3) ---- 17-22
17.2.23. TOBCRn (Timer n TIOB Output Control Register) (n = 0 to 3) ---- 17-23
17.2.24. TPCISn (Timer n Phase Counting Input Select Register) (n = 0 to 3) ---- 17-24
17.3. 動作 ---- 17-25
17.3.1. 16 ビットレジスタアクセス ---- 17-25
17.3.2. カウンタ動作 ---- 17-25
17.3.3. コンペアマッチ動作 ---- 17-25
17.3.4. コンペアマッチ出力 ---- 17-26
17.3.5. 自動クリア ---- 17-27
17.3.6. PWM イベントクリア ---- 17-27
17.3.7. TIC 入力イベントクリア ---- 17-27
17.3.8. 32 ビットカウンタモード（カスケードモード） ---- 17-27
17.3.9. コンペアマッチタイミング ---- 17-28
17.3.10. インプットキャプチャモード ---- 17-29
17.3.11. バッファモード ---- 17-30
17.3.12. 位相計数モード ---- 17-30
17.3.13. 入力端子のノイズフィルタ ---- 17-35
17.3.14. イベント、割込み ---- 17-35
17.3.15. 基本設定 ---- 17-36

18. シリアルペリフェラルインタフェース（SPI） ---- 18-1
18.1. 概要 ---- 18-1
18.2. レジスタ説明 ---- 18-2
18.2.1. SPICR (SPI Control Register) ---- 18-3
18.2.2. SPICLK (SPI Clock Divider Register) ---- 18-5
18.2.3. SPIFMT (SPI Data Format Register) ---- 18-5
18.2.4. SPISR (SPI Status Register) ---- 18-6
18.2.5. SPIESR (SPI Error Status Register) ---- 18-7
18.2.6. SPIIER (SPI Interrupt Enable Register) ---- 18-8
18.2.7. SPIDRL (SPI Data Register Low) ---- 18-9
18.2.8. SPIDRH (SPI Data Register High) ---- 18-9
18.3. 割込み発生 ---- 18-10
18.3.1. 送信割込み（INT_TX） ---- 18-10
18.3.2. 受信割込み（INT_RX） ---- 18-11
18.4. タイミングと接続 ---- 18-12

© SANKEN ELECTRIC CO., LTD. 2017

18.4.1. マスタモード ---------- 18-12
18.4.2. スレーブモード ---------- 18-14
18.5. 動作 ---------- 18-15
18.5.1. マスタモード ---------- 18-15
18.5.2. スレーブモード ---------- 18-18

19. I²C／SMBUS ---------- 19-1
19.1. 概要 ---------- 19-1
19.2. レジスタ説明 ---------- 19-2
19.2.1. ICCR (I²C Bus Control Register) ---------- 19-3
19.2.2. ICSR (I²C Bus Status Register) ---------- 19-4
19.2.3. ICRXDR (I²C Bus Receive Data Register) ---------- 19-6
19.2.4. ICTXDR (I²C Bus Transmit Data Register) ---------- 19-6
19.2.5. ICTSAR (I²C Transmit Address Register) ---------- 19-7
19.2.6. ICSAR (I²C Subordinate Address Register) ---------- 19-7
19.2.7. ICCLK (I²C Clock Divider Register) ---------- 19-8
19.2.8. ICCMD (I²C Command Register) ---------- 19-9
19.2.9. ICSSTR (I²C Bus SDA Setup Time Register) ---------- 19-10
19.2.10. ICSHTR (I²C Bus SDA Hold Time Register) ---------- 19-12
19.2.11. ICHDSR0 (I²C Bus Hardware Status Register0) ---------- 19-13
19.2.12. ICHDSR1 (I²C Bus Hardware Status Register1) ---------- 19-14
19.2.13. ICTIMER (I²C Time Base Register) ---------- 19-14
19.2.14. SMBINT (SMBUS INT Status Register) ---------- 19-15
19.2.15. ICSAA (I²C Subordinate Alert Address Register) ---------- 19-16
19.2.16. ICSAIR (I²C Subordinate Address Identifier Register) ---------- 19-17
19.3. I²C バスデータフォーマット ---------- 19-18
19.4. スレーブ受信 ---------- 19-19
19.5. スレーブ送信 ---------- 19-21
19.6. マスタ受信 ---------- 19-23
19.7. マスタ送信 ---------- 19-25
19.8. スレーブアラートアドレス（SAA）、GCA と受信アドレスインジケータ ---------- 19-27
19.9. ノイズフィルタ ---------- 19-27

20. UART ---------- 20-1
20.1. 概要 ---------- 20-1
20.2. 外部接続端子 ---------- 20-2
20.3. レジスタ説明 ---------- 20-3
20.3.1. RBR (Receiver Buffer Register)/THR (Transmitter Holding Register) ---------- 20-4
20.3.2. IER (Interrupt Enable Register) ---------- 20-4
20.3.3. IIR (Interrupt Identification Register) ---------- 20-5
20.3.4. FCR (FIFO Control Register) ---------- 20-6
20.3.5. LCR (Line Control Register) ---------- 20-7
20.3.6. LSR (Line Status Register) ---------- 20-8
20.3.7. DLB1/2 (Divisor Latch Byte1/2) ---------- 20-10
20.3.8. ボーレート ---------- 20-11
20.4. 動作 ---------- 20-11

21. アナログインターコネクション ---------- 21-1
21.1. 概要 ---------- 21-1

22. 12 ビット SAR ADC ---------- 22-1
22.1. 概要 ---------- 22-1
22.2. レジスタ説明 ---------- 22-3
22.2.1. ADCn (ADCn Configuration Register) (n = 0 to 1) ---------- 22-7
22.2.2. ADENn (ADCn Enable Register) (n = 0 to 1) ---------- 22-10
22.2.3. ADTn (ADCn CPU Trigger Register) (n = 0 to 1) ---------- 22-10
22.2.4. ADLOOPn (ADCn CPU Loop Trigger Register) (n = 0 to 1) ---------- 22-11
22.2.5. ADEXEn (ADCn Group Execution Status Register) (n = 0 to 1) ---------- 22-12
22.2.6. ADENTRYn (ADCn Group Entry Status Register) (n = 0 to 1) ---------- 22-13
22.2.7. ADIENn (ADCn Group Interrupt Enable Register) (n = 0 to 1) ---------- 22-14
22.2.8. ADSYNCn (ADCn Synchronous Control Register) (n = 0 to 1) ---------- 22-15
22.2.9. ADCHSELTESTLn (ADCn Channel Select Test Low Register) (n = 0 to 1) ---------- 22-15
22.2.10. ADCHSELTESTHn (ADCn Channel Select Test High Register) (n = 0 to 1) ---------- 22-16

© SANKEN ELECTRIC CO., LTD. 2017

22.2.11. ADNSMPmn (ADCn Channel m Sampling Time Register) (n = 0 to 1) (m = 0 to 11) ---------- 22-17
22.2.12. ADOmLn (ADCn Channel m Data Offset Low Register) (n = 0 to 1) (m = 0 to 11) ---------- 22-18
22.2.13. ADOmHn (ADCn Channel m Data Offset High Register) (n = 0 to 1) (m = 0 to 11) ---------- 22-19
22.2.14. ADACCLRn (ADCn Data Read Access Counter Clear Register) (n = 0 to 1) ---------- 22-20
22.2.15. ADSmLn (ADCn Group m Channel Sequence Low Register) (n = 0 to 1) (m = 0 to 7) ---------- 22-21
22.2.16. ADSmHn (ADCn Group m Channel Sequence High Register) (n = 0 to 1) (m = 0 to 7) ---------- 22-22
22.2.17. ADSTSELmn (ADCn Group m Start Trigger Select Register) (n = 0 to 1) (m = 0 to 7) ---------- 22-23
22.2.18. ADEVTmLn (ADCn Group m Event Output Channel Low Register) (n = 0 to 1) (m = 0 to 7) ---------- 22-24
22.2.19. ADEVTmHn (ADCn Group m Event Output Channel High Register) (n = 0 to 1) (m = 0 to 7) ---------- 22-25
22.2.20. ADOmn (ADCn Channel m Data Offset Register) (n = 0 to 1) (m = 0 to 11) ---------- 22-26
22.2.21. ADmn (ADCn Channel m Data Register) (n = 0 to 1) (m = 0 to 11) ---------- 22-27
22.2.22. ADIFn (ADCn Interrupt Flag Register) (n = 0 to 1) ---------- 22-28
22.3. 動作 ---------- 22-29
22.3.1. 基本動作 ---------- 22-29
22.3.2. レジスタアクセス ---------- 22-31
22.4. アナログ入力とチャネル ---------- 22-32
22.4.1. サンプル ---------- 22-32
22.4.2. オフセット ---------- 22-33
22.5. グループ ---------- 22-33
22.5.1. グループの状態 ---------- 22-33
22.5.2. グループの起動から完了までの処理 ---------- 22-33
22.5.3. 実行グループの選択処理 ---------- 22-34
22.5.4. チャネルシーケンス ---------- 22-34
22.5.5. イベント発生チャネル ---------- 22-34
22.5.6. 起動トリガ ---------- 22-35
22.5.7. 割込み信号のイネーブル／ディスエーブル設定 ---------- 22-36
22.6. 出力 ---------- 22-37
22.6.1. 変換結果の取得 ---------- 22-37
22.6.2. ADC イベント ---------- 22-37
22.6.3. 割込み信号 ---------- 22-37
22.7. ユニット間同時動作 ---------- 22-38
22.8. 注意、制限事項 ---------- 22-39

23. オペアンプ（OPAMP） ---------- 23-1
23.1. 概要 ---------- 23-1
23.2. レジスタ説明 ---------- 23-2
23.2.1. MIXOPAn (Mix OPAMP n Configuration Register) (n = 0 to 1) ---------- 23-2
23.2.2. MIXPGAn (Mix OPAMP n PGA Configuration Register) (n = 0 to 1) ---------- 23-3
23.2.3. MIXEEVCRn (Mix OPAMP n Enable Event Control Register) (n = 0 to 1) ---------- 23-4
23.2.4. MIXDEVCRn (Mix OPAMP n Disable Event Control Register) (n = 0 to 1) ---------- 23-5

24. コンパレータ ---------- 24-1
24.1. 概要 ---------- 24-1
24.1.1. コンパレータ制御 ---------- 24-2
24.1.2. DAC 制御 ---------- 24-3
24.2. レジスタ説明 ---------- 24-4
24.2.1. MIXCMPn (Mix Comparator n Configuration) (n = 0 to 5) ---------- 24-7
24.2.2. MIXCMSn (Mix Comparator n Functional Select) (n = 0 to 5) ---------- 24-8
24.2.3. MIXCMRn (Mix Comparator n Result) (n = 0 to 5) ---------- 24-9
24.2.4. MIXCMFn (Mix Comparator n Function) (n = 0 to 5) ---------- 24-10
24.2.5. MIXCMEMn (Mix Comparator n Event Mask) (n = 0 to 5) ---------- 24-11
24.2.6. CMI0 (Mix Comparator Interrupt0) ---------- 24-12
24.2.7. CMI1 (Mix Comparator Interrupt1) ---------- 24-13
24.2.8. MIXDACn (Mix DAC n Configuration) (n = 0 to 5) ---------- 24-14
24.2.9. MIXDAnL (Mix DAC n Data Low) (n = 0 to 5) ---------- 24-15
24.2.10. MIXDAnH (Mix DAC n Data High) (n = 0 to 5) ---------- 24-15
24.2.11. MIXDARDnL (Mix DAC n Read Data Low) (n = 0 to 5) ---------- 24-16
24.2.12. MIXDARDnH (Mix DAC n Read Data High) (n = 0 to 5) ---------- 24-16
24.2.13. DACACCLRn (Mix DAC n Access Counter Clear Register) (n = 0 to 5) ---------- 24-17
24.2.14. MIXDAFUNCn (Mix DAC n Function) (n = 0 to 5) ---------- 24-18
24.3. 動作 ---------- 24-19
24.3.1. 起動、停止 ---------- 24-21

© SANKEN ELECTRIC CO., LTD. 2017

24.3.2. DAC の設定と更新 24-21
24.3.3. コンパレータの動作モード 24-22
24.3.4. コンパレータ出力制御 24-22
24.3.5. 割込み、イベント生成 24-22
24.3.6. LUT への出力 24-22
24.4. 注意、制限事項 24-22

25. 温度センサ（TEMP） 25-1
25.1. 概要 25-1
25.2. レジスタ説明 25-1
25.2.1. TEMP (Temperature Sensor Control) 25-1

26. PWM 出力コントローラ（POC） 26-1
26.1. 概要 26-1
26.2. レジスタ説明 26-2
26.2.1. POCCRn (POC Control Register n) (n = 0 to 3) 26-3
26.2.2. POCSTS (POC Status Register) 26-5
26.2.3. POCBAS (POC BUS I/F Access Status Register) 26-5
26.2.4. POCOCRn (POC Output Control Register n) (n = 0 to 3) 26-6
26.2.5. POCTRG (POC CPU Trigger Register) 26-7
26.2.6. POCDTCn (POC Dead Time Control Register n) (n = 0 to 3) 26-8
26.2.7. POCDTPn (POC Dead Time Period Register n) (n = 0 to 3) 26-9
26.3. 動作 26-9
26.3.1. 基本動作 26-9
26.3.2. 制御遅延付加 26-10
26.4. 注意、制限事項 26-11
26.4.1. クロック設定 26-11
26.4.2. POCCRn.EN ビットに関する注意事項 26-11
26.4.3. 制御遅延付加時の動作タイミング 26-11
26.4.4. クリアウェイト機能を使用する際の動作制限 26-11

27. コンパレータルックアップテーブル（CMPLUT） 27-1
27.1. 概要 27-1
27.2. レジスタ説明 27-2
27.2.1. LUTnCR (LUTn Control Register) (n = 0 to 1) 27-3
27.2.2. LUTnGPCR (LUTn GPIO Event Control Register) (n = 0 to 1) 27-4
27.2.3. LUTnOUTm (LUTn Output Register m) (n = 0 to 1, m = 0 to 7) 27-5
27.3. 動作 27-6

28. SCID（デバッガ付きシリアルコミュニケーションインタフェース） 28-1
28.1. 概要 28-1
28.2. 基本動作 28-2
28.2.1. 動作モードの設定 28-2
28.2.2. UART モード 28-3
28.2.3. OCD モード 28-3
28.2.4. UART 動作に関する注意 28-4
28.2.5. 外部ホストデバイスとの通信がないデバッグ操作とフラッシュメモリのプログラミングについて 28-4
28.3. SCID の UART 機能概要 28-6
28.4. レジスタ説明 28-7
28.4.1. UART_TXD (UART TX Data Register) 28-8
28.4.2. UART_RXD (UART RX Data Register) 28-8
28.4.3. UART_CR (UART Control Register) 28-9
28.4.4. UART_BRK (UART Break Control Register) 28-9
28.4.5. UART_SR (UART Status Register) 28-10
28.4.6. UART_IE (UART Interrupt Enable Register) 28-11
28.4.7. UART_TXFIFO_SR (UART TXFIFO Status Register) 28-12
28.4.8. UART_TXFIFO_CR (UART TXFIFO Control Register) 28-12
28.4.9. UART_RXFIFO_SR (UART RXFIFO Status Register) 28-13
28.4.10. UART_RXFIFO_CR (UART RXFIFO Control Register) 28-13
28.4.11. UART_RXFIFO_TO_L/H (UART RXFIFO Timeout Register Low/High) 28-14
28.4.12. UART_BAUD_L/H (UART Baud Rate Register Low/High) 28-15
28.4.13. SCID_SYSR_CR (SCID System Control Register) 28-16

© SANKEN ELECTRIC CO., LTD. 2017

28.4.14. SCID_STATE (SCID Internal State Register) 28-17
28.5. SCID の UART モードの動作 28-17
28.5.1. UART キャラクタフォーマット 28-17
28.5.2. 受信方法 28-18
28.5.3. 受信フィルタ 28-19
28.5.4. 受信マスク 28-19
28.5.5. ボーレート 28-19
28.5.6. ボーレート設定と動作モード 28-20
28.5.7. 送信データ（TXD）と送信 FIFO（TXFIFO） 28-20
28.5.8. 受信データ（RXD）と受信 FIFO（RXFIFO） 28-20
28.5.9. 受信（RX）パリティエラー検出 28-21
28.5.10. 受信（RX）フレーミングエラー検出 28-21
28.5.11. 受信（RX）オーバランエラー検出 28-22
28.5.12. 送信データの送信完了（TX Done）検出 28-22
28.5.13. 受信（RX）ブレイクの検出 28-22
28.5.14. 割込み要求 28-22
28.5.15. UART 機能の設定手順 28-23
28.6. SCID 使用上の注意 28-23

29. 電気的仕様 29-1
29.1. 絶対最大定格 29-1
29.2. 推奨動作範囲 29-1
29.3. 電気的特性 29-2
29.3.1. 消費電流 29-2
29.3.2. 低電圧検出（LVD） 29-2
29.3.3. リセット動作 29-3
29.3.4. クロック動作 29-3
29.3.5. 12 ビット SAR ADC 29-3
29.3.6. 8 ビット DAC 29-3
29.3.7. オペアンプ（OPAMP） 29-4
29.3.8. コンパレータ 29-5
29.3.9. リファレンス電圧（VREF） 29-6
29.3.10. 温度センサ（TEMP） 29-6
29.3.11. デジタル入出力の DC 仕様 29-6
29.3.12. デジタル入出力の AC 仕様 29-7

注意書き N-1

変更履歴 H-1

© SANKEN ELECTRIC CO., LTD. 2017

1. 製品概要

● クロックコントロール

- 発振器内蔵
- PLL 内蔵
- スリープモード／スタンバイモード機能

● リセットコントロール

- 端子リセット
- パワーオンリセット回路内蔵（POR）
- ウォッチドッグタイマリセット

● リファレンス電圧（**VREF**）

- 1.2 V

● 低電圧検出（**LVD**）

- LVD 割込み生成

● **8** ビット **CPU**

- 8052 命令互換
- 3 段～5 段パイプライン
- 60 MHz、1 サイクル／バイト命令実行
- 256 バイト専用 RAM

● **GPIO**

- デジタル／アナログ機能を兼用
- プルアップ／プルダウン制御可能
- 割込み要因設定可能

● イベントプロセッシングユニット（**EPU**）

- マルチタスク 16 ビットプロセッサ
  （ゼロ時間タスク切換え可能）
- 1 ユニット
- スレッド数：6 個
- 入出力イベント：スレッドごとに 16 本
- 2 段／3 段パイプライン
- プログラムメモリ：16 ビット×256 ワード

● 割込みコントローラ（**INTC**）

- 割込み要因：32 種類
- 優先度を 2 段階から選択可能

● ダイレクト **SFR** アクセスコントローラ（**DSAC**）

- SFR 間の自動データ転送可能
  （SFR：Special Function Register）
- 16 チャネル
- 転送要求イベント数：32 本
- 転送アドレッシング選択可能
- 8 ビット／16 ビットデータ転送
- 優先度：DSAC > EPU > CPU

● 内蔵フラッシュメモリ

- 32 K バイト
- 8 ビット／サイクルアクセス
- プロテクト機能
- データフラッシュメモリサポート機能

● 内蔵 **RAM**

- 1.75 K バイト

● **TinyDSP**

- 2 ユニット
- 16 ビット固定小数点演算
- プログラムメモリ：48 ステップ
- 16 ビットデータレジスタ：16 本
- 16 ビット定数レジスタ：8 本
- 36 ビットアキュムレータ：1 本
- 命令：乗算、除算、積和演算、シフト演算、
  ムーブ、ジャンプ、最小／最大飽和
- 除算器内蔵（ユニットごと）
- イベントに同期したシーケンス制御
- 任意の命令でイベント生成を設定可能
- 3-pole 2-zero (3P2Z) IIR フィルタ演算：10 サイクル

● 高分解能 **PWM**

- 4 チャネル（PWM 出力：8 本）
- 16 ビットアップ／ダウンカウンタ制御
  （チャネルごと）
- 最小分解能：1.04 ns
- デューティ設定可能範囲：0%～100%
- デッドタイムを設定可能
- 内部／外部のイベントによるリトリガ動作

● ウォッチドッグタイマ（**WDT**）

- 8 ビットカウンタ
- リセット出力または割込み生成

© SANKEN ELECTRIC CO., LTD. 2017

● **16 ビットタイマ（TMR）**

- 4 チャネル
- 16 ビットカウンタ
- コンペアマッチでイベントを生成
- PWM と同期
- 外部端子のイベントでカウンタのクリアが可能
- 4 位相計数モード
- バッファモード
- インプットキャプチャ／コンペアマッチ出力

● **シリアルペリフェラルインタフェース（SPI）**

- 1 ユニット
- マスタモード／スレーブモードの通信
- 専用ボーレートジェネレータ

● **I^2C／SMBUS**

- 1 ユニット
- マスタモード／スレーブモードの通信
- 専用ボーレートジェネレータ
- GCA に対応
  （GCA：General Call Address）

● **UART**

- 1 ユニット
- 専用ボーレートジェネレータ

● **12 ビット SAR ADC**

- 2 ユニット
- アナログ入力：12 本
- 変換速度：最大 4 MSPS
- シーケンス変換
- 変換開始トリガを選択可能
- 変換結果にオフセットを設定可能

● **オペアンプ（OPAMP）**

- 2 ユニット
- スタンドアロンモード／ユニティモード
  （×1 または×4）

● **コンパレータ**

- 6 ユニット
- デジタルノイズフィルタ
- イベントの生成
- リファレンス電圧生成用 8 ビット DAC
  （ユニットごと）

● **温度センサ（TEMP）**

- 1 ユニット

● **PWM 出力コントローラ（POC）**

- 選択したイベント（コンパレータなど）で PWM 出力を制御
- CPU で出力を制御可能
- PWM 周期との連携動作可能

● **コンパレータルックアップテーブル（CMPLUT）**

- 2 ユニット
- 入力信号：コンパレータ出力（6 ユニット）
- 6 入力 1 出力
- POC のイベント入力
- 端子出力可能（LUT0／1）

● **デバッガ付きシリアルコミュニケーションインタフェース**

- UART モード
  ・半二重調歩同期式通信
- OCD モード
  ・デバッグ機能サポート
  ・フラッシュメモリプログラム／イレース

● **供給電源電圧**

- DVCC、AVCC：3.3 V
- コア電源用レギュレータ内蔵

© SANKEN ELECTRIC CO., LTD. 2017

2. ブロック図

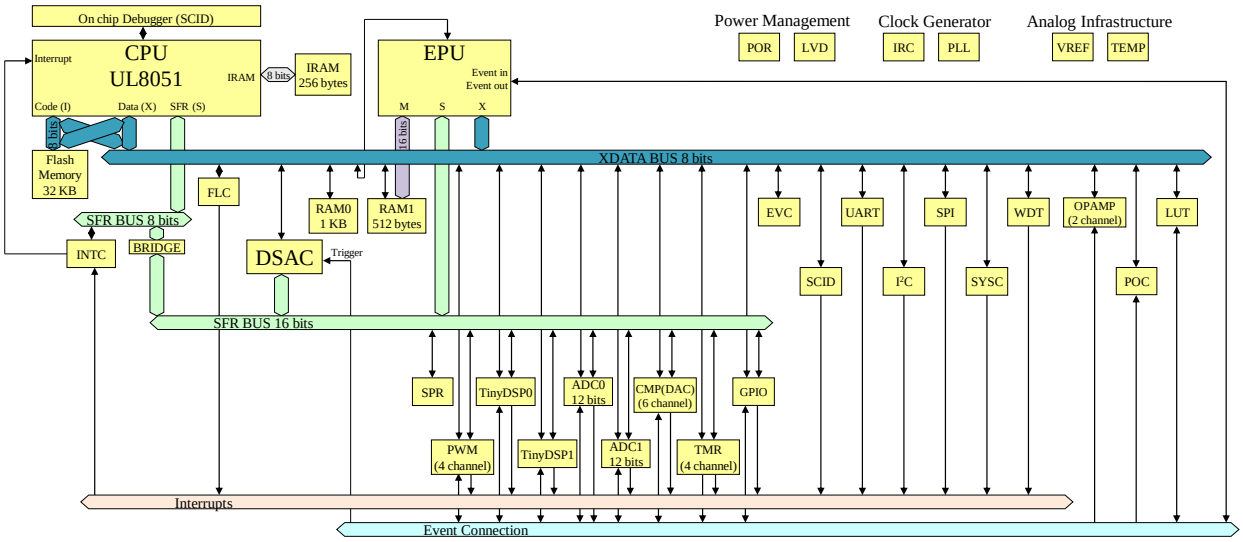


図 2-1 ブロック図

© SANKEN ELECTRIC CO., LTD. 2017

3. 各端子機能

3.1. 端子機能

分類	端子名	入出力	プルアップ プルダウン	説明	割込み	5 V トレラント	シュミット	論理 レベル	3.3 V I_{OUT}
デジタル 電源	DVCC	—	—	デジタル 3.3 V	—	—	—	—	—
	DVSS	—	—	デジタル 0 V	—	—	—	—	—
アナログ 電源	AVCC	—	—	アナログ 3.3 V	—	—	—	—	—
	AVSS	—	—	アナログ 0 V	—	—	—	—	—
システム	MODE	入力	—	チップモード （0 に固定）	—	—	Yes	LVTTL	—
	VCORE	—	—	内部電源（安定化容量接続）	—	—	—	—	—
	NC	—	—	—	—	—	—	—	—
	$\overline{\text{RES}}$	入力	プルアップ	リセット入力	—	—	Yes	LVTTL	—
デバッグ	DBG	入出力	プルアップ	1 ワイヤ OCD 端子（オープンドレイン）	—	Yes	—	LVTTL	4 mA
シリアル／ TMR	GPIO00/ CLKIN_A/ CLKMON/ TIC0/ TIOA3	入出力	プルアップ	GPIO、CLKIN、 CLKMON、TIC0、 TIOA3	Yes	Yes	—	LVTTL	4 mA
	GPIO01/ SPI_SCK/ TIC1/ TIOB3	入出力	プルアップ	GPIO、SPI_SCK、 TIC1、TIOB3	Yes	Yes	—	LVTTL	4 mA
	GPIO02/ SPI_SO/ TIOA1/ TXD_B	入出力	プルアップ	GPIO、SPI_SO、 TIOA1、TXD	Yes	Yes	—	LVTTL	4 mA
	GPIO03/ SPI_SI/ TIOB1/ RXD_B/ LUT0	入出力	プルアップ	GPIO、SPI_SI、 TIOB1、RXD、 LUT0	Yes	Yes	—	LVTTL	4 mA
	GPIO04/ SDA_A/ CLKMON/ TIOA2_A	入出力	プルアップ	GPIO、I^2C_SDA、 CLKMON、TIOA2	Yes	Yes	—	LVTTL	4 mA
	GPIO05/ SCL_A/ TIOB2_A/ LUT1	入出力	プルアップ	GPIO、I^2C_SCL、 TIOB2、LUT1	Yes	Yes	—	LVTTL	4 mA
PWM／ シリアル／ TMR	GPIO10/ PWM0H	入出力	プルダウン	GPIO、PWM0H	Yes	Yes	—	LVTTL	16 mA
	GPIO11/ PWM0L	入出力	プルダウン	GPIO、PWM0L	Yes	Yes	—	LVTTL	16 mA
	GPIO12/ PWM1H	入出力	プルダウン	GPIO、PWM1H	Yes	Yes	—	LVTTL	16 mA
	GPIO13/ PWM1L	入出力	プルダウン	GPIO、PWM1L	Yes	Yes	—	LVTTL	16 mA
	GPIO14/ PWM2H/ TIOA2_B/ SDA_B	入出力	プルダウン	GPIO、PWM2H、 TIOA2、I^2C_SDA	Yes	Yes	—	LVTTL	16 mA
	GPIO15/ PWM2L/ SPI_SS_N/ TIOB2_B/ SCL_B	入出力	プルダウン	GPIO、PWM2L、 SPI_SS_N、 TIOB2、I^2C_SCL	Yes	Yes	—	LVTTL	16 mA
	GPIO16/ PWM3H/ TXD_A/ TIOA0	入出力	プルダウン	GPIO、PWM3H、 UART_TXD、 TIOA0	Yes	Yes	—	LVTTL	16 mA
	GPIO17/ PWM3L/ RXD_A/ TIOB0	入出力	プルダウン	GPIO、PWM3L、 UART_RXD、 TIOB0	Yes	Yes	—	LVTTL	16 mA
アナログ／ TMR	ANEX4/ GPIO20/ CLKIN_B	入出力	プルアップ	アナログ端子 4、 GPIO、CLKIN	Yes	—	—	LVTTL	4 mA
	ANEX5/ GPIO21/ CLKMON	入出力	プルアップ	アナログ端子 5、 GPIO、CLKMON	Yes	—	—	LVTTL	4 mA

© SANKEN ELECTRIC CO., LTD. 2017

分類	端子名	入出力	プルアップ プルダウン	説明	割込み	5 V トレラント	シュミット	論理 レベル	3.3 V I_{OUT}
アナログ	ANEX0	入出力	—	アナログ端子 0	—	—	—	—	—
	ANEX1	入出力	—	アナログ端子 1	—	—	—	—	—
	ANEX2	入出力	—	アナログ端子 2	—	—	—	—	—
	ANEX3	入出力	—	アナログ端子 3	—	—	—	—	—
	ANEX6	入出力	—	アナログ端子 6	—	—	—	—	—
	ANEX7	入出力	—	アナログ端子 7	—	—	—	—	—
	ANEX8	入出力	—	アナログ端子 8	—	—	—	—	—
	ANEX9	入出力	—	アナログ端子 9	—	—	—	—	—
	ANEX10	入出力	—	アナログ端子 10	—	—	—	—	—
	ANEX11	入出力	—	アナログ端子 11	—	—	—	—	—
	ANEX12	入出力	—	アナログ端子 12	—	—	—	—	—
	ANEX13	入出力	—	アナログ端子 13	—	—	—	—	—

© SANKEN ELECTRIC CO., LTD. 2017

4. システムコントローラ（SYSC）

4.1. 概要

システムコントローラ（SYSC：System Controller）は、チップ全体の動作状態を制御します。クロック、リセット、チップ内電源、消費電力モードを統合制御します。

表 4-1 SYSC 機能概要

項目		説明
クロック	クロック源	● 内蔵発振器（IRC：Internal Reference Clock）：12 MHz (max.) ● CLKIN：12 MHz (max.) ● CLKSRC：12 MHz (max.)、IRC か CLKIN ● PLL：リファレンスクロックの 80 逓倍 最大周波数：960 MHz リファレンスクロック：CLKSRC リファレンスクロックの 1、2 分周選択可能
	分配クロック	● CLKFAST：60 MHz (max.) クロック源：CLKSRC か PLL クロックの 16 分周 1、2、4、8 分周器付き ● CLKPWM：120 MHz (max.) クロック源：CLKSRC か PLL クロックの 8 分周 PLL クロックを選択した場合は 1～32（2^n）分周付き
リセット		● パワーオンリセット（POR：Power-on Reset） ● $\overline{\text{RES}}$端子リセット ● ウォッチドッグタイマ（WDT：Watchdog Timer）リセット ● オンチップデバッガ（OCD：On Chip Debugger）リセット
電源		● 内蔵レギュレータ ● リファレンス電圧（VREF） ● 低電圧検出（LVD：Low Voltage Detection）
消費電力制御	モード	● スリープモード 割込みで復帰 ● スタンバイモード ウェイクアップカウンタ付き GPIO 割込み、CMP レベル割込み、LVD で復帰
	クロック イネーブル／ ディスエーブル	● 各モジュールへのクロックイネーブル／ディスエーブル制御
アナログモジュール制御		● OPAMP 用 IBIAS 制御（通常／低消費電力モード） ● LVD 用 VREF 出力制御（イネーブル／ディスエーブル） ● ADC 測定用 VREF 出力制御（イネーブル／ディスエーブル） ● GPIO20／GPIO21 拡張プルアップ抵抗制御
CPU BUS バッファ制御		● 16 ビット XBUS レジスタのバッファステートクリア ● 16 ビット SFR BUS レジスタのバッファステートクリア ● 16 ビット SFR BUS レジスタのアクセスカウンタクリア

© SANKEN ELECTRIC CO., LTD. 2017

4.2. クロックシステム

図 4-1 に、本 LSI のクロックシステムを示します。

リセットを解除すると、CLKSRC には CLKIRC が使用されます。CLKSRC は、プログラムで CLKIN 端子からのクロックに切り換えられます。

本 LSI には、大きく 2 つのクロック（CLKFAST と CLKPWM）があります。CLKFAST は、周辺モジュール（PWM を除く）のクロックに使用されます。CLKPWM は、高分解能 PWM 用のクロックです。CLKFAST と CLKPWM の最大動作周波数は、それぞれ 60 MHz、120 MHz です。

IRC は、1 ワイヤ OCD のボーレート生成にも使用されます。CLKSRC は、スタンバイモードからの復帰（ウェイクアップ）カウンタのカウントクロックに使用されます。

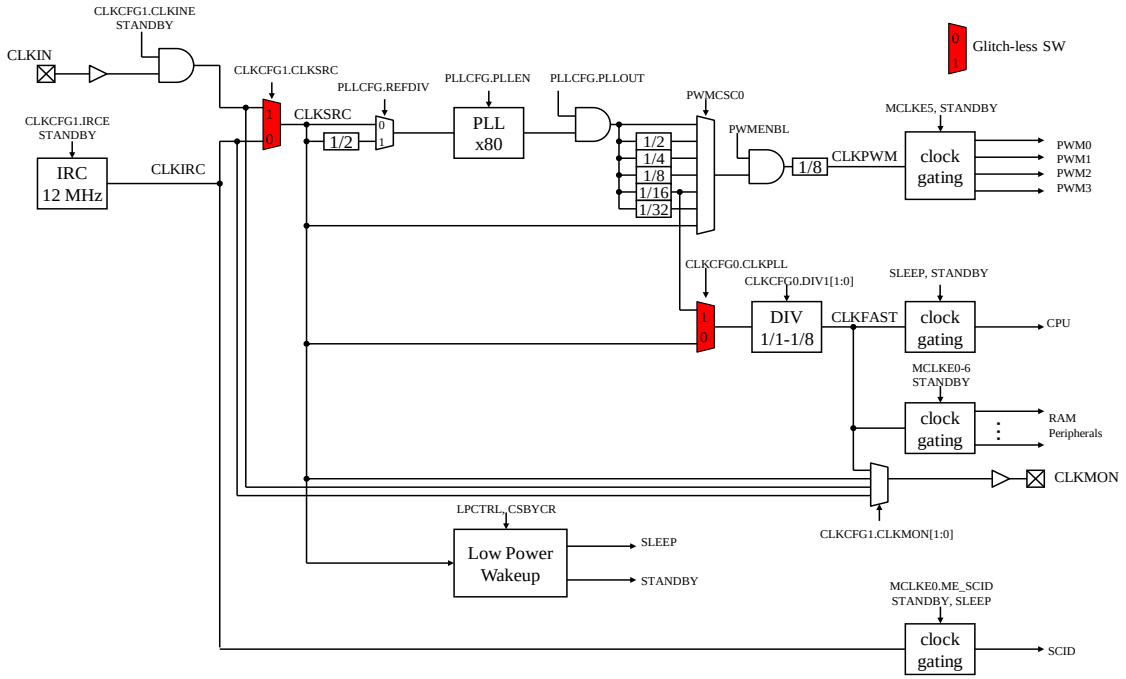


図 4-1　クロックシステム

4.2.1. クロック源

● **CLKIN**

CLKIN 端子から供給されるクロックで、システムクロックに使用されます。最大入力周波数は 12 MHz です。CLKCFG1.CLKINE ビットを 1 に設定すると、CLKIN 端子から CLKIN を供給します。CLKCFG1.CLKINE ビットを 0 に設定すると、CLKIN 端子から CLKIN の供給を停止します。

● **CLKIRC**

IRC から供給されるクロックで、システムクロックと OCD のボーレート生成クロックに使用されます。最大周波数は 12 MHz です。

● **CLKSRC**

CLKCFG1.CLKSRC ビットで、CLKIN か CLKIRC を選択したクロックです。リセットを解除すると、CLKSRC には CLKIRC が選択されます。CLKSRC は、IC 内部のクロック源や、PLL クロックのリファレンス、IC のスタンバイモードからの復帰カウンタのカウントクロックに使用します。CLKSRC の選択は、グリッチレススイッチで動的に切り換えることができます。

© SANKEN ELECTRIC CO., LTD. 2017

4.2.2. PLL クロック

PLL クロックは、CLKSRC か、CLKSRC の 2 分周をリファレンス入力として 80 逓倍したクロックを生成します。最大周波数は 960 MHz です。PLL のイネーブル／ディスエーブルは、PLLCFG.PLLEN ビットで制御します。リファレンスクロックの分周比は、PLLCFG.REFDIV ビットで選択します。PLL がディスエーブルの状態（PLLCFG.PLLEN = 0）のときに、リファレンスクロックを切り換える必要があります。

4.2.3. 分配クロック

● **CLKFAST**

CPU と周辺モジュール（PWM を除く）のクロックです。CLKFAST には、CLKCFG0.CLKPLL ビットで設定された CLKSRC か PLL クロックを 16 分周したクロックの、1、2、4、8 分周のいずれかが供給されます。分周比は、CLKCFG0.DIV1 ビットで設定します。最大周波数は 60 MHz です。CLKCFG0.CLKPLL ビットと CLKCFG0.DIV1 ビットの設定は、グリッチレススイッチで動作中に変更できます。

● **CLKPWM**

PWM 用クロックです。CLKSRC か PLL クロックの 1、2、4、8、16、32 分周のいずれかが供給されます。クロックは、PWMCSC0.PWMCCA ビットで選択します。最大周波数は 120 MHz です。このクロックの 8 分の 1 周期が PWM の分解能相当になります。120 MHz のときは、1.04 ns になります。PWM にクロックを供給している状態で、CLKPWM の周波数を切り換える場合は、PWMENBL.PWMAE ビットをディスエーブル（PWMENBL.PWMAE = 0）にしてから行ってください。

© SANKEN ELECTRIC CO., LTD. 2017

4.2.4. モジュールクロック

表 4-2　モジュールクロック一覧

クロックの種類	初期状態	イネーブル制御	スリープモード	備考
CPU	イネーブル	無	ディスエーブル	
BUS	イネーブル	無	ディスエーブル	
RAM0	ディスエーブル	有	イネーブル／ディスエーブル	
RAM1	ディスエーブル	有	イネーブル／ディスエーブル	
DSAC	ディスエーブル	有	イネーブル／ディスエーブル	
EPU	ディスエーブル	有	イネーブル／ディスエーブル	
GPIO	ディスエーブル	有	イネーブル／ディスエーブル	
UART	ディスエーブル	有	イネーブル／ディスエーブル	
I^2C	ディスエーブル	有	イネーブル／ディスエーブル	
SPI	ディスエーブル	有	イネーブル／ディスエーブル	
TMR0/1	ディスエーブル	有	イネーブル／ディスエーブル	
TMR2/3	ディスエーブル	有	イネーブル／ディスエーブル	
SCID	イネーブル	有	イネーブル／ディスエーブル	デバッガ接続で強制動作 スタンバイ制御なし*
TinyDSP0	ディスエーブル	有	イネーブル／ディスエーブル	
TinyDSP1	ディスエーブル	有	イネーブル／ディスエーブル	
ADC0	ディスエーブル	有	イネーブル／ディスエーブル	
ADC1	ディスエーブル	有	イネーブル／ディスエーブル	
SPR	ディスエーブル	有	イネーブル／ディスエーブル	
CMP0	ディスエーブル	有	イネーブル／ディスエーブル	
CMP1	ディスエーブル	有	イネーブル／ディスエーブル	
CMP2	ディスエーブル	有	イネーブル／ディスエーブル	
CMP3	ディスエーブル	有	イネーブル／ディスエーブル	
CMP4	ディスエーブル	有	イネーブル／ディスエーブル	
CMP5	ディスエーブル	有	イネーブル／ディスエーブル	
AMP0	ディスエーブル	有	イネーブル／ディスエーブル	
AMP1	ディスエーブル	有	イネーブル／ディスエーブル	
CMPLUT	ディスエーブル	有	イネーブル／ディスエーブル	
PWM0	ディスエーブル	有	イネーブル／ディスエーブル	スタンバイ制御なし*
PWM1	ディスエーブル	有	イネーブル／ディスエーブル	スタンバイ制御なし*
PWM2	ディスエーブル	有	イネーブル／ディスエーブル	スタンバイ制御なし*
PWM3	ディスエーブル	有	イネーブル／ディスエーブル	スタンバイ制御なし*
POC0	ディスエーブル	有	イネーブル／ディスエーブル	スタンバイ制御なし*
POC1	ディスエーブル	有	イネーブル／ディスエーブル	スタンバイ制御なし*
POC2	ディスエーブル	有	イネーブル／ディスエーブル	スタンバイ制御なし*
POC3	ディスエーブル	有	イネーブル／ディスエーブル	スタンバイ制御なし*
EVC	ディスエーブル	有	イネーブル／ディスエーブル	

* スタンバイモードに遷移するときは、自動でモジュールクロックをディスエーブルにしません。スタンバイモードに遷移する前に、MCLKEn レジスタでモジュールクロックをディスエーブルにする必要があります。スタンバイモードから復帰するときは、MCLKEn レジスタでクロックをイネーブルにする必要があります。

© SANKEN ELECTRIC CO., LTD. 2017

4.2.5. クロック設定手順

リセットを解除した直後の本 LSI のクロックは、以下の状態です。

- IRC：イネーブル、CLKIN 端子入力：ディスエーブル、CLKSRC：IRC を選択
- PLL：ディスエーブル
- PLL リファレンス入力：CLKSRC/1
- CLKFAST：CLKSRC の 8 分周動作
- CLKPWM：ディスエーブル

以下にクロックの設定手順例を示します。

(1) CLKCFG1.CLKINE ビットを 1 に設定し、CLKIN 入力をイネーブルにします。
(2) CLKCFG1.CLKSRC ビットで、CLKSRC を IRC か CLKIN に設定します。
(3) PLLCFG.REFDIV ビットで、PLL のリファレンスクロックの分周比を設定します。
(4) PLLCFG.PLLEN ビットを 1 に設定し、PLL をイネーブルにします。
(5) PLL 発振安定時間を待った後、PLLCFG.PLLOUT ビットを 1 に設定して PLL クロックをイネーブルにします。
(6) CLKCFG0.CLKPLL ビットの設定で CLKFAST のクロック源を選択します（CLKSRC／PLL）。
(7) CLKCFG0.DIV1 ビットで、CLKFAST の分周比を設定します。
(8) PWMCSC0 レジスタで、CLKPWM のクロックの種類と分周比を設定します。
(9) PWMENBL.PWMAE ビットを 1 に設定し、CLKPWM をイネーブルにします。
(10) MCLKEn レジスタで、周辺機能にクロックを供給します。

CLKIN を使用しない場合、(1)と(2)は不要です。PLL を使用しない場合、(3)～(5)は不要です。PWM を使用しない場合、(8)と(9)は不要です。

© SANKEN ELECTRIC CO., LTD. 2017

4.3. 低消費電力モード

本 LSI には、2 つの低消費電力モード（スリープモードとスタンバイモード）があります。

4.3.1. スリープモード

スリープモードでは、CPU クロックが停止します。スリープモードに遷移する場合は、LPCTRL.LPSEL ビットを 0 に設定した後、LPCTRL.GOTOLPM ビットを 1 に設定します。CPU のフラッシュメモリへのアクセスの完了を待った後、CPU クロックを停止しスリープモードに遷移します。スリープモード中の周辺機能クロックは、MCLKEn レジスタの設定に従います。スリープモードからの復帰要因は、割込みかリセットです。割込み復帰要因は、INTENAn レジスタでイネーブルにしたすべての割込みが対象です。スリープモードに遷移する前に、INTENAn レジスタを設定する必要があります。

OCD 通信を行った場合、それ以降はスリープモードに遷移しません。クロックは停止せず、処理を継続します。

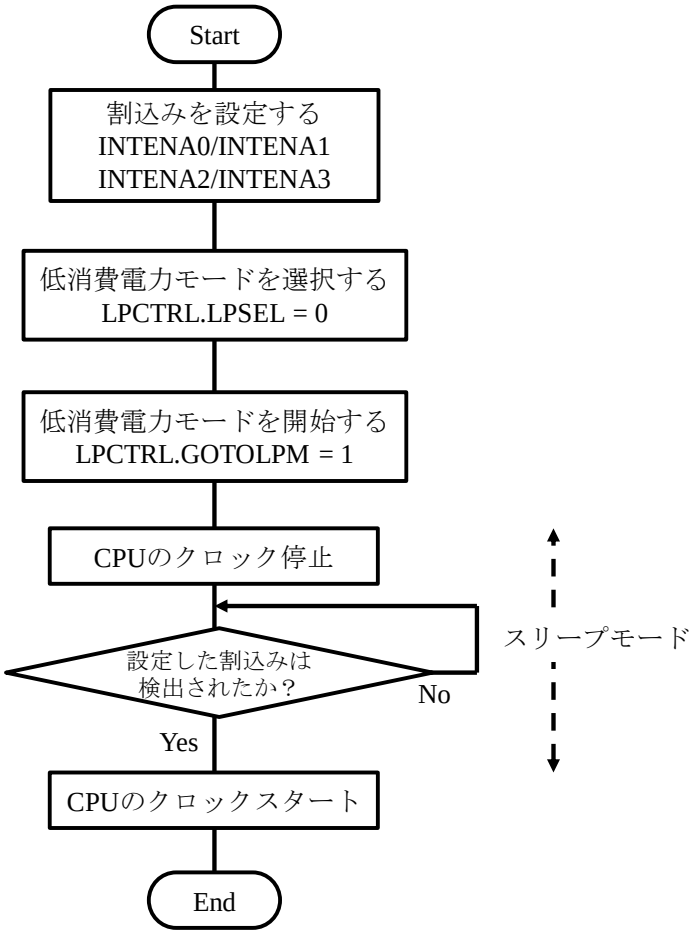


図 4-2　スリープモードのシーケンス

© SANKEN ELECTRIC CO., LTD. 2017

4.3.2. スタンバイモード

スタンバイモードでは、本 LSI 内のすべてのクロック（IRC、CLKIN、PLL）が停止します。スタンバイモードに遷移する場合は、LPCTRL.LPSEL ビットを 1 に設定した後、LPCTRL.GOTOLPM ビットを 1 に設定します。CPU のフラッシュメモリへのアクセスの完了を待った後、本 LSI 内のすべてのクロックを停止して、スタンバイモードに遷移します。スタンバイモードからの復帰要因は、GPIO 割込み、CMP レベル割込み、および低電圧検出（LVD）です。スタンバイモードに遷移する前に、INTENAn レジスタを設定する必要があります。CMP レベル割込みと LVD によるスタンバイモードからの復帰要因は、CSBYCR レジスタで選択します。スタンバイモードからの復帰要因を検出すると、IRC、CLKIN、および PLL の発振が、スタンバイモードに遷移する前の設定状態に復帰した後、CLKSRC でカウントする復帰カウンタが、カウント動作を開始します。復帰カウンタのカウントが終了すると、CPU と周辺機能にクロックの供給を開始します。復帰カウンタは、LPCTRL.WUPTM ビットで設定します。

OCD 通信を行った場合、それ以降はスタンバイモードに遷移しません。クロックは停止せず、処理を継続します。

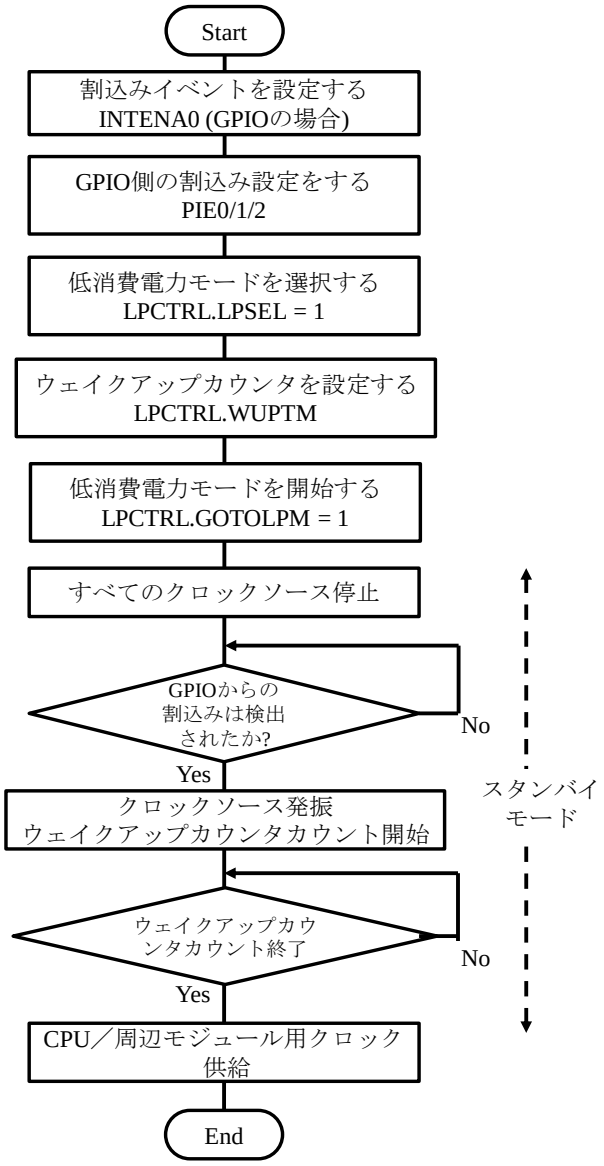


図 4-3　スタンバイモードのシーケンス（GPIO 割込みで復帰する場合）

© SANKEN ELECTRIC CO., LTD. 2017

4.3.3. スリープ／スタンバイモード遷移時の NOP 命令挿入

以下のように、LPCTRL.GOTOLPM ビットを 1 に設定した直後に、NOP 命令を 16 個配置してください。

```
LPCTRL |= 0x01;  // Go to STBY/SLEEP mode
__asm
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
                 nop
__endasm;
```


© SANKEN ELECTRIC CO., LTD. 2017

4.4. リセット回路

図 4-4 にリセットシステムを示します。

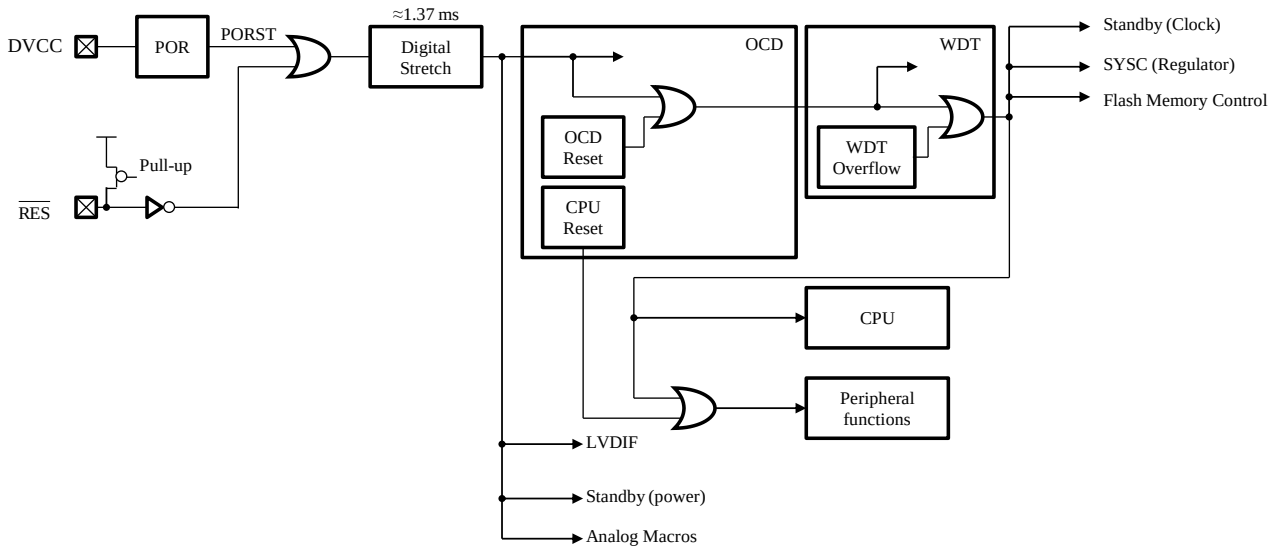


図 4-4 リセットシステム

リセットの種類について、以下に説明します。

● **$\overline{\text{RES}}$端子**

$\overline{\text{RES}}$端子を“L”にすると、チップ全体がリセットされます。

● **POR**

パワーオンリセット（POR）は、DVCC 端子の電圧レベルで生成されます。DVCC 端子電圧が POR 検出電圧 V_{PORL} 以下になると、POR が発行されます。DVCC 端子電圧が POR 検出電圧 V_{PORH} 以上になると、POR が解除されます。

● **OCD リセット**

OCD コマンドで、OCD を除くすべてのモジュールがリセットされます。

● **WDT リセット**

ウォッチドッグタイマ（WDT）がオーバフローしたときに生成されるリセットです。システムクロックで、64 サイクルの間、リセットが発生します。

● **CPU リセット**

OCD コマンドで、OCD、WDT を除くすべてのモジュール（CPU を含む）がリセットされます。

$\overline{\text{RES}}$端子リセットと POR の両方の解除から約 1.37 ms（IRC = 12 MHz）の間、デジタルストレッチで IC 内のリセット状態を延長します。この期間で DVCC 端子の電圧と IRC 周波数をこの期間で安定させる必要があります。

$\overline{\text{RES}}$端子リセットを使用しない場合は、$\overline{\text{RES}}$端子をオープンにするか、DVCC 端子の電圧と同一レベルに固定してください。

表 4-3 に、リセットの種類とリセットされる範囲を示します。

© SANKEN ELECTRIC CO., LTD. 2017

表 4-3　リセットの種類とリセットされる範囲

リセットの種類	OCD	WDT[1]	LVD フラグ[2]	SYSC	他
$\overline{\text{RES}}$端子	リセットする	リセットする	リセットする	リセットする	リセットする
POR	リセットする	リセットする	リセットする	リセットする	リセットする
OCD リセット（チップ全体）	リセットしない	リセットする	リセットする	リセットする	リセットする
WDT リセット	リセットしない	リセットしない	リセットしない	リセットする	リセットする
CPU リセット	リセットしない	リセットしない	リセットしない	リセットしない	リセットする

[1] WTCNT レジスタと WTCSR.WOVF ビットが対象です。その他の WDT レジスタは、WDT リセットでリセットされます。
[2] LVDCTRL.LVDIF ビットが対象です。それ以外の LVDCTRL レジスタのビットは、SYSC と同様です。

4.5.　低電圧検出（LVD）

低電圧検出（LVD : Low Voltage Detection）では、DVCC 端子の電圧低下を検出して、CPU に割込み要求を通知します。LVD を使用する場合は、REFCTRL.VREF120AEN ビットを 1 に設定して LVD 用の VREF 電圧を出力させた後、LVDCTRL.LVDE ビットを 1 に設定します。DVCC 端子電圧が低電圧検出電圧を下回ると、LVDCTRL.LVDIF ビットが 1 になります。このとき、LVDCTRL.LVDIE ビットを 1 に設定すると、CPU に割込み要求を通知できます。DVCC 端子電圧が低電圧検出電圧を上回った状態で LVDCTRL.LVDIF ビットを 1 に設定すると、LVDCTRL.LVDIF ビットがクリアされます。DVCC 電圧が低電圧検出電圧を下回った状態で LVDCTRL.LVDIF ビットを 1 に設定しても、LVDCTRL.LVDIF ビットはクリアされません。

低電圧検出で、スタンバイモードから復帰できます。LVDCTRL.LVDIE ビットを 1 に設定すると、スタンバイモードから復帰するときに CPU に LVD 割込み要求を通知できます。

LVDCTRL.LVDIF ビットをクリアした直後に LVDCTRL.LVDIF ビットをリードする場合は、最低 3 サイクル待ってください。

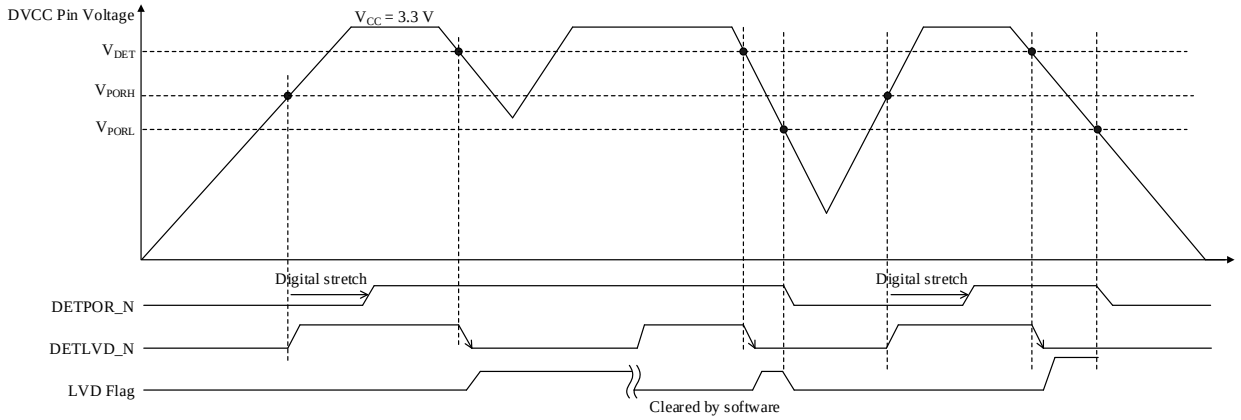


図 4-5　POR と LVD の関係

© SANKEN ELECTRIC CO., LTD. 2017

4.6. アナログインフラ制御

SYSC は、リファレンス電源と端子の拡張プルアップ抵抗を制御します。

● **OPAMP 用 IBIAS**

OPAMP 用 IBIAS の動作モードを制御します。REFCTRL.IBIAS_AMP_LPW ビットを 1 に設定すると、OPAMP を低消費電力モードで動作させることができます。

● **低電圧検出（LVD）用 VREF 出力**

LVD 用の VREF 出力を制御します。LVD を使用する場合は、LVD をイネーブルにする前に REFCTRL.VREF120AEN ビットを 1 に設定してください。LVD を使用しない場合は、REFCTRL.VREF120AEN ビットを 0 に設定すると、LVD 用の VREF 出力をオフして消費電力を低減します。

● **ADC 測定用 VREF 出力**

ADC 測定用の VREF 出力を制御します。ADC で VREF 電圧を測定する場合は、AD 変換する前に REFCTRL.VREF120BEN ビットを 1 に設定してください。ADC で VREF 電圧を測定しない場合は、REFCTRL.VREF120BEN ビットを 0 に設定すると、ADC 測定用の VREF 出力をオフして消費電力を低減します。

● **GPIO20 拡張プルアップ抵抗**

RESCTRL.GPIO20E ビットを 1 に設定すると、GPIO20（ANEX4）に拡張プルアップ抵抗が接続されます。GPIO20 拡張プルアップ抵抗と I／O バッファのプルアップ抵抗を併用すると、GPIO20 のプルアップ抵抗値を小さくすることができます。

● **GPIO21 拡張プルアップ抵抗**

RESCTRL.GPIO21E ビットを 1 に設定すると、GPIO21（ANEX5）に拡張プルアップ抵抗が接続されます。GPIO21 拡張プルアップ抵抗と I／O バッファのプルアップ抵抗を併用すると、GPIO21 のプルアップ抵抗値を小さくすることができます。

© SANKEN ELECTRIC CO., LTD. 2017

4.7. レジスタ説明

表 4-4 レジスター一覧

Symbol	Name	Address	Initial Value
CLKCFG0	Clock Configuration0 Register	0xFF80	0x00
CLKCFG1	Clock Configuration1 Register	0xFF81	0x01
PLLCFG	PLL Configuration Register	0xFF82	0x00
MCLKE0	Module Clock Enable0 Register	0xFF84	0x80
MCLKE1	Module Clock Enable1 Register	0xFF85	0x00
MCLKE2	Module Clock Enable2 Register	0xFF86	0x00
MCLKE3	Module Clock Enable3 Register	0xFF87	0x00
MCLKE4	Module Clock Enable4 Register	0xFF88	0x00
MCLKE5	Module Clock Enable5 Register	0xFF89	0x00
MCLKE6	Module Clock Enable6 Register	0xFF8A	0x00
LVDCTRL	LVD Control Register	0xFF90	0x00
REFCTRL	Reference Voltage Control Register	0xFF91	0x00
RESCTRL	Resistor Control Register	0xFF92	0x00
PWMENBL	PWM Clock Enable Control Register	0xFF98	0x00
PWMCSC0	PWM Clock Source Control0 Register	0xFF99	0x08
LPCTRL	Low Power Control Register	0xFFA0	0x00
CSBYCR	CMP Standby Control Register	0xFFA1	0x00
DEVER	Device Version and Revision Register	0xFFB0	0x30
REMAP	Remap Control Register	0xFFC0	0x00
TEMP*	Temperature Sensor Control Register	0xFFC1	0x00
BUSBUFCR	BUS Buffer Control Register	0xFFC2	0x80
LINECTRL	DBG Line Control Register	0xFFE0	0x00
TMR2INCR	TMR2 Input Control Register	0xFFE1	0x00

* TEMP の詳細については、25 項を参照してください。

© SANKEN ELECTRIC CO., LTD. 2017

4.7.1. CLKCFG0 (Clock Configuration0 Register)

Register	CLKCFG0	Clock Configuration0 Register	Address	0xFF80

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	CLKPLL	R/W	0	PLL クロック 0：CLKFAST のクロック源は CLKSRC 1：CLKFAST のクロック源は PLL クロックの1/16 PLLCFG.PLLEN ビットが 0、または PLLCFG.PLLOUT ビットが 0 のときは、本ビットに 0 をライトできません。クロックの切換えには、CLKSRC の最大 6 サイクルを必要とします。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	DIV1	R/W	0	主要分周器 00：×1/8の分周を選択 01：×1/4の分周を選択 10：×1/2の分周を選択 11：×1/1の分周を選択 クロックの切換えには、CLKFAST の最大 6 サイクルを必要とします。	
2		R/W	0		
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

4.7.2. CLKCFG1 (Clock Configuration1 Register)

CLKIN と IRC の両方をディスエーブルにしたり、停止しているクロックに切り換えたりする設定はできません。

スタンバイモードでは、CLKIN と IRC は、CLKINE ビットと IRCE ビットの設定にかかわらず停止します。クロックを IRC から CLKIN に、または CLKIN から IRC に切り換える前に CLKINE ビットと IRCE ビットを 1 に設定しておく必要があります。

Register	CLKCFG1	Clock Configuration1 Register	Address	0xFF81

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	CLKMON	R/W	0	クロックモニタ 00：CLKMON に CLKSRC を選択 01：CLKMON に CLKFAST を選択 10：CLKMON に CLKIRC を選択 11：CLKMON に CLKIN を選択	
3		R/W	0		
2	CLKSRC	R/W	0	クロック源 0：CLKSRC に CLKIRC を選択 1：CLKSRC に CLKIN 端子入力を選択 本ビットの値は、CLKINE ビットと IRCE ビットが 1 のときに変更してください。 クロックの切換えには、IRC か CLKIN の速度の低い方のクロックの最大 6 サイクルを必要とします。	
1	CLKINE	R/W	0	CLKIN 入力イネーブル 0：CLKIN 入力をディスエーブル 1：CLKIN 入力をイネーブル	
0	IRCE	R/W	1	IRC イネーブル 0：IRC をディスエーブル 1：IRC をイネーブル OCD を接続すると、本ビットは強制的に 1 になります。 0 には設定できません。 DTSTCR.IRCKILL = 1 のとき、本ビットは 0 になります。	

© SANKEN ELECTRIC CO., LTD. 2017

4.7.3. PLLCFG (PLL Configuration Register)

Register	PLLCFG	PLL Configuration Register		Address	0xFF82
Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	PLLOUT	R/W	0	PLL クロック出力 0：PLL クロック出力をディスエーブル 1：PLL クロック出力をイネーブル CLKCFG0.CLKPLL = 1 の場合、0 はライトできません。	
1	PLLEN	R/W	0	PLL イネーブル 0：PLL をディスエーブル 1：PLL をイネーブル CLKCFG0.CLKPLL = 1 の場合、0 はライトできません。	
0	REFDIV	R/W	0	PLL リファレンスクロック分周器 0：CLKSRC/1 1：CLKSRC/2	

4.7.4. MCLKE0 (Module Clock Enable0 Register)

Register	MCLKE0	Module Clock Enable0 Register		Address	0xFF84
Bit	Bit Name	R/W	Initial	Description	Remarks
7	ME_SCID	R/W	1	SCID クロックイネーブル 0：SCID クロックをディスエーブル 1：SCID クロックをイネーブル デバッガ通信を開始すると、本ビットの設定にかかわらず SCID のクロックが供給されます。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	ME_TIM23	R/W	0	TMR2／3 クロックイネーブル 0：TMR2／3 クロックをディスエーブル 1：TMR2／3 クロックをイネーブル	
4	ME_TIM01	R/W	0	TMR0／1 クロックイネーブル 0：TMR0／1 クロックをディスエーブル 1：TMR0／1 クロックをイネーブル	
3	ME_SPI	R/W	0	SPI クロックイネーブル 0：SPI クロックをディスエーブル 1：SPI クロックをイネーブル	
2	ME_I2C	R/W	0	I^2C クロックイネーブル 0：I^2C クロックをディスエーブル 1：I^2C クロックをイネーブル	
1	ME_UART	R/W	0	UART クロックイネーブル 0：UART クロックをディスエーブル 1：UART クロックをイネーブル	
0	ME_GPIO	R/W	0	GPIO クロックイネーブル 0：GPIO クロックをディスエーブル 1：GPIO クロックをイネーブル	

© SANKEN ELECTRIC CO., LTD. 2017

4.7.5. MCLKE1 (Module Clock Enable1 Register)

Register	MCLKE1	Module Clock Enable1 Register	Address	0xFF85

Bit	Bit Name	R/W	Initial	Description	Remarks
7	ME_EVC	R/W	0	EVC クロックイネーブル 0：EVC クロックをディスエーブル 1：EVC クロックをイネーブル	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	ME_DSP1	R/W	0	TinyDSP1 クロックイネーブル 0：TinyDSP1 クロックをディスエーブル 1：TinyDSP1 クロックをイネーブル	
4	ME_DSP0	R/W	0	TinyDSP0 クロックイネーブル 0：TinyDSP0 クロックをディスエーブル 1：TinyDSP0 クロックをイネーブル	
3	ME_EPU	R/W	0	EPU クロックイネーブル 0：EPU クロックをディスエーブル 1：EPU クロックをイネーブル	
2	ME_DSAC	R/W	0	DSAC クロックイネーブル 0：DSAC クロックをディスエーブル 1：DSAC クロックをイネーブル	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

4.7.6. MCLKE2 (Module Clock Enable2 Register)

Register	MCLKE2	Module Clock Enable2 Register	Address	0xFF86

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	ME_ADC1	R/W	0	ADC1 クロックイネーブル 0：ADC1 クロックをディスエーブル 1：ADC1 クロックをイネーブル	
4	ME_ADC0	R/W	0	ADC0 クロックイネーブル 0：ADC0 クロックをディスエーブル 1：ADC0 クロックをイネーブル	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

4.7.7. MCLKE3 (Module Clock Enable3 Register)

Register	MCLKE3	Module Clock Enable3 Register	Address	0xFF87

Bit	Bit Name	R/W	Initial	Description	Remarks
7	ME_SPR	R/W	0	SPR クロックイネーブル 0：SPR クロックをディスエーブル 1：SPR クロックをイネーブル	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	ME_AMP1	R/W	0	AMP1 クロックイネーブル 0：AMP1 クロックをディスエーブル 1：AMP1 クロックをイネーブル	
4	ME_AMP0	R/W	0	AMP0 クロックイネーブル 0：AMP0 クロックをディスエーブル 1：AMP0 クロックをイネーブル	
3	ME_CMP3	R/W	0	CMP3 クロックイネーブル 0：CMP3 クロックをディスエーブル 1：CMP3 クロックをイネーブル	
2	ME_CMP2	R/W	0	CMP2 クロックイネーブル 0：CMP2 クロックをディスエーブル 1：CMP2 クロックをイネーブル	
1	ME_CMP1	R/W	0	CMP1 クロックイネーブル 0：CMP1 クロックをディスエーブル 1：CMP1 クロックをイネーブル	
0	ME_CMP0	R/W	0	CMP0 クロックイネーブル 0：CMP0 クロックをディスエーブル 1：CMP0 クロックをイネーブル	

4.7.8. MCLKE4 (Module Clock Enable4 Register)

Register	MCLKE4	Module Clock Enable4 Register	Address	0xFF88

Bit	Bit Name	R/W	Initial	Description	Remarks
7	ME_CMPLUT	R/W	0	LUT クロックイネーブル 0：LUT クロックをディスエーブル 1：LUT クロックをイネーブル	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	ME_CMP5	R/W	0	CMP5 クロックイネーブル 0：CMP5 クロックをディスエーブル 1：CMP5 クロックをイネーブル	
0	ME_CMP4	R/W	0	CMP4 クロックイネーブル 0：CMP4 クロックをディスエーブル 1：CMP4 クロックをイネーブル	

© SANKEN ELECTRIC CO., LTD. 2017

4.7.9. MCLKE5 (Module Clock Enable5 Register)

Register	MCLKE5	Module Clock Enable5 Register	Address	0xFF89

Bit	Bit Name	R/W	Initial	Description	Remarks
7	ME_POC3	R/W	0	POC3 クロックイネーブル 0：POC3 クロックをディスエーブル 1：POC3 クロックをイネーブル	
6	ME_POC2	R/W	0	POC2 クロックイネーブル 0：POC2 クロックをディスエーブル 1：POC2 クロックをイネーブル	
5	ME_POC1	R/W	0	POC1 クロックイネーブル 0：POC1 クロックをディスエーブル 1：POC1 クロックをイネーブル	
4	ME_POC0	R/W	0	POC0 クロックイネーブル 0：POC0 クロックをディスエーブル 1：POC0 クロックをイネーブル	
3	ME_PWM3	R/W	0	PWM3 クロックイネーブル 0：PWM3 クロックをディスエーブル 1：PWM3 クロックをイネーブル	
2	ME_PWM2	R/W	0	PWM2 クロックイネーブル 0：PWM2 クロックをディスエーブル 1：PWM2 クロックをイネーブル	
1	ME_PWM1	R/W	0	PWM1 クロックイネーブル 0：PWM1 クロックをディスエーブル 1：PWM1 クロックをイネーブル	
0	ME_PWM0	R/W	0	PWM0 クロックイネーブル 0：PWM0 クロックをディスエーブル 1：PWM0 クロックをイネーブル	

4.7.10. MCLKE6 (Module Clock Enable6 Register)

Register	MCLKE6	Module Clock Enable6 Register	Address	0xFF8A

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	ME_RAM1	R/W	0	RAM1（アドレス 0x0400～0x05FF）クロックイネーブル 0：RAM1 クロックをディスエーブル 1：RAM1 クロックをイネーブル	
0	ME_RAM0	R/W	0	RAM0（アドレス 0x0000～0x03FF）クロックイネーブル 0：RAM0 クロックをディスエーブル 1：RAM0 クロックをイネーブル	

© SANKEN ELECTRIC CO., LTD. 2017

4.7.11. PWMENBL (PWM Clock Enable Control Register)

Register	PWMENBL	PWM Clock Enable Control Register	Address	0xFF98

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	PWMAE	R/W	0	PWM クロック源イネーブル 0：PWM クロック源をディスエーブル 1：PWM クロック源をイネーブル	

4.7.12. PWMCSC0 (PWM Clock Source Control0 Register)

Register	PWMCSC0	PWM Clock Source Control0 Register	Address	0xFF99

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	PWMCCA	R/W	1	クロック源 0000：PLLOUT/1 0001：PLLOUT/2 0010：PLLOUT/4 0011：PLLOUT/8 0100：PLLOUT/16 0101：PLLOUT/32 1000：CLKSRC（初期設定） その他：使用禁止	
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

4.7.13. LVDCTRL (Low Voltage Detector Control Register)

Register	LVDCTRL	LVD Control	Address	0xFF90

Bit	Bit Name	R/W	Initial	Description	Remarks
7	LVDE	R/W	0	低電圧検出（LVD）イネーブル 0：LVD をディスエーブル 1：LVD をイネーブル	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	LVDIE	R/W	0	低電圧検出（LVD）割込み要求イネーブル 0：LVD 割込み要求をディスエーブル 1：LVD 割込み要求をイネーブル	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	LVDIF	R/C	0	低電圧検出（LVD）割込みフラグ リード 0：LVD 割込みの検出なし リード 1：LVD 割込みを検出 ライト 0：変化なし ライト 1：本ビットをクリア 本ビットは LVDIE ビットに関係なく、LVD でセットされます。	

© SANKEN ELECTRIC CO., LTD. 2017

4.7.14. REFCTRL (Reference Control Register)

Register	REFCTRL	Reference Control Register	Address	0xFF91

Bit	Bit Name	R/W	Initial	Description	Remarks
7	IBIAS_AMP_LPW	R/W	0	OPAMP 用 IBIAS 動作モード 0：通常モードで動作 1：低消費電力モードで動作	
6	VREF120AEN	R/W	0	低電圧検出（LVD）用 VREF 出力イネーブル 0：VREF 出力をディスエーブル 1：VREF 出力をイネーブル LVD を使用する前に、LVD 用 VREF 出力をイネーブルに設定してください。	
5	VREF120BEN	R/W	0	ADC 用 VREF 出力イネーブル 0：VREF 出力をディスエーブル 1：VREF 出力をイネーブル ADC で VREF 電圧を計測する場合、ADC 用 VREF 出力をイネーブルにしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

4.7.15. RESCTRL (Resistor Control Register)

Register	RESCTRL	Resistor Control Register	Address	0xFF92

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	GPIO21E	R/W	0	GPIO21（ANEX5）に拡張プルアップ抵抗を接続 0：拡張プルアップ抵抗を接続しない 1：拡張プルアップ抵抗を接続する	
0	GPIO20E	R/W	0	GPIO20（ANEX4）に拡張プルアップ抵抗を接続 0：拡張プルアップ抵抗を接続しない 1：拡張プルアップ抵抗を接続する	

© SANKEN ELECTRIC CO., LTD. 2017

4.7.16. LPCTRL (Low Power Control Register)

Register	LPCTRL	Low Power Control Register	Address	0xFFA0

Bit	Bit Name	R/W	Initial	Description	Remarks
7	WUPTM	R/W	0	復帰カウンタのカウント数設定 00：512 カウント（42.7 μs） 01：768 カウント（64.0 μs） 10：1024 カウント（85.3 μs） 11：4096 カウント（341.3 μs） カウンタクロックは CLKSRC（12 MHz）です。	
6		R/W	0		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	LPSEL	R/W	0	低消費電力モード選択 0：スリープモード（CPU のみ停止）で動作 1：スタンバイモード（チップ停止）で動作	
0	GOTOLPM	W	0	低消費電力モード遷移 0：通常モード（影響なし）で動作 1：低消費電力モードで動作	

© SANKEN ELECTRIC CO., LTD. 2017

4.7.17. CSBYCR (CMP Standby Control Register)

Register	CSBYCR	CMP Standby Control Register	Address	0xFFA1

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	LVDE	R/W	0	低電圧検出（LVD）でスタンバイモードから復帰 0：復帰しない 1：復帰する	
5	CMP5E	R/W	0	CMP5 のレベル割込みでスタンバイモードから復帰 0：復帰しない 1：復帰する	
4	CMP4E	R/W	0	CMP4 のレベル割込みでスタンバイモードから復帰 0：復帰しない 1：復帰する	
3	CMP3E	R/W	0	CMP3 のレベル割込みでスタンバイモードから復帰 0：復帰しない 1：復帰する	
2	CMP2E	R/W	0	CMP2 のレベル割込みでスタンバイモードから復帰 0：復帰しない 1：復帰する	
1	CMP1E	R/W	0	CMP1 のレベル割込みでスタンバイモードから復帰 0：復帰しない 1：復帰する	
0	CMP0E	R/W	0	CMP0 のレベル割込みでスタンバイモードから復帰 0：復帰しない 1：復帰する	

4.7.18. DEVER (Device Version and Revision Register)

プロテクトレベルが 2 の場合でも、OCD から DEVER レジスタをリードできます。

Register	DEVER	Device Version and Revision Register	Address	0xFFB0

Bit	Bit Name	R/W	Initial	Description	Remarks
7	VER	R	0	デバイスの種類 3 をリードできます。	
6		R	0		
5		R	1		
4		R	1		
3	REV	R	x	デバイスリビジョン デバイスのリビジョンに応じた値をリードできます。	
2		R	x		
1		R	x		
0		R	x		

© SANKEN ELECTRIC CO., LTD. 2017

4.7.19. REMAP (Remap Control Register)

Register	REMAP	Remap Control Register	Address	0xFFC0

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	REMAP	R/W	0	REMAP 制御 0：通常モードで動作 1：REMAP モードで動作 REMAP モードに関する詳細は、5.2 項を参照してください。	

4.7.20. BUSBUFCR (BUS Buffer Control Register)

Register	BUSBUFCR	BUS Buffer Control Register	Address	0xFFC2

Bit	Bit Name	R/W	Initial	Description	Remarks
7	SFRBUFE	R/W	1	SFR バッファイネーブル 0：SFR バッファをディスエーブル 1：SFR バッファをイネーブル	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	CLR_SCNT	W	0	SFR バッファ状態の初期化 0：SFR バッファ状態の変化なし 1：SFR バッファ状態を初期化する	
4	CLR_SSTM	W	0	SFR BUS バッファ内部状態の初期化 0：SFR BUS バッファ内部状態の変化なし 1：SFR BUS バッファ内部状態を初期化する	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	CLR_XSTM	W	0	XBUS バッファ内部状態の初期化 0：XBUS バッファ内部状態の変化なし 1：XBUS バッファ内部状態を初期化する	

© SANKEN ELECTRIC CO., LTD. 2017

4.7.21. LINECTRL (DBG Line Control Register)

Register	LINECTRL	DBG Line Control Register	Address	0xFFE0

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	LINECTRL	R/W	0	DBG 端子制御 0：SCID が DBG 端子を制御 1：UART が DBG 端子を制御 本ビットを 1 に設定すると、UART が DBG 端子を制御します。	

4.7.22. TMR2INCR (TMR2 Input Control Register)

Register	TMR2INCR	TMR2 Input Control Register	Address	0xFFE1

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	RXDSEL	R/W	0	TMR2 入力 0：TIOA2／TIOB2 端子入力を選択 1：RXD 端子入力を選択 本ビットを 1 に設定すると、PFS、SIS レジスタで選択した UART の RXD 入力を、TMR2 の TIOA と TIOB に入力します。	

© SANKEN ELECTRIC CO., LTD. 2017

4.8. 注意、制限事項

本 LSI が以下の動作状態になると、CPU がスリープモードから復帰しません。

(1) CPU がスリープモードに入るための命令を、レジスタに書き込む前後で、優先度が高い割込み信号を受け取った場合
(2) 優先度が高い割込みの処理中に、CPU がスリープモードに入るための命令をレジスタに書き込んだ場合

また、以下の動作状態では、CPU が優先度の高い割込みを受け取った場合だけ、CPU はスリープモードから復帰します。優先度が低い割込みの場合は、CPU はスリープモードから復帰しません。

(1) CPU がスリープモードに入るための命令をレジスタに書き込む前後で、優先度が低い割込み信号を受け取った場合
(2) 優先度が低い割込みの処理中に、CPU がスリープモードに入るための命令をレジスタに書き込んだ場合

通常の状態（割込み処理中ではない）で、CPU がスリープモードに入るための命令をレジスタに書き込む前後に、割込み信号を受け取らなかった場合、優先度にかかわらず、CPU は割込み信号でスリープモードから復帰します。
ここで、優先度が高い割込みとは、INTC のレジスタ INTLVLn の対応するビットが、1 に設定されている割込みを指します。同様に、優先度が低い割込みとは、INTLVLn の対応するビットが、0 に設定されている割込みを指します。

スリープモードを使用する場合は、以下の処理をしてください。

(1) スリープモードに入る前の対策
コンパレータや GPIO などに入力される外部信号による割込みなど、CPU が発生のタイミングを制御できない割込みは、スリープモードに入る前にディスエーブルにしてください。発生のタイミングを CPU で制御できる割込みは、スリープモードに入るための命令を実行中に、割込みが発生しないようにしてください。
(2) スリープモードからの復帰要因の対策
スリープモードからの復帰要因になる割込みは、CPU で発生のタイミングを制御できるものを使用してください。割込みのタイミングを制御できないものを復帰要因として使用する場合は、CPU がスリープモードに入った後に、EPU で復帰要因の割込みをイネーブルにしてください。EPU は INTC のレジスタにアクセスできないので、割込みを発行するそれぞれの周辺モジュールの割込み機能のイネーブル／ディスエーブルを設定してください。スリープモードからの復帰要因の割込みは、優先度を高くすることを推奨します。

© SANKEN ELECTRIC CO., LTD. 2017

5. 8051 CPU

本 LSI は、Intel MCS−51（8051 ファミリ）とコンパチブルな命令セットアーキテクチャを持つ、8051 コア（UL8051）を搭載しています。UL8051 は、8052 の命令セットと互換があります。

UL8051 は、オリジナルの 8052 から拡張されています。ほとんどの命令が、1 命令あたり 1 サイクルで動作するパイプライン構造になっています。また、命令コードは、フラッシュメモリから 4 バイト単位でプリフェッチする機能と、命令実行のスループットを向上させる機能を有しています。さらに、デバッグに使用する端子数を最小限にできる、1 ワイヤ OCD を搭載しています。

5.1. 概要

表 5-1 に UL8051 の機能概要を示します。

表 5-1　UL8051 機能概要

項目	説明
命令セット	MCS−51（8052）コンパチブル
実行サイクル	1 サイクル／1 バイトフェッチ（1T コア）
構造	パイプライン
命令バス	8 ビット幅 IBUS（XPROG BUS）
データバス	8 ビット幅 XBUS（XDATA BUS）
SFR BUS	ビットライトストローブ付き 8 ビット幅
割込み要因	最大 32 種類
OCD（On Chip Debugger）	1 ワイヤインタフェース付きフルデバッグ機能

© SANKEN ELECTRIC CO., LTD. 2017

5.2. CPU 周辺システムの構成

図 5-1 に CPU 周辺のシステム構成を示します。

- IBUS（XPROG BUS）
  内蔵フラッシュメモリからの命令フェッチ用バス
  アクセス方法：命令フェッチまたは MOVC 命令（リード専用）
  データ幅：8 ビット
  アドレス空間：64 K バイト

- XBUS
  内蔵 RAM と周辺機能レジスタへのリード／ライト用バス
  アクセス方法：MOVX 命令
  データ幅：8 ビット
  アドレス空間：64 K バイト

- SFR BUS
  周辺機能の SFR（Special Function Register）へのリード／ライト用バス
  アクセス方法：ダイレクトアドレッシングモードの MOV 命令
  データ幅：8 ビット
  アドレス空間：128 バイト（0x80～0xFF）

- IRAM BUS
  内蔵 RAM へのリード／ライト用バス
  データ幅：8 ビット
  アドレス空間：256 バイト（0x00～0xFF）

REMAP モード時は、フラッシュメモリ（メインブロック）内のアドレス領域 0x0000～0x05FF を、命令フェッチか MOVC 命令でリードすると、RAM0 と RAM1 のアドレス領域 0x0000～0x05FF のデータが、リードできるようになります。

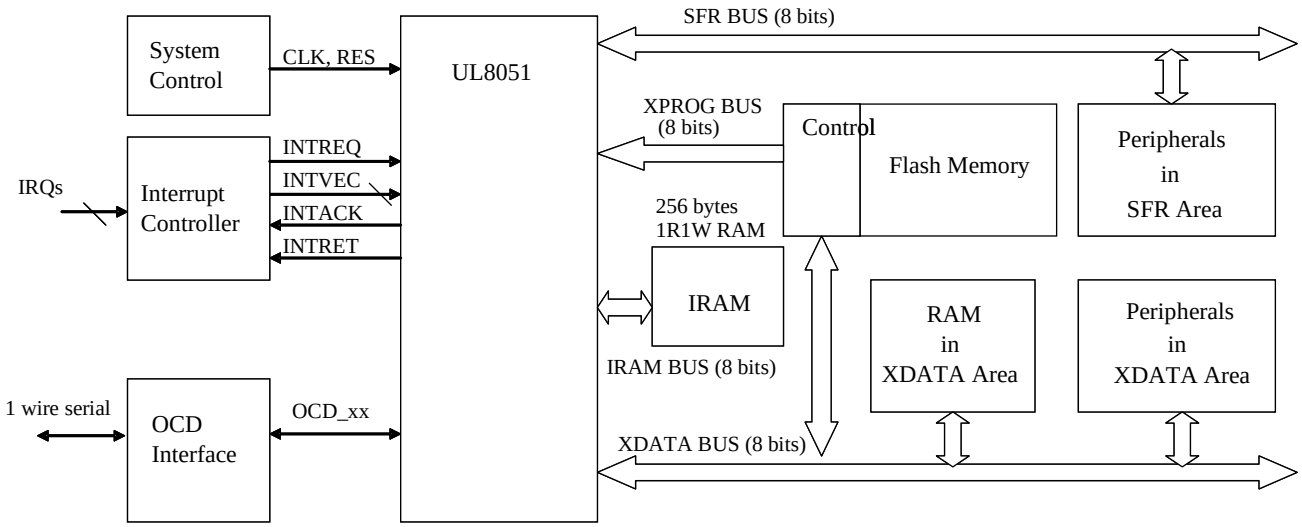


図 5-1　システム構成

© SANKEN ELECTRIC CO., LTD. 2017

5.3. メモリマップ

図 5-2 にシステムのアドレスマップを示します。

● **8052 アーキテクチャの内部データメモリ**
3 つのブロックに分割されています。

- 内部データメモリ 1
  アドレス空間：0x00～0x7F（128 バイト）
  汎用レジスタ：8 レジスタ×4 バンク（合計 32 バイト）
  ビットアドレッサブル領域：16 バイト
  汎用 IRAM_1 領域：80 バイト

- 内部データメモリ 2
  アドレス空間：0x80～0xFF（128 バイト）
  汎用 IRAM_2 領域：128 バイト
  インダイレクトアドレッシング命令でアクセスします。

- 内部データメモリ 3
  アドレス空間：0x80～0xFF（128 バイト）
  CPU と周辺機能の SFR が割り当てられている領域で、ダイレクトアドレッシング命令でアクセスします。アドレス 0xX0 または 0xX8（X = 8～F）は、ビットアドレッサブルアクセスが可能です
  例として、0x80 番地のビット 3 にアクセスする場合、ビットアドレスは 0x83 になります。

● **プログラムメモリ領域**
アドレス空間：0x0000～0xFFFF（64 K バイト）
フラッシュメモリは、プログラム領域のアドレスの下位側（0x0000～0x7FFF）に割り当てられています。MOVC 命令で、フラッシュメモリに配置されているデータをリードできます。

● **データメモリ領域**
アドレス空間：0x0000～0xFFFF（64 K バイト）
内蔵 RAM と周辺機能レジスタが接続されている XDATA BUS 領域が、割り当てられています。MOVX 命令でアクセスします。

● **周辺機能レジスタ**
周辺機能レジスタは、SFR とデータメモリ領域に割り当てられています。

© SANKEN ELECTRIC CO., LTD. 2017

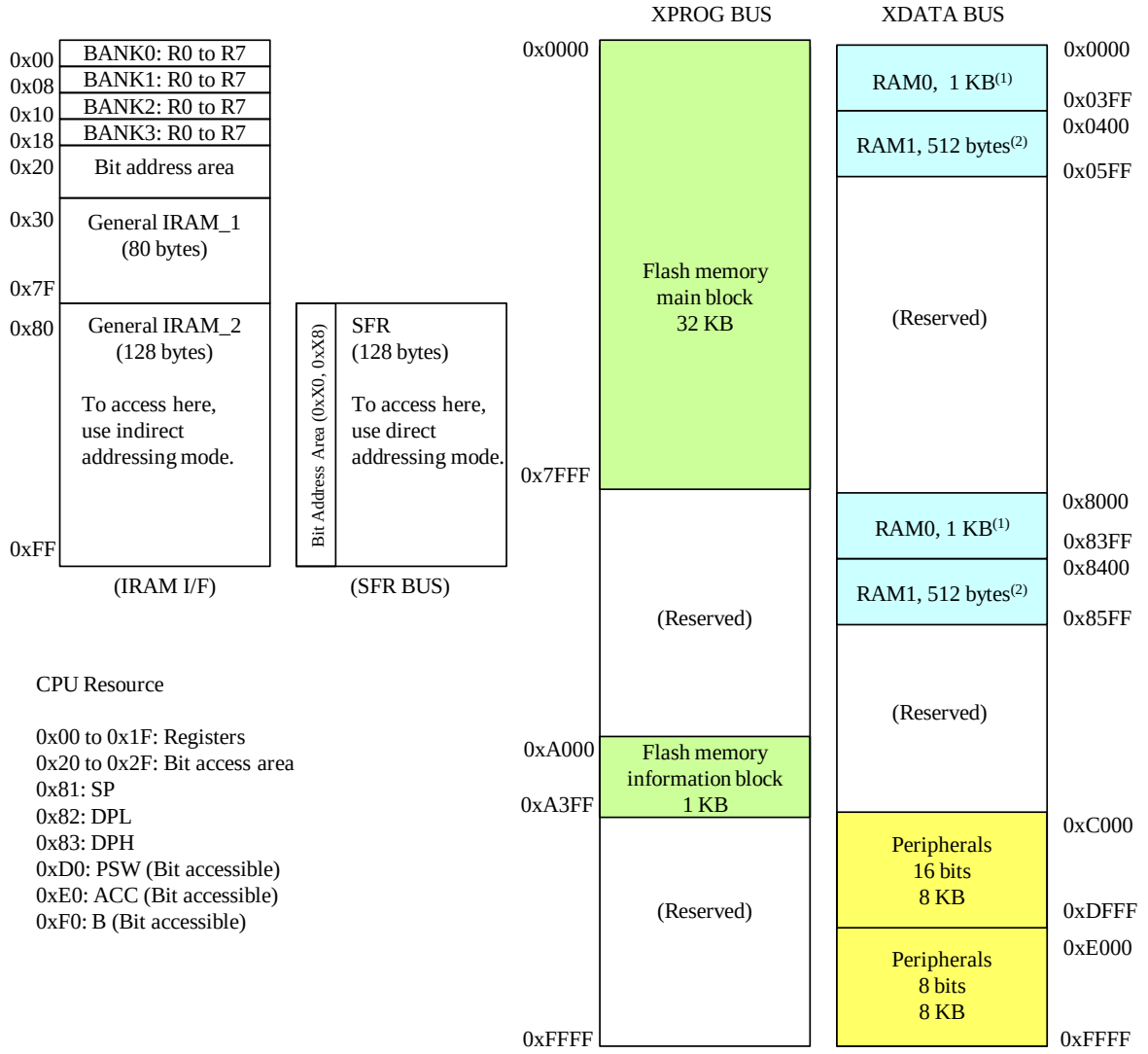


図 5-2　システムアドレスマップ

(1) RAM0 領域（0x8000～0x83FF）は、0x0000～0x3FF のシャドウメモリです。
(2) RAM1 領域（0x8400～0x85FF）は、0x0400～0x5FF のシャドウメモリです。

© SANKEN ELECTRIC CO., LTD. 2017

5.4. 命令コードマップ

表 5-2 命令コードマップ

Lower / Higher	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	Lower / Higher
0000	NOP	AJMP addr11	LJMP addr16	RR A	INC A	INC direct	INC @Ri		INC Rn								0000
0001	JBC bit, rel	ACALL addr11	LCALL addr16	RRC A	DEC A	DEC direct	DEC @Ri		DEC Rn								0001
0010	JB bit, rel	AJMP addr11	RET	RL A	ADD A, #data	ADD A, direct	ADD A, @Ri		ADD A, Rn								0010
0011	JNB bit rel	ACALL addr11	RETI	RLC A	ADDC A, #data	ADDC A, direct	ADDC A, @Ri		ADDC A, Rn								0011
0100	JC rel	AJMP addr11	ORL direct, A	ORL direct, #	ORL A, #data	ORL A, direct	ORL A, @Ri		ORL A, Rn								0100
0101	JNC rel	ACALL addr11	ANL direct, A	ANL direct, #	ANL A, #data	ANL A, direct	ANL A, @Ri		ANL A, Rn								0101
0110	JZ rel	AJMP addr11	XRL direct, A	XRL direct, #	XRL A, #data	XRL A, direct	XRL A, @Ri		XRL A, Rn								0110
0111	JNZ rel	ACALL addr11	ORL C, bit	JMP @A+DP	MOV A, #data	MOV d, #data	MOV @Ri, #data		MOV Rn, #data								0111
1000	SJMP rel	AJMP addr11	ANL C, bit	MOVC A, @A+P	DIV AB	MOV dD, dS	MOV direct, @Ri		MOV direct, Rn								1000
1001	MOV DPTR, #	ACALL addr11	MOV bit, C	MOVC A, @A+D	SUB A, #data	SUB A, direct	SUB A, @Ri		SUB A, Rn								1001
1010	ORL C, /bit	AJMP addr11	MOV C, bit	INC DPTR	MUL AB	(SBRK 0x0103)	MOV @Ri, direct		MOV Rn, direct								1010
1011	ANL C, /bit	ACALL addr11	CPL bit	CPL C	CJNE A, #, rel	CJNE A, d, rel	CJNE @Ri, #data, rel		CJNE Rn, #data, rel								1011
1100	PUSH direct	AJMP addr11	CLR bit	CLR C	SWAP A	XCH A, direct	XCH A, @Ri		XCH A, Rn								1100
1101	POP direct	ACALL addr11	SETB bit	SETB C	DA A	DJNZ d, rel	XCHD A, @Ri		DJNZ Rn rel								1101
1110	MOVX A, @DP	AJMP addr11	MOVX A, @Ri		CLR A	MOV A, direct	MOV A, @Ri		MOV A, Rn								1110
1111	MOVX @DP,A	ACALL addr11	MOVX @Ri, A		CPL A	MOV direct, A	MOV @Ri, A		MOV Rn, A								1111

5.4.1. CPU 命令に関する注意

● **未定義命令コード（0xA5）の動作**

命令コード（0xA5）は、“ソフトウェアブレイク：SBRK 0x0103”として動作します。これは“LCALL 0x103”と似た動作をします。ただし、リターンアドレス（スタックに格納されたアドレス）は、SBRK が配置されたアドレスです。

● **DIV AB 命令におけるゼロ除算**

B = 0(A/0)の場合、商 A は 255、余り B は A の初期値となり、OV フラグがセットされます。

● **スタックポインタ（SP）について**

スタックポインタ（SP）の初期値は 0x07 です。したがって、スタック領域とプログラムが使用する領域が、干渉しないように注意する必要があります。たとえば、SP の初期値を 0x07 とした場合、R0～R7（バンク 1～バンク 3）と、ビットアドレッサブル領域と、その他の IRAM 領域が、スタック領域に使用される可能性があります。

© SANKEN ELECTRIC CO., LTD. 2017

5.4.2. 命令ごとの実行サイクル数

CPU が 60 MHz で動作するのに対して、フラッシュメモリのアクセス周波数は 30 MHz（2 サイクルアクセス）です。この速度差を吸収するための仕組みは次のとおりです。CPU の命令フェッチ幅 8 ビットに対して、プログラムを格納しているフラッシュメモリデータ幅は、32 ビットです。一度に 4 倍のデータをフラッシュメモリからフェッチします。フラッシュメモリからフェッチした命令は、小容量の命令バッファに格納されます。命令バッファに実行すべき命令が存在する間、CPU は、1 サイクルで命令をフェッチできます。ただし、分岐命令で分岐が発生した場合 、フラッシュメモリから必要な命令を再度フェッチしなければならないので、2 サイクル必要な場合があります。

また、XDATA BUS に接続されている周辺機能レジスタにアクセスする場合は、2 サイクル必要です（MOVX 命令の実行サイクルに、1 サイクル加算されます）。MOVX 命令で RAM にアクセスする場合は、実行サイクルは加算されません。

Conditional Jump: Taken/Not Taken

OPCODE			Mnemo-nic	Operand	UL8051 Cycles	Original Cycles
aaa10001	aaaaaaaa		ACALL	addr11	4	24
00100100	iiiiiiii		ADD	A, #imm	2	12
00100101	dddddddd		ADD	A, direct	3	12
0010011m			ADD	A, @Rm	2	12
00101nnn			ADD	A, Rn	1	12
00110100	iiiiiiii		ADDC	A, #imm	2	12
00110101	dddddddd		ADDC	A, direct	3	12
0011011m			ADDC	A, @Rm	2	12
00111nnn			ADDC	A, Rn	1	12
aaa00001	aaaaaaaa		AJMP	addr11	3	24
01010010	dddddddd		ANL	direct, A	3	12
01010011	dddddddd	iiiiiiii	ANL	direct, #imm	3	24
01010100	iiiiiiii		ANL	A, #imm	2	12
01010101	dddddddd		ANL	A, direct	3	12
0101011m			ANL	A, @Rm	2	12
01011nnn			ANL	A, Rn	1	12
10000010	bbbbbbbb		ANL	C, bit	3	24
10110000	bbbbbbbb		ANL	C, /bit	3	24
10110100	iiiiiiii	rrrrrrrr	CJNE	A, #imm, rel	4/4	24/24
10110101	dddddddd	rrrrrrrr	CJNE	A, direct, rel	5/5	24/24
1011011m	iiiiiiii	rrrrrrrr	CJNE	@Rm, #imm, rel	4/4	24/24
10111nnn	iiiiiiii	rrrrrrrr	CJNE	Rn, #imm, rel	4/4	24/24
11000010	bbbbbbbb		CLR	bit	3	12
11000011			CLR	C	1	12
11100100			CLR	A	1	12
10110010	bbbbbbbb		CPL	bit	3	12
10110011			CPL	C	1	12
11110100			CPL	A	1	12
11010100			DA	A	1	12
00010100			DEC	A	1	12
00010101	dddddddd		DEC	direct	3	12
0001011m			DEC	@Rm	2	12
00011nnn			DEC	Rn	1	12
10000100			DIV	AB	10	48
11010101	dddddddd	rrrrrrrr	DJNZ	direct, rel	5/5	24/24
11011nnn	rrrrrrrr		DJNZ	Rn, rel	3/3	24/24
00000100			INC	A	1	12
00000101	dddddddd		INC	direct	3	12
0000011m			INC	@Rm	2	12
00001nnn			INC	Rn	1	12
10100011			INC	DPTR	1	24
00100000	bbbbbbbb	rrrrrrrr	JB	bit, rel	5/5	24/24
00010000	bbbbbbbb	rrrrrrrr	JBC	bit, rel	5/5	24/24
01000000	rrrrrrrr		JC	rel	3/2	24/24
01110011			JMP	@A+DPTR	3	24
00110000	bbbbbbbb	rrrrrrrr	JNB	bit, rel	5/5	24/24
01010000	rrrrrrrr		JNC	rel	3/2	24/24
01110000	rrrrrrrr		JNZ	rel	3/2	24/24
01100000	rrrrrrrr		JZ	rel	3/2	24/24
00010010	aaaaaaaa	aaaaaaaa	LCALL	addr16	4	24
00000010	aaaaaaaa	aaaaaaaa	LJMP	addr16	4	24
01110100	iiiiiiii		MOV	A, #imm	2	12
01110101	dddddddd	iiiiiiii	MOV	direct, #imm	3	24
0111011m	iiiiiiii		MOV	@Rm, #imm	2	12
01111nnn	iiiiiiii		MOV	Rn, #imm	2	12
10000101	ddd(src)	ddd(dst)	MOV	dir(dst), dir(src)	3	24

Conditional Jump: Taken/Not Taken

OPCODE			Mnemo-nic	Operand	UL8051 Cycles	Original Cycles
1000011m	dddddddd		MOV	direct, @Rm	2	24
10001nnn	dddddddd		MOV	direct, Rn	2	24
10010000	iiiiiiii	iiiiiiii	MOV	DPTR, #imm16	3	24
10010010	bbbbbbbb		MOV	bit, C	3	24
10100010	bbbbbbbb		MOV	C, bit	3	12
1010011m	dddddddd		MOV	@Rm, direct	3	24
10101nnn	dddddddd		MOV	Rn, direct	3	24
11100101	dddddddd		MOV	A, direct	3	12
1110011m			MOV	A, @Rm	2	12
11101nnn			MOV	A, Rn	1	12
11110101	dddddddd		MOV	direct, A	2	12
1111011m			MOV	@Rm, A	1	12
11111nnn			MOV	Rn, A	1	12
10000011			MOVC	A, @A+PC	4	24
10010011			MOVC	A, @A+DPTR	4	24
11100000			MOVX	A, @DPTR	3	24
1110001m			MOVX	A, @Rm	3	24
11110000			MOVX	@DPTR, A	1	24
1111001m			MOVX	@Rm, A	1	24
10100100			MUL	AB	1	48
00000000			NOP		1	12
01000010	dddddddd		ORL	direct, A	3	12
01000011	dddddddd	iiiiiiii	ORL	direct, #imm	3	24
01000100	iiiiiiii		ORL	A, #imm	2	12
01000101	dddddddd		ORL	A, direct	3	12
0100011m			ORL	A, @Rm	2	12
01001nnn			ORL	A, Rn	1	12
01110010	bbbbbbbb		ORL	C, bit	3	24
10100000	bbbbbbbb		ORL	C, /bit	3	24
11010000	dddddddd		POP	direct	2	24
11000000	dddddddd		PUSH	direct	3	24
00100010			RET		5	24
00110010			RETI		5	24
00100011			RL	A	1	12
00110011			RLC	A	1	12
00000011			RR	A	1	12
00010011			RRC	A	1	12
10100101			SBRK	0x0103	4	Undefined
11010010	bbbbbbbb		SETB	bit	3	12
11010011			SETB	C	1	12
10000000	rrrrrrrr		SJMP	rel	3	24
10010100	iiiiiiii		SUBB	A, #imm	2	12
10010101	dddddddd		SUBB	A, direct	3	12
1001011m			SUBB	A, @Rm	2	12
10011nnn			SUBB	A, Rn	1	12
11000100			SWAP	A	1	12
11000101	dddddddd		XCH	A, direct	3	12
1100011m			XCH	A, @Rm	2	12
11001nnn			XCH	A, Rn	1	12
1101011m			XCHD	A, @Rm	2	12
01100010	dddddddd		XRL	direct, A	3	12
01100011	dddddddd	iiiiiiii	XRL	direct, #imm	3	24
01100100	iiiiiiii		XRL	A, #imm	2	12
01100101	dddddddd		XRL	A, direct	3	12
0110011m			XRL	A, @Rm	2	12
01101nnn			XRL	A, Rn	1	12

© SANKEN ELECTRIC CO., LTD. 2017

5.5. バス構成

表 5-3 にバスの機能概要を、図 5-3 に本 LSI のシステムバス構成を示します。

表 5-3 バスの機能概要

項目	説明
システムバス	- XDATA BUS 8 ビット幅、64 K バイト空間 アクセスサイクル：2 サイクル（CLKFAST） - SFR BUS 16 ビット幅、256 バイト空間 8 ビット／16 ビットアクセスモード アクセスサイクル：1 サイクル（CLKFAST）
バスマスタ	- CPU - EPU（Event Processing Unit） - DSAC（Direct SFR Access Controller）
CPU BUS	- IBUS（XPROG BUS） 8 ビット幅、64 K バイト空間 - XBUS 8 ビット幅、64 K バイト空間 - SBUS 8 ビット幅、128 バイト空間 - IRAM BUS 8 ビット幅、256 バイト空間
EPU BUS	- MBUS 16 ビット幅、512 バイト空間 - XBUS 8 ビット幅、64 K バイト空間 - SBUS 16 ビット幅、256 バイト空間
DSAC BUS	- SFR BUS 16 ビット幅、256 バイト空間
調停回路	- フラッシュメモリアービタ - 周辺機能アービタ - XDATA BUS アービタ - SFR BUS アービタ - RAM アービタ
16 ビットアクセスバッファ	- XDATA BUS バッファ - SFR BUS バッファ

© SANKEN ELECTRIC CO., LTD. 2017

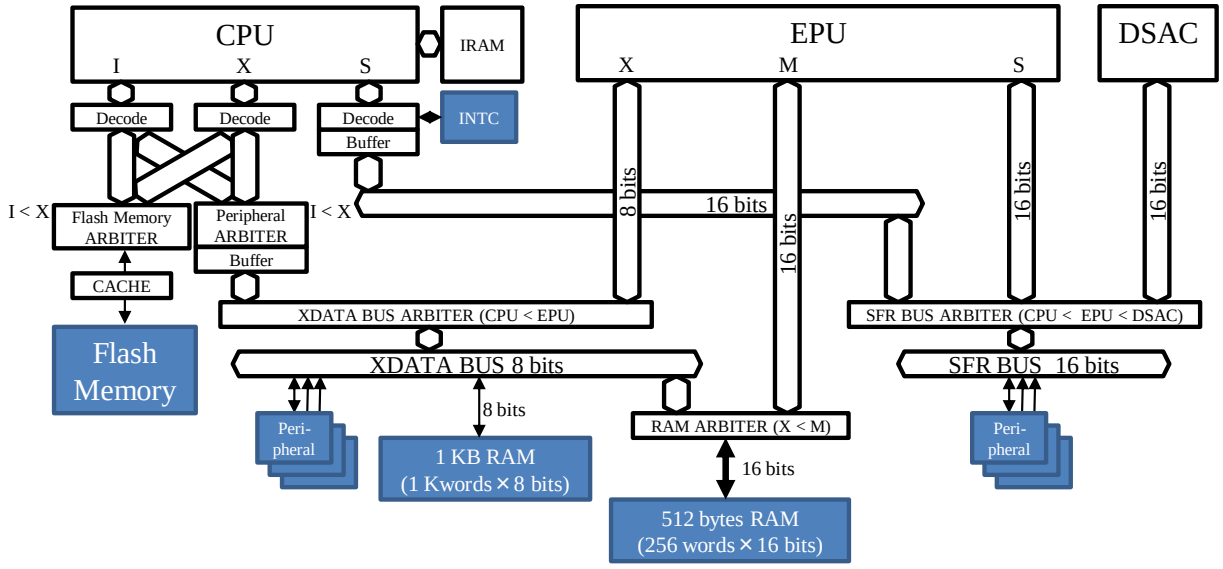


図 5-3　システムバス構造

5.6.　バスの動作説明

5.6.1.　システムバス

XDATA BUS と SFR BUS の 2 本のシステムバスは、周辺機能とメモリ（RAM0、RAM1）に接続されています。XDATA BUS と SFR BUS は、独立して動作できます。

● **XDATA BUS**
XDATA BUS には、周辺機能レジスタ（低速）とメモリ（RAM0、RAM1）が接続されています。

- リード／ライトのアクセスサイクル：2 サイクル（CLKFAST）
- データ幅：8 ビット
- アドレス空間：64 K バイト

● **SFR BUS**
SFR BUS には、周辺機能レジスタ（高速）が接続されています。

- リードとライトのアクセスサイクル：1 サイクル（CLKFAST）
- データ幅：16 ビット
- アドレス空間：256 バイト
- アクセスモード：8 ビット／16 ビットアクセス

16 ビットアクセスモードとは、SFR BUS に接続されている 16 ビットレジスタに、1 サイクルでアクセスするモードで、16 ビットデータバスを使用してアクセスします。8 ビットアクセスモードとは、SFR BUS に接続されている 8 ビットレジスタに対してアクセスするモードで、16 ビットデータバスのうち、下位 8 ビットを使用してアクセスします。また、8 ビットアクセスモードで 2 回アクセスすることで 16 ビットレジスタへアクセスできる周辺機能もあります。

© SANKEN ELECTRIC CO., LTD. 2017

5.6.2. バスマスタ

● **CPU**

CPU には、3 本のバスインタフェース（IBUS、XBUS、SBUS）があります。

IBUS と XBUS から、フラッシュメモリと XDATA BUS にアクセスできます。CPU から XDATA BUS にアクセスする場合、バッファを経由します。このバッファは、16 ビットレジスタ（2n 番地と 2n＋1 番地の連続するアドレス）にアクセスする際のアトミック性を保証します。

また、CPU から 16 ビット SFR にアクセスする場合は、同一アドレスへ 2 回アクセスします。CPU から SFR にアクセスする場合は、バッファを経由します。このバッファは、CPU からの 2 回アクセスをひとまとめにして 16 ビットアクセスを 1 回で行い、16 ビット SFR アクセスのアトミック性を保証します。

- IBUS：命令フェッチまたは MOVC 命令によるデータリードに使用
  データバス幅：8 ビット
  アドレス空間：64 K バイト

- XBUS：MOVX 命令によるデータアクセスに使用
  データバス幅：8 ビット
  アドレス空間：64 K バイト

- SBUS：MOV 命令による SFR アクセスに使用
  データバス幅：8 ビット
  アドレス空間：128 バイト（0x80～0xFF）、0x00～0x7F へのアクセス不可

● **DSAC（Direct SFR Access Controller）**

DSAC には、SFR BUS にアクセスできる SFR バスインタフェースがあります。
データバス幅：16 ビット
アドレス空間：256 バイト

● **EPU（Event Processing Unit）**

EPU には、3 本のバスインタフェース（MBUS、XBUS、SBUS）があります。

- MBUS：命令フェッチと MOVM 命令のアクセスに使用
  データバス幅：16 ビット
  アドレス空間：512 バイト
  MBUS には RAM1 が接続されており、XDATA BUS と共有されています。

- XBUS：MOVX 命令のデータアクセスに使用、XDATA BUS にアクセス可能
  データバス幅：8 ビット
  アドレス空間：64 K バイト

- SFR BUS：MOVS 命令の SFR アクセスに使用
  データバス幅：16 ビット
  アドレス空間：256 バイト

© SANKEN ELECTRIC CO., LTD. 2017

5.6.3. 調停回路

● フラッシュメモリアービタ

CPU の IBUS と XBUS の、フラッシュメモリへのアクセスを調停します。IBUS と XBUS のアクセスが競合した場合、XBUS アクセスが優先され、IBUS アクセスはウェイトされます。XBUS アクセスが完了し、次の XBUS アクセスがない場合は、ウェイトしていた IBUS アクセスが実行されます。一方のバスがフラッシュメモリにアクセスしている間に、もう一方のバスがアクセスした場合、フラッシュメモリへのアクセスが完了するまで、次のアクセスはウェイトされます。先着のアクセスが完了すると、優先順位に従って次の調停が処理されます。

● 周辺機器アービタ

CPU の IBUS と XBUS の、XDATA BUS へのアクセスを調停します。IBUS と XBUS のアクセスが競合した場合、XBUS アクセスが優先され、IBUS アクセスはウェイトされます。XBUS アクセスが完了し、次の XBUS アクセスがない場合は、ウェイトしていた IBUS アクセスが実行されます。一方のバスが XDATA BUS にアクセスしている間に、もう一方のバスがアクセスした場合、XDATA BUS へのアクセスが完了するまで、次のアクセスはウェイトされます。先着のアクセスが完了すると、優先順位に従って次の調停が処理されます。

● **XDATA BUS アービタ**

CPU と EPU の XDATA BUS へのアクセスを調停します。CPU と EPU のアクセスが競合した場合、EPU アクセスが優先され、CPU アクセスはウェイトされます。EPU アクセスが完了し、次の EPU アクセスがない場合は、ウェイトしていた CPU アクセスが実行されます。一方のバスが XDATA BUS にアクセスしている間に、もう一方のバスがアクセスした場合、XDATA BUS へのアクセスが完了するまで、次のアクセスはウェイトされます。先着のアクセスが完了すると、優先順位に従って次の調停が処理されます。

● **SFR BUS アービタ**

CPU、DSAC、EPU の SFR BUS アクセスを調停します。2 つ以上のアクセスが競合した場合、優先順位が高い順（DSAC ＞ EPU ＞ CPU）にアクセスが選択され、選択されなかったアクセスは、ウェイトされます。選択されたアクセスが完了すると、優先順位に従ってアクセスが再度選択されます。また、あるバスが SFR BUS にアクセスしている間に、その他のバスがアクセスした場合、SFR BUS へのアクセスが完了するまで次のアクセスはウェイトされます。先着のアクセスが完了すると、優先順位に従って次の調停が処理されます。

● **RAM アービタ**

XDATA BUS と MBUS（EPU）の RAM1 へのアクセスを調停します。XDATA BUS と MBUS のアクセスが競合した場合、MBUS アクセスが優先され、XDATA BUS アクセスはウェイトされます。MBUS アクセスが完了し、次の MBUS アクセスがない場合、ウェイトしていた XDATA BUS アクセスが実行されます。

© SANKEN ELECTRIC CO., LTD. 2017

5.6.4. 16 ビットアクセスバッファ

XDATA BUS と SFR BUS 上には、16 ビットレジスタが存在します。16 ビットレジスタには、16 ビット分のデータをリードかライトする必要があります。16 ビットのデータでアクセスすると、リード／ライトが完了します。CPU からは、8 ビット単位でアクセスする必要があるため、16 ビットレジスタには 2 回のアクセスが必要です。ただし、CPU では、16 ビット分のデータアクセスの間に、割込みや OCD アクセスが発生する可能性があります。さらに、割り込まれたアクセスの処理中に、同一モジュールのレジスタにアクセスすると、割り込まれる前のライトアクセスが無効化されたり、割込み処理中の 1 回目のアクセスが、2 回目のアクセスと認識されて、意図しない動作が発生したりする場合があります。このような問題を解決するために、16 ビットアクセスバッファを搭載しています。16 ビットレジスタへの 1 回目のアクセスで、バッファリング処理をして、2 回アクセスのアトミック性を保証します。バッファには、4 つの状態（非割込み状態、低レベル割込み、高レベル割込み、OCD アクセス）があります。割込み処理による 16 ビットアクセスの不整合を解決するため、それぞれの状態でバッファを使い分けます。

ライトアクセスの場合、1 回目のライトアクセスはバッファリングされ、XDATA BUS や SFR BUS に送信されません。2 回目のライトアクセス時に、1 回目と 2 回目のライトをアトミックに発生させます。

リードアクセスの場合、1 回目のリードアクセス時に 1 回目と 2 回目のリードを XDATA BUS か SFR BUS に発生させ、16 ビットデータを一度に取得します。ただし、1 回目のアクセス時は 1 回目のリード値だけ取得し、2 回目のリード値はバッファリングされます。2 回目のリード値は、2 回目のリード時にバッファから取得されます。

(1) XDATA BUS バッファ

CPU が XDATA BUS 上の 16 ビットレジスタにアクセスする際のアトミック性を保証するためのものです。周辺機能レジスタは、アドレス 0xE000～0xFFFF に割り当てられています。XDATA BUS バッファをイネーブルにするためには、周辺機能レジスタ空間のミラー領域である 16 ビットレジスタ空間（0xC000～0xDFFF）にアクセスします。

また、16 ビットレジスタ空間から周辺機能レジスタ空間にアクセスできます（たとえば、0xFF80 番地の 16 ビットレジスタアドレスは、0xDF80 です）。16 ビットレジスタには、連続するアドレス（2n 番地、2n＋1 番地の順）でアクセスします。2n 番地のアクセスを 1 回目（下位バイト）、2n＋1 番地のアクセスを 2 回目（上位バイト）のアクセスとみなします。BUSBUFCR.CLR_XSTM ビットに 1 をライトすると、16 ビットレジスタアクセスバッファの制御状態をリセットできます。

(2) SFR BUS バッファ

CPU が SFR BUS 上の 16 ビットレジスタにアクセスする際のアトミック性を保証するためのものです。BUSBUFCR.SFRBUFE ビットが 1 の場合、SFR BUS 上の 16 ビットレジスタへのアクセス時にバッファ処理をします。SFR BUS 上の 16 ビットレジスタは、2 回のアクセスが必要です。バッファ処理後の SFR BUS アクセスは、16 ビットアクセスモードになります。これにより、アトミック性を保証します。BUSBUFCR.SFRBUFE ビットを 0 にすると、バッファ処理を停止します。BUSBUFCR.CLR_SCNT ビットに 1 をライトすると、レジスタアクセスが 1 回目か 2 回目かをカウントするカウンタをクリアします。BUSBUFCR.CLR_SSTM ビットに 1 をライトすると、16 ビットレジスタアクセスバッファの制御状態をリセットできます。

© SANKEN ELECTRIC CO., LTD. 2017

5.7. 注意、制限事項

5.7.1. XDATA BUS バッファに関する制限事項

バス上の RAM にあるプログラムの実行中に、XDATA BUS バッファの機能は使用できません。

5.7.2. 16 ビットレジスタライトと割込みの競合

16 ビットレジスタへのライトと割込みの受付が競合しないように、16 ビットレジスタ（SFR BUS、XDATA BUS）の上位バイトにライトする前に、INTMST.INTME ビットを 0 に設定して、割込みの受付をディスエーブルにしてください。その後、NOP 命令を 2 つ挿入後、上位バイトにライトしてください。上位バイトにライトした後、INTMST.INTME ビットを 1 に設定して割込みの受付を再開してください。

5.7.3. RAM1 領域へのアクセス

EPU 動作中は、CPU から 512 バイトの RAM1（0x0400～0x05FF）領域にアクセスしないでください。

5.7.4. XDATA 空間へのアクセス

EPU 動作中は、CPU から XDATA 空間のアドレス 0xC000～0xDFFF の範囲にアクセスしないでください。

5.7.5. XDATA 空間の周辺レジスタへの MOVX 命令

EPU 動作中に、CPU からの MOVX 命令が、以下のように連続して実行されないようにしてください。

例 1 : CPU から XDATA 周辺レジスタの同一アドレスに、同一データを連続してライトする

```
movx @dptr, a（ライト）
movx @dptr, a（ライト）
```

例 2 : CPU から XDATA 周辺レジスタの同一アドレスに連続してライトし、リードする

```
movx @dptr, a（ライト）
movx a, @dptr（リード）
```

2 つの MOVX 命令の間に、他の命令（NOP 命令など）が実行サイクルの 2 サイクル分以上挿入されていれば問題ありません。C 言語で記述するプログラムの場合は、次の対策をしてください。EPU 動作中に、上記の例 1、例 2 のように CPU から XDATA 空間の周辺レジスタに、MOVX 命令を連続して実行する場合は、CPU からの連続アクセスの間に、NOP 命令「`__asm__("nop");`」を 2 つ挿入してください。

5.7.6. CPU が UART レジスタにアクセスしている際の EPU 動作

5.7.6.1. XDATA BUS 競合による EPU アクセスの失敗

CPU が UART レジスタにアクセスしている間に、EPU が XDATA 空間にアクセスすると、バスが競合して、EPU のアクセスが失敗する可能性があります。これを回避するために、以下の対策をしてください。

(1) EPU から UART にアクセスする（CPU アクセスの代行）（表 5-4 参照）
CPU の代わりに、EPU から UART レジスタにアクセスする方法です。CPU とハンドシェークすることで EPU の 1 個のスレッドを制御し、EPU が UART レジスタにアクセスできるようにします。

© SANKEN ELECTRIC CO., LTD. 2017

CPU と EPU は、SFR BUS 上の SPR や、RAM0（0x0000～0x03FF）に、ハンドシェークのためのフラグや、アクセスするアドレスデータを、リード／ライトします。

(2) CPU から UART にアクセスする（表 5-4 参照）
EPU が XDATA 空間に 2 回連続でアクセスすることで、バス競合による失敗を回避する方法です。1 回目は成功または失敗しますが、2 回目は成功します。ここで、失敗とは EPU からのアクセスが、XDATA 空間に対して発行されないことを意味します。アクセスが失敗した場合、ライト時であればライトアクセスは実行されず、リード時であれば不定値を読み出します。
ハードウェアを起動するための命令（ADC トリガ、EPU 起動、UART 送受信、DSAC トリガ、PWM リトリガなど）を、周辺機能レジスタにライトする場合は、1 回目は影響がない値をライトするか、上記の対策(1)を行ってください。

(2)-1　EPU のスレッド動作中にスレッド切換えが発生する場合

- EPU が XDATA 空間にバイトアクセスする
  ワードアクセス命令 W_SA モード（同一アドレスへの 2 回連続アクセス）を使用して、バイトをリード／ライトしてください。ワードアクセス命令に関する注意事項については、5.7.6.2 項を参照してください。
- EPU が XDATA 空間にワードアクセスする
  16 ビット長の周辺機能レジスタへのアクセスは禁止です（実際は、レジスタの下位バイトと上位バイトに連続でアクセスすることです）。16 ビット長の周辺機能レジスタにアクセスする場合は、上記の対策(1)を行ってください。

(2)-2　EPU のスレッド動作中にスレッド切換えが発生しない場合
一度に動作するスレッドが 1 つの場合、または複数のスレッドが動作中にラウンドロビンでスレッド切換えが発生しない場合は、バイト／ワードアクセス命令にかかわらず、XDATA 空間に 2 回連続でアクセスしてください。

表 5-4　対策一覧

対策方法		使用する命令	
		EPU のバイトアクセス命令	EPU のワードアクセス命令
(1)	EPU から UART にアクセス（代行）	使用可	使用可
(2)-1	CPU から UART にアクセス（スレッド切換えが発生する場合）	ワードアクセス命令で代用（5.7.6.2 項参照）	使用禁止
(2)-2	CPU から UART にアクセス（スレッド切換えが発生しない場合）	バイトアクセス命令を 2 回連続で実行	ワードアクセス命令を 2 回連続で実行

5.7.6.2.　ワードアクセス命令で 2 回連続アクセスするときの注意事項

ワードアクセス命令を使用して同一アドレスに 2 回連続でアクセスする場合、リード（LOADX）とライト（STOREX）時で、アクセスはそれぞれ次の 2 通りの結果になります。

リードアクセス時：`LOADX.W_SA Rn, @AddrX`

- 1 回目も 2 回目も成功
- 1 回目は失敗（LOAD 値不定）、2 回目は成功

ライトアクセス時：`STOREX.W_SA @AddrX, Rn`

- 1 回目も 2 回目も成功
- 1 回目は失敗（アクセス消失）、2 回目は成功

© SANKEN ELECTRIC CO., LTD. 2017

1 回目と 2 回目の両方が成功すると、1 回目のライトで誤動作する可能性があるため、EPU からレジスタにライトする際は、必ず以下の設定をしてください。

- 周辺機能の設定レジスタにライトする
  1 回目と 2 回目に、同じ値をライトしてください。
- 周辺機能レジスタのフラグをクリアする
  1 回目は 0 をライトし、2 回目にクリアしてください。
- ハードウェアを起動するための命令（ADC トリガ、EPU 起動、UART 送受信、DSAC トリガ、PWM リトリガなど）を、周辺機能レジスタにライトする
  1 回目は影響がない値をライトするか、5.7.6.1 項の対策(1)を行ってください。

5.7.7. XDATA 空間への CPU と EPU の同時アクセス

CPU と EPU が、同じタイミングで XDATA 空間にアクセスし、その後 EPU が 1 サイクル命令あけて、XDATA 空間にアクセスすると、正常に動作しない場合があります。EPU の XDATA BUS アクセス命令 STOREX（B_LO、B_HI、W、W_SA）および LOADX（B_SE、B_ZE、W、W_SA）すべてが対象です。以降、これらの EPU の XDATA BUS アクセス命令を“STOREX／LOADX 命令”と表記して説明します。CPU の XDATA BUS アクセス命令（MOVX @DPTR, A、MOVX @Rm, A、MOVX A, @DPTR、MOVX A, @Rm）のすべてが対象です。以降、これらの命令は“MOVX 命令”と表記して説明します。

以下の不具合例のように、EPU と CPU の XDATA 空間のアクセス先（表 5-5 参照）によって、EPU がハングアップしたり、1 サイクル命令あけて実行された CPU か EPU のアクセスが消失したりする場合があります。アクセスの消失とは、ライト時であればライトアクセスは実行されず、リード時であれば不定値を読み出すことを示します。

【不具合例】

(E-1)の STOREX 命令と(C-1)の MOVX 命令が、XDATA 空間の周辺レジスタに同時にアクセスすると、(C-3)の MOVX 命令の XDATA BUS アクセスが消失します。

EPU から XDATA 空間の周辺レジスタに 1 サイクル命令あけて 2 回目のアクセス

```
(E-1)  STOREX.B_LO @addr, Rm
(E-2)  MOV Rn, Rm
(E-3)  STOREX.B_LO @addr, Rm
```

このとき、CPU から XDATA 空間の周辺レジスタに 1 サイクル命令あけて 2 回目のアクセス

```
(C-1)  movx @dptr, a
(C-2)  nop
(C-3)  movx @dptr, a
```

表 5-5　命令のアクセス先と発生現象

EPU 命令 (E-1) アクセス先	EPU 命令 (E-3) アクセス先	CPU 命令 (C-1)（1 番目の命令のアクセス先）		
		周辺レジスタ	UART	RAM0/1
周辺レジスタ（UART 含む）	周辺レジスタ（UART 含む）	(C-3) 消失[1]	(E-3) 消失[3]	アクセス成功
	RAM0/1	EPU ハングアップ[2]	(E-3) 消失[3]	アクセス成功
RAM0/1	XDATA 空間（周辺レジスタ、UART、RAM0/1）	アクセス成功	(E-3) 消失[3]	アクセス成功

[1] CPU の 1 サイクル命令後の 2 回目の XDATA BUS アクセス(C-3)が消失

[2] EPU の 1 サイクル命令後の 2 回目の XDATA BUS（RAM0/1 への）アクセス(E-3)から、EPU は次の CPU の XDATA BUS アクセスが発生するまでハングアップします。

© SANKEN ELECTRIC CO., LTD. 2017

(3) EPU の 1 サイクル命令後の 2 回目の XDATA BUS アクセス(E-3)が消失します（5.7.6 項の現象）。
CPU の 1 回目の XDATA BUS アクセスのアクセス先が UART レジスタの場合、EPU が 2 回連続でアクセスする対策（5.7.6 項参照）をしても、以下の不具合例のように CPU の 1 サイクル命令後の 2 回目の XDATA BUS アクセス(C-3)が消失します。5.7.6 項の UART の対策とともに、本項に示す対策も実施してください。

【不具合例】

(E-1)の STOREX 命令と(C-1)の MOVX 命令が、XDATA 空間に同時にアクセスすると、(E-3)の STOREX 命令と(C-3)の MOVX 命令の XDATA BUS アクセスが消失します。

EPU から XDATA 空間に 1 サイクル命令あけて 2 回連続アクセス

```
(E-1) STOREX.B_LO @addr, Rm
(E-2) MOV Rn, Rm
(E-3) STOREX.B_LO @addr, Rm
(E-4) STOREX.B_LO @addr, Rm
```

このとき、CPU から XDATA 空間に 1 サイクル命令あけて 2 回目のアクセス

```
(C-1) movx @dptr, a（アクセス先は UART のレジスタ）

(C-2) nop nop
(C-3) movx @dptr, a
```

本不具合例を回避するために、以下の対策をしてください。

(1) EPU で対策する場合

以下の不具合例 1～4 の(1)～(3)のように、STOREX／LOADX 命令、STOREX／LOADX 命令以外の 1 サイクル命令、STOREX／LOADX 命令の実行順になると本不具合が発生します。そのため、EPU が実行する STOREX／LOADX 命令は連続させるか、または 2 サイクル命令（1 サイクル命令 2 つ、または 2 サイクル命令 1 つ）以上あけてください。各命令の実行サイクル数は、EPU の動作の項を参照してください。

【不具合例】

例 1：

```
(1) STOREX.B_LO @addr, Rm
(2) MOV Rn, Rm
(3) STOREX.B_LO @addr, Rm
```

例 2：

```
(1) STOREX.B_LO @addr, Rm
(2) ADD Rn, Rm
(3) LOADX.B_SE Rn, @addr
```

例 3：

```
(1) LOADX.B_SE Rn, @addr
(2) OR Rn, Rm
(3) STOREX.W @addr, Rm
```

例 4：

```
(1) LOADX.W_SA Rn, @addr
(2) INC Rn, Rm
(3) LOADX.B_SE Rn, @addr
```


© SANKEN ELECTRIC CO., LTD. 2017

(1)-1　固定優先の場合

STOREX／LOADX 命令、STOREX／LOADX 命令以外の 1 サイクル命令、STOREX／LOADX 命令の命令列は、同一スレッド内に記載しないでください。

以下の対策例 1 のように STOREX／LOADX 命令を連続させるか、または 2 サイクル命令以上あけてください。2 サイクル命令以上あける場合は、対策例 2 のように、動作しても影響のない命令を挿入するか、動作上の問題がなければ命令順序を入れ替えてください。

【対策例】

例 1：

```
(1) STOREX.B_LO @addr, R0
(2) LOADX.B_SE R1, @addr
```

例 2：

```
(1) STOREX.B_LO @addr, R1
(2) MOV R0, R0
(3) MOV R1, R1
(4) STOREX.B_LO @addr, R0
```

スレッド切換えがある場合は、次の注意が必要です。あるスレッドに以下の不具合例の命令列を含み、それより優先順位が下位のスレッドに STOREX／LOADX 命令を含む場合、下位スレッドの STOREX／LOADX 命令の実行直後に上位のスレッドが実行されると、WAIT 命令解除のタイミングによっては、不具合の原因となる命令列が発生する場合があります。動作タイミングを確認し、必要に応じて EVTWAIT／TIMWAIT 命令と STOREX／LOADX 命令の間を 2 サイクル命令以上あけてください。

【不具合例】

例 1：

```
(1) EVTWAIT #evt
(2) STOREX.B_LO @addr, Rm
```

例 2：

```
(1) EVTWAIT #evt
(2) MOV Rn, Rm
(3) STOREX.B_LO @addr, Rm
```

例 3：

```
(1) TIMWAIT #time（#time が 0 の場合も不具合になる）
(2) STOREX.B_LO @addr, Rm
```

例 4：

```
(1) TIMWAIT #time（#time が 0 の場合も不具合になる）
(2) MOV Rn, Rm
(3) STOREX.B_LO @addr, Rm
```

【対策例】

例 1：

```
(1) EVTWAIT #evt
(2) MOV R0, R0
(3) MOV R0, R0
(4) STOREX.B_LO @addr, R1
```

例 2：

```
(1) TIMWAIT #time
(2) MOV R1, R1
(3) MOV R1, R1
(4) STOREX.B_LO @addr, R0
```

(1)-2　ラウンドロビンの場合

複数のスレッドで STOREX／LOADX 命令を使用する場合、ラウンドロビンは使用しないでください。

© SANKEN ELECTRIC CO., LTD. 2017

(2) CPU で対策する場合

CPU に MOVX 命令、1 サイクル命令、MOVX 命令の実行順がある場合は、MOVX 命令と MOVX 命令の間を 2 サイクル命令以上あけてください。EPU で対策した場合は、CPU の対策は不要です。各命令の実行サイクル数は、8051 CPU の命令コードマップの項（5.4.2 項）を参照してください。ただし、EPU 側に STOREX／LOADX 命令、STOREX／LOADX 命令以外の 1 サイクル命令、STOREX／LOADX 命令（アクセス先が RAM0/1）の命令実行順があり、表 5-5 の注釈(2)のように EPU がハングアップする恐れがある場合は、必ず EPU で対策をしてください。

【対策例】

```
movx @dptr,a
nop            （NOP 命令を 2 つ挿入するなど、MOVX 命令の間に 2 サイクル以上の命令を挿入）
nop
movx @dptr,a
```


© SANKEN ELECTRIC CO., LTD. 2017

6. レジスタマッピング

6.1. XDATA BUS 上の周辺アドレス

各レジスタの詳細は、該当する項を参照してください。

表 6-1 XDATA BUS 上の周辺アドレス

Module	Address (8 bits)		Address (16 bits)	
	Start	End	Start	End
EPU	E000	E07F	C000	C07F
—	E080	E0FF	C080	C0FF
—	E100	E17F	C100	C17F
—	E180	E1FF	C180	C1FF
SCID	E200	E27F	C200	C27F
—	E280	E2FF	C280	C2FF
EVC	E300	E37F	C300	C37F
—	E380	E3FF	C380	C3FF
—	E400	E47F	C400	C47F
—	E480	E4FF	C480	C4FF
—	E500	E57F	C500	C57F
—	E580	E5FF	C580	C5FF
—	E600	E67F	C600	C67F
—	E680	E6FF	C680	C6FF
—	E700	E77F	C700	C77F
—	E780	E7FF	C780	C7FF
—	E800	E87F	C800	C87F
—	E880	E8FF	C880	C8FF
—	E900	E97F	C900	C97F
—	E980	F9FF	C980	D9FF
—	EA00	EA7F	CA00	CA7F
—	EA80	EAFF	CA80	CAFF
—	EB00	EB7F	CB00	CB7F
—	EB80	EBFF	CB80	CBFF
—	EC00	EC7F	CC00	CC7F
CMPLUT	EC80	ECFF	CC80	CCFF
—	ED00	ED7F	CD00	CD7F
CMP4	ED80	EDFF	CD80	CDFF
CMP5	EE00	EE7F	CE00	CE7F
—	EE80	EEFF	CE80	CEFF
—	EF00	EF7F	CF00	CF7F
—	EF80	EFFF	CF80	CFFF
ADC0	F000	F07F	D000	D07F
ADC1	F080	F0FF	D080	D0FF
—	F100	F17F	D100	D17F
—	F180	F1FF	D180	D1FF
—	F200	F27F	D200	D27F
—	F280	F2FF	D280	D2FF
—	F300	F37F	D300	D37F
CMP0	F380	F3FF	D380	D3FF
CMP1	F400	F47F	D400	D47F
CMP2	F480	F4FF	D480	D4FF
CMP3	F500	F57F	D500	D57F
—	F580	F5FF	D580	D5FF

© SANKEN ELECTRIC CO., LTD. 2017

Module	Address (8 bits)		Address (16 bits)	
	Start	End	Start	End
OPAMP0	F600	F67F	D600	D67F
OPAMP1	F680	F6FF	D680	D6FF
—	F700	F77F	D700	D77F
TinyDSP0	F780	F7FF	D780	D7FF
TinyDSP1	F800	F87F	D800	D87F
DSAC	F880	F8FF	D880	D8FF
PWM0/ 1	F900	F97F	D900	D97F
PWM2/ 3	F980	F9FF	D980	D9FF
TIMER	FA00	FA7F	DA00	DA7F
—	FA80	FAFF	DA80	DAFF
—	FB00	FB7F	DB00	DB7F
SPI	FB80	FBFF	DB80	DBFF
I2C	FC00	FC7F	DC00	DC7F
UART	FC80	FCFF	DC80	DCFF
TRIM	FD00	FD7F	DD00	DD7F
POC	FD80	FDFF	DD80	DDFF
GPIO	FE00	FE7F	DE00	DE7F
WDT	FE80	FEFF	DE80	DEFF
FLC	FF00	FF7F	DF00	DF7F
SYSC	FF80	FFFF	DF80	DFFF

© SANKEN ELECTRIC CO., LTD. 2017

6.2. SFR BUS 上の周辺アドレス

CPU システムレジスタと頻繁にアクセスされる周辺レジスタは、SFR 領域に割り当てられています。CPU は、1 サイクルで SFR をリード／ライトできます。PSW、ACC、および B レジスタは、ビットアドレス可能なレジスタです。割当てのないアドレス（表 6-2、表 6-3 の灰色部分）にはアクセスしないでください。

表 6-2　SFR BUS 上の周辺レジスタ

80		SP	DPL	DPH					87
88		ADIF0	ADIF1			MIXDA4 L/H	MIXDA5 L/H	SPR4	8F
90	PDR0	SPR0	MIXDA2 L/H	MIXDA3 L/H	SPR5	MIXDA1 L/H	MIXDA0 L/H		97
98	PDR1	AD00L/H	AD01L/H		INTMST	CMI1	SPR6	SPR7	9F
A0		AD10L/H	AD11L/H		INTENA0	INTENA1	INTENA2	INTENA3	A7
A8		AD20L/H	AD21L/H		INTLVL0	INTLVL1	INTLVL2	INTLVL3	AF
B0	PDR2	AD30L/H	AD31L/H		INTCFG0	INTCFG1	INTCFG2	INTCFG3	B7
B8		AD40L/H	AD41L/H		INTFLG0	INTFLG1	INTFLG2	INTFLG3	BF
C0		AD50L/H	AD51L/H		DSP0 _R0_L/H	DSP0 _R1_L/H	DSP0 _R2_L/H	DSP0 _R3_L/H	C7
C8	PIF0	AD60L/H	AD61L/H		DSP0 _R4_L/H	DSP0 _R5_L/H	DSP0 _R6_L/H	DSP0 _R7_L/H	CF
D0	PSW	AD70L/H	AD71L/H		DSP1 _R0_L/H	DSP1 _R1_L/H	DSP1 _R2_L/H	DSP1 _R3_L/H	D7
D8	PIF1	AD80L/H	AD81L/H		DSP1 _R4_L/H	DSP1 _R5_L/H	DSP1 _R6_L/H	DSP1 _R7_L/H	DF
E0	ACC	AD90L/H	AD91L/H		BUF_A0 _L/H	BUF_B0 _L/H	BUF_C0 _L/H	BUF_D0 _L/H	E7
E8	PIF2	ADA0L/H	ADA1L/H		BUF_A1 _L/H	BUF_B1 _L/H	BUF_C1 _L/H	BUF_D1 _L/H	EF
F0	B	ADB0L/H	ADB1L/H	CMI0	BUF_A2 _L/H	BUF_B2 _L/H	BUF_C2 _L/H	BUF_D2 _L/H	F7
F8		SPR1	SPR2	SPR3	BUF_A3 _L/H	BUF_B3 _L/H	BUF_C3 _L/H	BUF_D3 _L/H	FF

© SANKEN ELECTRIC CO., LTD. 2017

表 6-3　SFR BUS 上の周辺レジスタ（DSAC と EPU からのアクセス）

00	ADO00 L/H	ADO01 L/H			TCMPA0 L/H	TCMPB0 L/H	TBUFA0 L/H	TBUFB0 L/H	07
08	ADO10 L/H	ADO11 L/H			TCMPA1 L/H	TCMPB1 L/H	TBUFA1 L/H	TBUFB1 L/H	0F
10	ADO20 L/H	ADO21 L/H			TCMPA2 L/H	TCMPB2 L/H	TBUFA2 L/H	TBUFB2 L/H	17
18	ADO30 L/H	ADO31 L/H			TCMPA3 L/H	TCMPB3 L/H	TBUFA3 L/H	TBUFB3 L/H	1F
20	ADO40 L/H	ADO41 L/H			DSP0 MIN0L/H	DSP0 MAX0L/H	DSP1 MIN0L/H	DSP1 MAX0L/H	27
28	ADO50 L/H	ADO51 L/H			DSP0 MIN1L/H	DSP0 MAX1L/H	DSP1 MIN1L/H	DSP1 MAX1L/H	2F
30	ADO60 L/H	ADO61 L/H			DSP0 MIN2L/H	DSP0 MAX2L/H	DSP1 MIN2L/H	DSP1 MAX2L/H	37
38	ADO70 L/H	ADO71 L/H							3F
40	ADO80 L/H	ADO81 L/H							47
48	ADO90 L/H	ADO91 L/H							4F
50	ADOA0 L/H	ADOA1 L/H			SPR0	SPR1	SPR2	SPR3	57
58	ADOB0 L/H	ADOB1 L/H			SPR4	SPR5	SPR6	SPR7	5F
60	BUF_MIN0 L/H	BUF_MAX0 L/H	CMP_MIN0 L/H	CMP_MAX0 L/H	CMP_A0 L/H	CMP_B0 L/H	CMP_C0 L/H	CMP_D0 L/H	67
68	BUF_MIN1 L/H	BUF_MAX1 L/H	CMP_MIN1 L/H	CMP_MAX1 L/H	CMP_A1 L/H	CMP_B1 L/H	CMP_C1 L/H	CMP_D1 L/H	6F
70	BUF_MIN2 L/H	BUF_MAX2 L/H	CMP_MIN2 L/H	CMP_MAX2 L/H	CMP_A2 L/H	CMP_B2 L/H	CMP_C2 L/H	CMP_D2 L/H	77
78	BUF_MIN3 L/H	BUF_MAX3 L/H	CMP_MIN3 L/H	CMP_MAX3 L/H	CMP_A3 L/H	CMP_B3 L/H	CMP_C3 L/H	CMP_D3 L/H	7F

SFR のアドレス 0x00～0x7F（表 6-3 参照）は、CPU からアクセスできませんが、DSAC と EPU からアクセスできます。DSAC の詳細は 12 項、EPU の詳細は 10 項を参照してください。

TinyDSP、12 ビット ADC、DAC、PWM の 16 ビット SFR レジスタは、下位バイトと上位バイトで構成されています。下位バイトと上位バイトは、同一のアドレスに割り当てられています。1 回目の 16 ビット SFR レジスタへのアクセスは下位バイトへのアクセスになり、2 回目のアクセスは上位バイトへのアクセスになります。この下位バイトと上位バイトへのアクセスは、連続して行ってください。

© SANKEN ELECTRIC CO., LTD. 2017

CPU が 16 ビット SFR レジスタに連続でアクセスした場合でも、以下の 3 つの状態（どれか 1 つ以上が該当するとき）では、16 ビット SFR レジスタへのアクセスに失敗する可能性があります。

(1) メインルーチンと割込みルーチン（低または高レベル）が、同じモジュールの SFR に同時にアクセス
(2) 低レベル割込みルーチンと高レベル割込みルーチンが同じモジュールの SFR に同時にアクセス
(3) CPU が動作しているときに、OCD が 16 ビット SFR にアクセス

(1) と (2) の状態を避けるために、16 ビット SFR にアクセスする前に INTC をディスエーブル（INTMST.INTME = 0）にし、16 ビット SFR アクセスを終了した後で、INTC を再度イネーブル（INTMST.INTME = 1）にする必要があります。
本 LSI では、(3)の状態を回避できません。OCD で 16 ビット SFR にアクセスする場合、16 ビット SFR にアクセスする前後で CPU を停止してください。CPU を停止させるために、ブレイク機能を使用することを推奨します。

6.3. SPRn (Scratch Pad Register n) (n = 0 to 7)

スクラッチパッドレジスタ（SPR : Scratch Pad Register）は、予備データの一時記憶に使用されます。SPR は SPR0～SPR7 の 8 つが存在し、SFR 領域に割り当てられています。
DSAC もこれらの SPR にアクセスできます。表 6-4 に、これらのレジスタ情報を示します。

表 6-4 スクラッチパッドレジスタ

Register	SPR0	Scratch Pad Register0	Address	0x54	0x91
Register	SPR1	Scratch Pad Register1	Address	0x55	0xF9
Register	SPR2	Scratch Pad Register2	Address	0x56	0xFA
Register	SPR3	Scratch Pad Register3	Address	0x57	0xFB
Register	SPR4	Scratch Pad Register4	Address	0x5C	0x8F
Register	SPR5	Scratch Pad Register5	Address	0x5D	0x94
Register	SPR6	Scratch Pad Register6	Address	0x5E	0x9E
Register	SPR7	Scratch Pad Register7	Address	0x5F	0x9F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	SPR	R/W	0	予備データの一時記憶用	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

7. GPIO

本 LSI は、汎用入出力（GPIO）機能を備えています。各端子の機能は、独立して選択できます。GPIO 機能を選択した場合、信号方向も独立して選択できます。各端子には、プルアップ（PUP）またはプルダウン（PDN）機能があり、ソフトウェアから端子ごとに、オン／オフの設定ができます。信号端子の設定（機能と入出力の方向）と、プルアップとプルダウンの設定は、完全に独立しています。

7.1. GPIO 構造

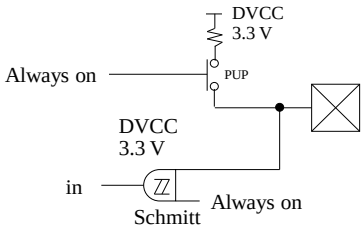
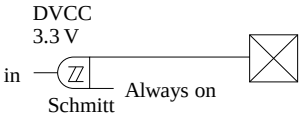
Pin	Description	Signal	Signal Level
$\overline{\text{RES}}$		in	DVCC (3.3 V)
MODE		in	DVCC (3.3 V)

図 7-1　GPIO／PIN 構造（入力端子）

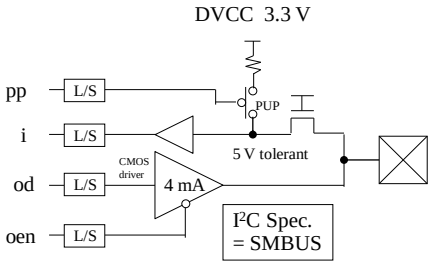
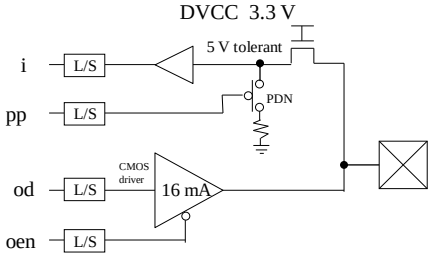
Pin	Description	Signal	Signal Level
DBG GPIO00 ⋮ GPIO05		od pp oen i	DVCC_CORE (1.8 V) DVCC_CORE (1.8 V) DVCC_CORE (1.8 V) DVCC_CORE (1.8 V)
GPIO10 ⋮ GPIO17		od pp oen i	DVCC_CORE (1.8 V) DVCC_CORE (1.8 V) DVCC_CORE (1.8 V) DVCC_CORE (1.8 V)

図 7-2　GPIO／PIN 構造（5 V トレラント入出力端子）

© SANKEN ELECTRIC CO., LTD. 2017

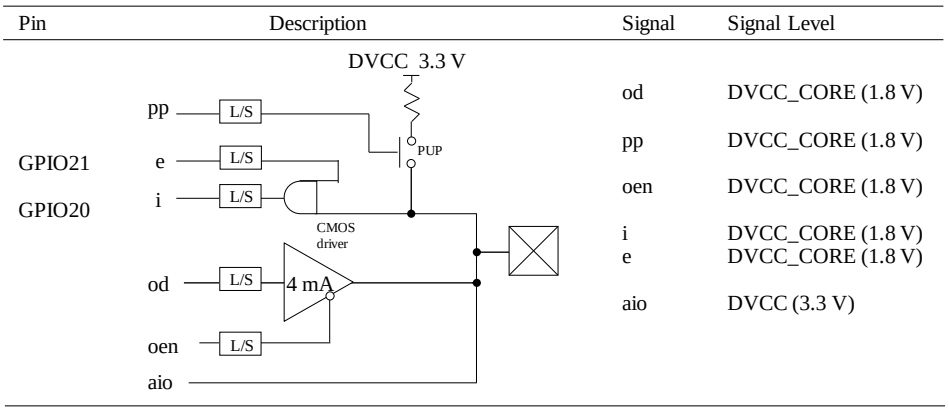


図 7-3　GPIO／PIN 構造（入出力端子）

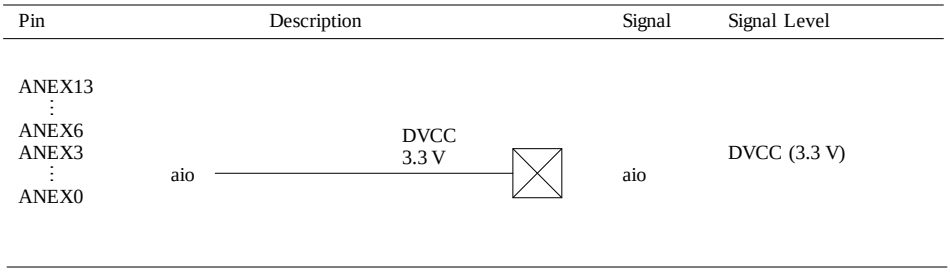


図 7-4　GPIO／PIN 構造（アナログ入力端子）

図 7-2 の入力方向に設定された 5 V トレラント構造の端子（DBG、GPIO00～GPIO05、GPIO10～GPIO17）に、駆動能力が低い（出力インピーダンスが高い）ドライバの信号を入力した場合、図 7-5 のように、入力信号の立ち下がり時に本 LSI から約 2 V のレベルで弱く駆動する期間が生じることがあります。5 V トレラント端子の波形のレベルが、約 2 V になっている期間は、本 LSI は、“H”レベル入力として認識します。この現象は、VIH が DVCC + 0.3 V 未満では発生しません。VIH が DVCC + 0.3 V 以上の場合は、該当する入力端子の波形を確認し、このような現象が発生する場合は、駆動能力が高いドライバの信号を入力してください。

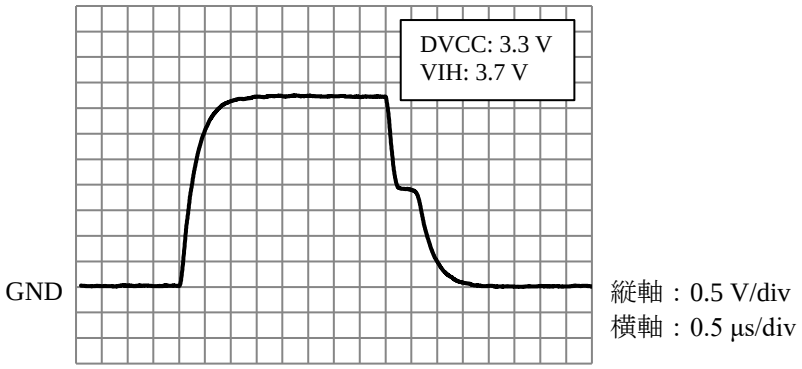


図 7-5　5 V トレラント端子の波形例

© SANKEN ELECTRIC CO., LTD. 2017

7.2. レジスタ説明

各ビットは、対応する物理的端子がない場合があります。物理的端子がないビットは、予備（リザーブ）で、リード値は 0 です。また、必ず 0 をライトしてください。

表 7-1 レジスター覧

Symbol	Name	Address	Initial Value
PFS0	Pin Function Select for GPIO0	0xFE00	0x00
PFS1	Pin Function Select for GPIO1	0xFE01	0x00
PFS2	Pin Function Select for GPIO2	0xFE02	0x00
PDD0	Pin Data Direction for GPIO0	0xFE04	0x00
PDD1	Pin Data Direction for GPIO1	0xFE05	0x00
PDD2	Pin Data Direction for GPIO2	0xFE06	0x00
PPU0	Pin Pull Up Control for GPIO0	0xFE08	0x3F
PPU2	Pin Pull Up Control for GPIO2	0xFE0A	0x03
PPD1	Pin Pull Down Control for GPIO1	0xFE0D	0xFF
PIE0	Pin Interrupt Enable for GPIO0	0xFE10	0x00
PIE1	Pin Interrupt Enable for GPIO1	0xFE11	0x00
PIE2	Pin Interrupt Enable for GPIO2	0xFE12	0x00
PIS0	Pin Interrupt Sense for GPIO0	0xFE14	0x00
PIS1	Pin Interrupt Sense for GPIO1	0xFE15	0x00
PIS2	Pin Interrupt Sense for GPIO2	0xFE16	0x00
PIL0	Pin Interrupt Level for GPIO0	0xFE18	0x00
PIL1	Pin Interrupt Level for GPIO1	0xFE19	0x00
PIL2	Pin Interrupt Level for GPIO2	0xFE1A	0x00
PIB0	Pin Interrupt Both Edge for GPIO0	0xFE1C	0x00
PIB1	Pin Interrupt Both Edge for GPIO1	0xFE1D	0x00
PIB2	Pin Interrupt Both Edge for GPIO2	0xFE1E	0x00
PEADC0	ADC Event Select from GPIO0	0xFE20	0x00
PEADC1	ADC Event Select from GPIO1	0xFE21	0x00
PEADC2	ADC Event Select from GPIO2	0xFE22	0x00
PEPWM0	PWM Event Select from GPIO0	0xFE24	0x00
PEPWM1	PWM Event Select from GPIO1	0xFE25	0x00
PEPWM2	PWM Event Select from GPIO2	0xFE26	0x00
PEMETHOD	PWM and ADC Event Gathering Method	0xFE28	0x00
PFSH0	Pin Function Select High for GPIO0	0xFE29	0x00
PFSE1	Pin Function Extend Select for GPIO1	0xFE2A	0x00
PFSE2	Pin Function Extend Select for GPIO2	0xFE2D	0x00
PELUT0	CMPLUT Event Select from GPIO0	0xFE30	0x00
PELUT1	CMPLUT Event Select from GPIO1	0xFE31	0x00
PELUT2	CMPLUT Event Select from GPIO2	0xFE32	0x00
LEMETHOD	CMPLUT Event Gathering Method	0xFE38	0x00
SIS	Serial Input Select	0xFE70	0x00
I2CIS	I^2C Input Select	0xFE71	0x00
TMRIS	TMR Input/Output Select	0xFE72	0x00
CLKIS	Clock Input Select	0xFE73	0x00

© SANKEN ELECTRIC CO., LTD. 2017

表 7-2　SFR レジスター一覧

Symbol	Name	Address	Initial Value
PDR0	Pin Data for GPIO0	0x90	0x00
PDR1	Pin Data for GPIO1	0x98	0x00
PDR2	Pin Data for GPIO2	0xB0	0x00
PIF0	Pin Interrupt Flag for GPIO0	0xC8	0x00
PIF1	Pin Interrupt Flag for GPIO1	0xD8	0x00
PIF2	Pin Interrupt Flag for GPIO2	0xE8	0x00

© SANKEN ELECTRIC CO., LTD. 2017

7.2.1. PFS0 (Pin Function Select for GPIO0)

端子の信号の向きは、選択した機能に応じて切り換わります。

Register	PFS0		Pin Function Select for GPIO0		Address	0xFE00
Bit	Bit Name	R/W	Initial	Description		Remarks
7	PF3	R/W	0	GPIO03 の機能を選択 00：GPIO03、SPI_SI、TIOB1 入力、RXD_B 01：リザーブ 10：CMPLUT0 出力 11：TIOB1 出力		
6		R/W	0			
5	PF2	R/W	0	GPIO02 の機能を選択 00：GPIO02、TIOA1 入力 01：TXD_B 10：SPI_SO 11：TIOA1 出力		
4		R/W	0			
3	PF1	R/W	0	GPIO01 の機能を選択 00：GPIO01、TIOB3 入力、TIC1 01：リザーブ 10：SPI_SCK 11：TIOB3 出力		
2		R/W	0			
1	PF0	R/W	0	GPIO00 の機能を選択 00：GPIO00、CLKIN_A、TIOA3 入力、TIC0 01：リザーブ 10：CLKMON 11：TIOA3 出力		
0		R/W	0			

7.2.2. PFSH0 (Pin Function Select High for GPIO0)

端子の信号の向きは、選択した機能に応じて切り換わります。

Register	PFSH0		Pin Function Select High for GPIO0		Address	0xFE29
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	PF5	R/W	0	GPIO05 の機能を選択 00：GPIO05、TIOB2_A 入力 01：SCL_A（オープンドレイン） 10：CMPLUT1 出力 11：TIOB2_A 出力		
2		R/W	0			
1	PF4	R/W	0	GPIO04 の機能を選択 00：GPIO04、TIOA2_A 入力 01：SDA_A（オープンドレイン） 10：CLKMON 11：TIOA2_A 出力		
0		R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.3. PFS1 (Pin Function Select for GPIO1)

端子の信号の向きは、選択した機能に応じて切り換わります。

Register	PFS1		Pin Function Select for GPIO1		Address	0xFE01
Bit	Bit Name	R/W	Initial	Description		Remarks
7	PF7	R/W	0	GPIO17 の機能を選択 0：GPIO17、RXD_A、TIOB0 入力 1：他の機能 本ビットが 1 の場合、端子の機能と信号の向きは、PFSE1 レジスタの設定に応じて切り換わります。		
6	PF6	R/W	0	GPIO16 の機能を選択 0：GPIO16、TIOA0 入力 1：他の機能 本ビットが 1 の場合、端子の機能と信号の向きは、PFSE1 レジスタの設定に応じて切り換わります。		
5	PF5	R/W	0	GPIO15 の機能を選択 0：GPIO15、SPI_SS_N、TIOB2_B 入力 1：他の機能 本ビットが 1 の場合、端子の機能と信号の向きは、PFSE1 レジスタの設定に応じて切り換わります。		
4	PF4	R/W	0	GPIO14 の機能を選択 0：GPIO14、TIOA2_B 入力 1：他の機能 本ビットが 1 の場合、端子の機能と信号の向きは、PFSE1 レジスタの設定に応じて切り換わります。		
3	PF3	R/W	0	GPIO13 の機能を選択 0：GPIO13 1：PWM1L		
2	PF2	R/W	0	GPIO12 の機能を選択 0：GPIO12 1：PWM1H		
1	PF1	R/W	0	GPIO11 の機能を選択 0：GPIO11 1：PWM0L		
0	PF0	R/W	0	GPIO10 の機能を選択 0：GPIO10 1：PWM0H		

© SANKEN ELECTRIC CO., LTD. 2017

7.2.4. PFSE1 (Pin Function Extend Select for GPIO1)

端子の信号の向きは、選択した機能に応じて切り換わります。

Register	PFSE1	Pin Function Extend Select for GPIO1	Address	0xFE2A

Bit	Bit Name	R/W	Initial	Description	Remarks
7	PF7	R/W	0	GPIO17 の機能を選択 00：PWM3L 01：TIOB0 出力 10：リザーブ 11：リザーブ	
6		R/W	0		
5	PF6	R/W	0	GPIO16 の機能を選択 00：PWM3H 01：TXD_A 10：リザーブ 11：TIOA0 出力	
4		R/W	0		
3	PF5	R/W	0	GPIO15 の機能を選択 00：PWM2L 01：TIOB2_B 出力 10：SCL_B 11：リザーブ	
2		R/W	0		
1	PF4	R/W	0	GPIO14 の機能を選択 00：PWM2H 01：リザーブ 10：SDA_B 11：TIOA2_B 出力	
0		R/W	0		

7.2.5. PFS2 (Pin Function Select for GPIO2)

端子の信号の向きは、選択した機能に応じて切り換わります。

Register	PFS2	Pin Function Select for GPIO2	Address	0xFE02

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	PF1	R/W	0	GPIO21 の機能を選択 0：GPIO21 1：他の機能 本ビットが 1 の場合、端子の機能と信号の向きは、PFSE2 レジスタの設定に応じて切り換わります。	
0	PF0	R/W	0	GPIO20 の機能を選択 0：GPIO20、CLKIN_B 1：アナログ入力	

© SANKEN ELECTRIC CO., LTD. 2017

7.2.6. PFSE2 (Pin Function Extend Select for GPIO2)

端子の信号の向きは、選択した機能に応じて切り換わります。

Register	PFSE2		Pin Function Extend Select for GPIO2		Address	0xFE2D
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	PF1	R/W	0	GPIO21 の機能を選択 00：アナログ入力 01：CLKMON 10：リザーブ 11：リザーブ		
2		R/W	0			
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		

7.2.7. PDD0 (Pin Data Direction for GPIO0)

Register	PDD0		Pin Data Direction for GPIO0		Address	0xFE04
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	DD5	R/W	0	端子の信号の向きを選択 0：入力 1：出力 端子が GPIO に選択された場合のみ、各ビットが機能します。		
4	DD4	R/W	0			
3	DD3	R/W	0			
2	DD2	R/W	0			
1	DD1	R/W	0			
0	DD0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.8. PDD1 (Pin Data Direction for GPIO1)

Register	PDD1		Pin Data Direction for GPIO1		Address	0xFE05
Bit	Bit Name	R/W	Initial	Description		Remarks
7	DD7	R/W	0	端子の信号の向きを選択 0：入力 1：出力 端子が GPIO に選択された場合のみ、各ビットが機能します。		
6	DD6	R/W	0			
5	DD5	R/W	0			
4	DD4	R/W	0			
3	DD3	R/W	0			
2	DD2	R/W	0			
1	DD1	R/W	0			
0	DD0	R/W	0			

7.2.9. PDD2 (Pin Data Direction for GPIO2)

Register	PDD2		Pin Data Direction for GPIO2		Address	0xFE06
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	DD1	R/W	0	端子の信号の向きを選択 0：入力 1：出力 端子が GPIO に選択された場合のみ、各ビットが機能します。		
0	DD0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.10. PDR0 (Pin Data for GPIO0)

Register	PDR0	Pin Data for GPIO0	Address	0x90

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	PD5	R/W	0	端子信号 リード 0：端子の状態は“L”レベル リード 1：端子の状態は“H”レベル ライト 0：端子が GPIO 出力の場合、端子を“L”レベルにする ライト 1：端子が GPIO 出力の場合、端子を“H”レベルにする 端子が GPIO 入力か他のデジタル機能の場合、リード値は外部端子のレベルを示し、ライトは無効です。 端子が GPIO 出力の場合、ライト値は端子の出力レベルになり、リード値は外部端子のレベルを示します。たとえば、外部信号と出力レベルが競合した場合、リード値のレベルはライト値のレベルにはならない場合があります。 端子がアナログ機能の場合、リード値は常に 0 で、ライトは無効です。 なお、ライト値は内部のレジスタに格納されます。そのため、端子の機能や端子の信号の向きを変更すると、出力端子のレベルが、内部のレジスタ値の影響を受ける可能性があります。	
4	PD4	R/W	0		
3	PD3	R/W	0		
2	PD2	R/W	0		
1	PD1	R/W	0		
0	PD0	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

7.2.11. PDR1 (Pin Data for GPIO1)

Register	PDR1	Pin Data for GPIO1	Address	0x98

Bit	Bit Name	R/W	Initial	Description	Remarks
7	PD7	R/W	0	端子信号 リード 0：端子の状態は“L”レベル リード 1：端子の状態は“H”レベル ライト 0：端子が GPIO 出力の場合、端子を“L”レベルにする ライト 1：端子が GPIO 出力の場合、端子を“H”レベルにする 端子が GPIO 入力か他のデジタル機能の場合、リード値は外部端子のレベルを示し、ライトは無効です。 端子が GPIO 出力の場合、ライト値は端子の出力レベルになり、リード値は外部端子のレベルを示します。たとえば、外部信号と出力レベルが競合した場合、リード値のレベルはライト値のレベルにはならない場合があります。 端子がアナログ機能の場合、リード値は常に 0 で、ライトは無効です。 なお、ライト値は内部のレジスタに格納されます。そのため、端子の機能や端子の信号の向きを変更すると、出力端子のレベルが、内部のレジスタ値の影響を受ける可能性があります。	
6	PD6	R/W	0		
5	PD5	R/W	0		
4	PD4	R/W	0		
3	PD3	R/W	0		
2	PD2	R/W	0		
1	PD1	R/W	0		
0	PD0	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

7.2.12. PDR2 (Pin Data for GPIO2)

Register	PDR2	Pin Data for GPIO2	Address	0xB0

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	PD1	R/W	0	端子信号 リード 0：端子の状態は“L”レベル リード 1：端子の状態は“H”レベル ライト 0：端子が GPIO 出力の場合、端子を“L”レベルにする ライト 1：端子が GPIO 出力の場合、端子を“H”レベルにする 端子が GPIO 入力か他のデジタル機能の場合、リード値は外部端子のレベルを示し、ライトは無効です。 端子が GPIO 出力の場合、ライト値は端子の出力レベルになり、リード値は外部端子のレベルを示します。たとえば、外部信号と出力レベルが競合した場合、リード値のレベルはライト値のレベルにはならない場合があります。 端子がアナログ機能の場合、リード値は常に 0 で、ライトは無効です。 なお、ライト値は内部のレジスタに格納されます。そのため、端子の機能や端子の信号の向きを変更すると、出力端子のレベルが、内部のレジスタ値の影響を受ける可能性があります。	
0	PD0	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

7.2.13. PPU0 (Pin Pull Up Control for GPIO0)

Register	PPU0		Pin Pull Up Control for GPIO0		Address	0xFE08
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	PPU5	R/W	1	端子のプルアップイネーブル 0：プルアップ MOSFET をディスエーブル 1：プルアップ MOSFET をイネーブル		
4	PPU4	R/W	1			
3	PPU3	R/W	1			
2	PPU2	R/W	1			
1	PPU1	R/W	1			
0	PPU0	R/W	1			

7.2.14. PPU2 (Pin Pull Up Control for GPIO2)

Register	PPU2		Pin Pull Up Control for GPIO2		Address	0xFE0A
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	PPU1	R/W	1	端子のプルアップイネーブル 0：プルアップ MOSFET をディスエーブル 1：プルアップ MOSFET をイネーブル		
0	PPU0	R/W	1			

7.2.15. PPD1 (Pin Pull Down Control for GPIO1)

Register	PPD1		Pin Pull Down Control for GPIO1		Address	0xFE0D
Bit	Bit Name	R/W	Initial	Description		Remarks
7	PPD7	R/W	1	端子のプルダウンイネーブル 0：プルダウン MOSFET をディスエーブル 1：プルダウン MOSFET をイネーブル		
6	PPD6	R/W	1			
5	PPD5	R/W	1			
4	PPD4	R/W	1			
3	PPD3	R/W	1			
2	PPD2	R/W	1			
1	PPD1	R/W	1			
0	PPD0	R/W	1			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.16. PIE0 (Pin Interrupt Enable for GPIO0)

Register	PIE0		Pin Interrupt Enable for GPIO0		Address	0xFE10
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	PIE5	R/W	0	端子の割込みイネーブル 0：端子の割込みをディスエーブル 1：端子の割込みをイネーブル 端子の機能がアナログの場合、PIE0～PIE5 ビットは無視されます。 端子の機能がデジタルの場合、端子の機能や端子の信号の向きに関係なく、PIE0～PIE5 ビットはイネーブルです。		
4	PIE4	R/W	0			
3	PIE3	R/W	0			
2	PIE2	R/W	0			
1	PIE1	R/W	0			
0	PIE0	R/W	0			

7.2.17. PIE1 (Pin Interrupt Enable for GPIO1)

Register	PIE1		Pin Interrupt Enable for GPIO1		Address	0xFE11
Bit	Bit Name	R/W	Initial	Description		Remarks
7	PIE7	R/W	0	端子の割込みイネーブル 0：端子の割込みをディスエーブル 1：端子の割込みをイネーブル 端子の機能がアナログの場合、PIE0～PIE7 ビットは無視されます。 端子の機能がデジタルの場合、端子の機能や端子の信号の向きに関係なく、PIE0～PIE7 ビットはイネーブルです。すなわち、PWM トグルで割込みができます。		
6	PIE6	R/W	0			
5	PIE5	R/W	0			
4	PIE4	R/W	0			
3	PIE3	R/W	0			
2	PIE2	R/W	0			
1	PIE1	R/W	0			
0	PIE0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.18. PIE2 (Pin Interrupt Enable for GPIO2)

Register	PIE2		Pin Interrupt Enable for GPIO2		Address	0xFE12
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	PIE1	R/W	0	端子の割込みイネーブル 0：端子の割込みをディスエーブル 1：端子の割込みをイネーブル 端子の機能がアナログの場合、PIE0～PIE1 ビットは無視されます。 端子の機能がデジタルの場合、端子の機能や端子の信号の向きに関係なく、PIE0～PIE1 ビットはイネーブルです。		
0	PIE0	R/W	0			

7.2.19. PIF0 (Pin Interrupt Flag for GPIO0)

Register	PIF0		Pin Interrupt Flag for GPIO0		Address	0xC8
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	PIF5	R/C	0	端子の割込みフラグの設定 リード 0：要求なし リード 1：割込みイベントが発生 ライト 0：変化なし ライト 1：対応するビットをクリア PIFx ビットは、PIEx ビットの値に関係なくアサートされます。		
4	PIF4	R/C	0			
3	PIF3	R/C	0			
2	PIF2	R/C	0			
1	PIF1	R/C	0			
0	PIF0	R/C	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.20. PIF1 (Pin Interrupt Flag for GPIO1)

Register	PIF1		Pin Interrupt Flag for GPIO1		Address	0xD8
Bit	Bit Name	R/W	Initial	Description		Remarks
7	PIF7	R/C	0	端子の割込みフラグの設定 リード 0：要求なし リード 1：割込みイベントが発生 ライト 0：変化なし ライト 1：対応するビットをクリア PIFx ビットは、PIEx ビットの値に関係なくアサートされます。		
6	PIF6	R/C	0			
5	PIF5	R/C	0			
4	PIF4	R/C	0			
3	PIF3	R/C	0			
2	PIF2	R/C	0			
1	PIF1	R/C	0			
0	PIF0	R/C	0			

7.2.21. PIF2 (Pin Interrupt Flag for GPIO2)

Register	PIF2		Pin Interrupt Flag for GPIO2		Address	0xE8
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	PIF1	R/C	0	端子の割込みフラグの設定 リード 0：要求なし リード 1：割込みイベントが発生 ライト 0：変化なし ライト 1：対応するビットをクリア PIFx ビットは、PIEx ビットの値に関係なくアサートされます。		
0	PIF0	R/C	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.22. PIS0 (Pin Interrupt Sense for GPIO0)

Register	PIS0		Pin Interrupt Sense for GPIO0		Address	0xFE14
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	PIS5	R/W	0	端子の割込み検出の選択 0：レベル検出 1：エッジ検出 ウェイクアップ機能を実現するため、エッジ検出はアナログ遅延型（適切なノイズフィルタを使用）を実装しています。		
4	PIS4	R/W	0			
3	PIS3	R/W	0			
2	PIS2	R/W	0			
1	PIS1	R/W	0			
0	PIS0	R/W	0			

7.2.23. PIS1 (Pin Interrupt Sense for GPIO1)

Register	PIS1		Pin Interrupt Sense for GPIO1		Address	0xFE15
Bit	Bit Name	R/W	Initial	Description		Remarks
7	PIS7	R/W	0	端子の割込み検出の選択 0：レベル検出 1：エッジ検出 ウェイクアップ機能を実現するため、エッジ検出はアナログ遅延型（適切なノイズフィルタを使用）を実装しています。		
6	PIS6	R/W	0			
5	PIS5	R/W	0			
4	PIS4	R/W	0			
3	PIS3	R/W	0			
2	PIS2	R/W	0			
1	PIS1	R/W	0			
0	PIS0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.24. PIS2 (Pin Interrupt Sense for GPIO2)

Register	PIS2		Pin Interrupt Sense for GPIO2		Address	0xFE16
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	PIS1	R/W	0	端子の割込み検出の選択 0：レベル検出 1：エッジ検出 ウェイクアップ機能を実現するため、エッジ検出はアナログ遅延型（適切なノイズフィルタを使用）を実装しています。		
0	PIS0	R/W	0			

7.2.25. PIL0 (Pin Interrupt Level for GPIO0)

Register	PIL0		Pin Interrupt Level for GPIO0		Address	0xFE18
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	PIL5	R/W	0	端子の割込みレベルの選択 0：“L”レベル、立ち下がりエッジ 1：“H”レベル、立ち上がりエッジ エッジ検出が選択されている場合、PIBx ビットの優先順位が高くなります。		
4	PIL4	R/W	0			
3	PIL3	R/W	0			
2	PIL2	R/W	0			
1	PIL1	R/W	0			
0	PIL0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.26. PIL1 (Pin Interrupt Level for GPIO1)

Register	PIL1		Pin Interrupt Level for GPIO1		Address	0xFE19
Bit	Bit Name	R/W	Initial	Description		Remarks
7	PIL7	R/W	0	端子の割込みレベルの選択 0：“L”レベル、立ち下がりエッジ 1：“H”レベル、立ち上がりエッジ エッジ検出が選択されている場合、PIBx ビットの優先順位が高くなります。		
6	PIL6	R/W	0			
5	PIL5	R/W	0			
4	PIL4	R/W	0			
3	PIL3	R/W	0			
2	PIL2	R/W	0			
1	PIL1	R/W	0			
0	PIL0	R/W	0			

7.2.27. PIL2 (Pin Interrupt Level for GPIO2)

Register	PIL2		Pin Interrupt Level for GPIO2		Address	0xFE1A
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	PIL1	R/W	0	端子の割込みレベルの選択 0：“L”レベル、立ち下がりエッジ 1：“H”レベル、立ち上がりエッジ エッジ検出が選択されている場合、PIBx ビットの優先順位が高くなります。		
0	PIL0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.28. PIB0 (Pin Interrupt Both Edge for GPIO0)

Register	PIB0		Pin Interrupt Both Edge for GPIO0		Address	0xFE1C
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	PIB5	R/W	0	端子の割込みの両エッジを選択 0：PILx ビットで設定された立ち下がりエッジか立ち上がりエッジ 1：PILx ビットの設定を無視した両エッジ これらのビットは、エッジ検出が選択されている場合のみ有効です。		
4	PIB4	R/W	0			
3	PIB3	R/W	0			
2	PIB2	R/W	0			
1	PIB1	R/W	0			
0	PIB0	R/W	0			

7.2.29. PIB1 (Pin Interrupt Both Edge for GPIO1)

Register	PIB1		Pin Interrupt Both Edge for GPIO1		Address	0xFE1D
Bit	Bit Name	R/W	Initial	Description		Remarks
7	PIB7	R/W	0	端子の割込みの両エッジを選択 0：PILx ビットで設定された立ち下がりエッジか立ち上がりエッジ 1：PILx ビットの設定を無視した両エッジ これらのビットは、エッジ検出が選択されている場合のみ有効です。		
6	PIB6	R/W	0			
5	PIB5	R/W	0			
4	PIB4	R/W	0			
3	PIB3	R/W	0			
2	PIB2	R/W	0			
1	PIB1	R/W	0			
0	PIB0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.30. PIB2 (Pin Interrupt Both Edge for GPIO2)

Register	PIB2		Pin Interrupt Both Edge for GPIO2		Address	0xFE1E
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	PIB1	R/W	0	端子の割込みの両エッジを選択 0：PILx ビットで設定された立ち下がりエッジか立ち上がりエッジ 1：PILx ビットの設定を無視した両エッジ これらのビットは、エッジ検出が選択されている場合のみ有効です。		
0	PIB0	R/W	0			

7.2.31. PEADC0 (ADC Event Select from GPIO0)

Register	PEADC0		ADC Event Select from GPIO0		Address	0xFE20
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	EVTADC5	R/W	0	ADC イベントの選択 0：入力信号を ADC のイベントに使用しない 1：入力信号を ADC のイベントに使用する GPIO の入力信号を EVTADC0～EVTADC5 ビットで選択します。 本 LSI は、選択された入力信号を演算し、イベント信号を生成します。生成されたイベント信号は、すべての ADC のスタートトリガになります。演算の方式は、論理和（OR）と論理積（AND）があり、PEMETHOD.MPEADC0 ビットで選択できます。		
4	EVTADC4	R/W	0			
3	EVTADC3	R/W	0			
2	EVTADC2	R/W	0			
1	EVTADC1	R/W	0			
0	EVTADC0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.32. PEADC1 (ADC Event Select from GPIO1)

Register	PEADC1		ADC Event Select from GPIO1		Address	0xFE21
Bit	Bit Name	R/W	Initial	Description		Remarks
7	EVTADC7	R/W	0	ADC イベントの選択 0：入力信号を ADC のイベントに使用しない 1：入力信号を ADC のイベントに使用する GPIO の入力信号を EVTADC0～EVTADC7 ビットで選択します。 本 LSI は、選択された入力信号を演算し、イベント信号を生成します。生成されたイベント信号は、すべての ADC のスタートトリガになります。演算の方式は、論理和（OR）と論理積（AND）があり、PEMETHOD.MPEADC1 ビットで選択できます。		
6	EVTADC6	R/W	0			
5	EVTADC5	R/W	0			
4	EVTADC4	R/W	0			
3	EVTADC3	R/W	0			
2	EVTADC2	R/W	0			
1	EVTADC1	R/W	0			
0	EVTADC0	R/W	0			

7.2.33. PEADC2 (ADC Event Select from GPIO2)

Register	PEADC2		ADC Event Select from GPIO2		Address	0xFE22
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	EVTADC1	R/W	0	ADC イベントの選択 0：入力信号を ADC のイベントに使用しない 1：入力信号を ADC のイベントに使用する GPIO の入力信号を EVTADC0～EVTADC1 ビットで選択します。 本 LSI は、選択された入力信号を演算し、イベント信号を生成します。生成されたイベント信号は、すべての ADC のスタートトリガになります。演算の方式は、論理和（OR）と論理積（AND）があり、PEMETHOD.MPEADC2 ビットで選択できます。		
0	EVTADC0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.34. PEPWM0 (PWM Event Select from GPIO0)

Register	PEPWM0	PWM Event Select from GPIO0	Address	0xFE24

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	EVTPWM5	R/W	0	PWM イベントの選択 0：入力信号を PWM のイベントに使用しない 1：入力信号を PWM のイベントに使用する GPIO の入力信号を EVTPWM0～EVTPWM5 ビットで選択します。 本 LSI は、選択された入力信号を演算し、イベント信号を生成します。生成されたイベント信号は、すべての PWM のイベント信号になります。 演算の方式は、論理和（OR）と論理積（AND）があり、PEMETHOD.MPEPWM0 ビットで選択できます。	
4	EVTPWM4	R/W	0		
3	EVTPWM3	R/W	0		
2	EVTPWM2	R/W	0		
1	EVTPWM1	R/W	0		
0	EVTPWM0	R/W	0		

7.2.35. PEPWM1 (PWM Event Select from GPIO1)

Register	PEPWM1	PWM Event Select from GPIO1	Address	0xFE25

Bit	Bit Name	R/W	Initial	Description	Remarks
7	EVTPWM7	R/W	0	PWM イベントの選択 0：入力信号を PWM のイベントに使用しない 1：入力信号を PWM のイベントに使用する GPIO の入力信号を EVTPWM0～EVTPWM7 ビットで選択します。 本 LSI は、選択された入力信号を演算し、イベント信号を生成します。生成されたイベント信号は、すべての PWM のイベント信号になります。 演算の方式は、論理和（OR）と論理積（AND）があり、PEMETHOD.MPEPWM1 ビットで選択できます。	
6	EVTPWM6	R/W	0		
5	EVTPWM5	R/W	0		
4	EVTPWM4	R/W	0		
3	EVTPWM3	R/W	0		
2	EVTPWM2	R/W	0		
1	EVTPWM1	R/W	0		
0	EVTPWM0	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

7.2.36. PEPWM2 (PWM Event Select from GPIO2)

Register	PEPWM2	PWM Event Select from GPIO2	Address	0xFE26

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	EVTPWM1	R/W	0	PWM イベントの選択 0：入力信号を PWM のイベントに使用しない 1：入力信号を PWM のイベントに使用する GPIO の入力信号を EVTPWM0～EVTPWM1 ビットで選択します。 本 LSI は、選択された入力信号を演算し、イベント信号を生成します。生成されたイベント信号は、すべての PWM のイベント信号になります。 演算の方式は、論理和（OR）と論理積（AND）があり、PEMETHOD.MPEPWM2 ビットで選択できます。	
0	EVTPWM0	R/W	0		

7.2.37. PELUT0 (LUT Event Select from GPIO0)

Register	PELUT0	LUT Event Select from GPIO0	Address	0xFE30

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	EVTLUT5	R/W	0	LUT イベントの選択 0：入力信号を LUT のイベントに使用しない 1：入力信号を LUT のイベントに使用する GPIO の入力信号を EVTLUT0～EVTLUT5 ビットで選択します。 本 LSI は、選択された入力信号を演算し、イベント信号を生成します。生成されたイベント信号は、すべての LUT のイベント信号になります。 演算の方式は、論理和（OR）と論理積（AND）があり、LEMETHOD.MPELUT0 ビットで選択できます。	
4	EVTLUT4	R/W	0		
3	EVTLUT3	R/W	0		
2	EVTLUT2	R/W	0		
1	EVTLUT1	R/W	0		
0	EVTLUT0	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

7.2.38. PELUT1 (LUT Event Select from GPIO1)

Register	PELUT1		LUT Event Select from GPIO1		Address	0xFE31
Bit	Bit Name	R/W	Initial	Description		Remarks
7	EVTLUT7	R/W	0	LUT イベントの選択 0：入力信号を LUT のイベントに使用しない 1：入力信号を LUT のイベントに使用する GPIO の入力信号を EVTLUT0～EVTLUT7 ビットで選択します。 本 LSI は、選択された入力信号を演算し、イベント信号を生成します。生成されたイベント信号は、すべての LUT のイベント信号になります。 演算の方式は、論理和（OR）と論理積（AND）があり、LEMETHOD.MPELUT1 ビットで選択できます。		
6	EVTLUT6	R/W	0			
5	EVTLUT5	R/W	0			
4	EVTLUT4	R/W	0			
3	EVTLUT3	R/W	0			
2	EVTLUT2	R/W	0			
1	EVTLUT1	R/W	0			
0	EVTLUT0	R/W	0			

7.2.39. PELUT2 (LUT Event Select from GPIO2)

Register	PELUT2		LUT Event Select from GPIO2		Address	0xFE32
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	EVTLUT1	R/W	0	LUT イベントの選択 0：入力信号を LUT のイベントに使用しない 1：入力信号を LUT のイベントに使用する GPIO の入力信号を EVTLUT0～EVTLUT1 ビットで選択します。 本 LSI は、選択された入力信号を演算し、イベント信号を生成します。生成されたイベント信号は、すべての LUT のイベント信号になります。 演算の方式は、論理和（OR）と論理積（AND）があり、LEMETHOD.MPELUT2 ビットで選択できます。		
0	EVTLUT0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.40. PEMETHOD (PWM and ADC Event Gathering Method)

Register	PEMETHOD		PWM Event Gathering Method		Address	0xFE28
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	MPEPWM2	R/W	0	PWM イベントを生成する際の演算方式 0：論理和（OR） 1：論理積（AND） 各ビットは、PEPWM0～PEPWM2 レジスタに対応しています。		
5	MPEPWM1	R/W	0			
4	MPEPWM0	R/W	0			
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	MPEADC2	R/W	0	ADC イベントを生成する際の演算方式 0：論理和（OR） 1：論理積（AND） 各ビットは、PEADC0～PEADC2 レジスタに対応しています。		
1	MPEADC1	R/W	0			
0	MPEADC0	R/W	0			

7.2.41. LEMETHOD (CMPLUT Event Gathering Method)

Register	LEMETHOD		CMPLUT Event Gathering Method		Address	0xFE38
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	MPELUT2	R/W	0	LUT イベントを生成する際の演算方式 0：論理和（OR） 1：論理積（AND） 各ビットは、PELUT0～PELUT2 レジスタに対応しています。		
1	MPELUT1	R/W	0			
0	MPELUT0	R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.2.42. SIS (Serial Input Select)

Register	SIS	Serial Input Select Register	Address	0xFE70

Bit	Bit Name	R/W	Initial	Description	Remarks
7	RXDS	R/W	0	RXD の選択 00：RXD_A 01：RXD_B 10：リザーブ 11：リザーブ	
6		R/W	0		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

7.2.43. I2CIS (I^2C Input Select)

Register	I2CIS	I^2C Input Select Register	Address	0xFE71

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	SDAS	R/W	0	SDA の選択 00：SDA_A 01：SDA_B 10：リザーブ 11：リザーブ	
2		R/W	0		
1	SCLS	R/W	0	SCL の選択 00：SCL_A 01：SCL_B 10：リザーブ 11：リザーブ	
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

7.2.44. TMRIS (TMR Input/Output Select)

Register	TMRIS		TMR Input/Output Select Register		Address	0xFE72
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	TMR2S_B	R	0	TIOB2 の入出力の選択 00：TIOB2_A 01：TIOB2_B 10：リザーブ 11：リザーブ		
2		R/W	0			
1	TMR2S_A	R	0	TIOA2 の入出力の選択 00：TIOA2_A 01：TIOA2_B 10：リザーブ 11：リザーブ		
0		R/W	0			

7.2.45. CLKIS (Clock Input Select)

Register	CLKIS		CLKIN Input Select Register		Address	0xFE73
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	CLKS	R/W	0	CLKIN の選択 00：CLKIN_A 01：CLKIN_B 10：リザーブ 11：リザーブ		
0		R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

7.3. 注意、制限事項

7.3.1. PDRx レジスタへの書込み後に、PDRx レジスタの読出しをする場合

PDRx レジスタに書き込んだ後に PDRx レジスタを読み出す場合、読出し命令と書込み命令の間に 2 つ以上のウェイトサイクルが必要です。この動作のサンプルコードを次に示します。

```
mov PDR1, #0xaa  ; Writing to PDR1
nop              ; Wait cycle
nop              ; Wait cycle
mov a, PDR1      ; Reading from PDR1
```

7.3.2. GPIO14、GPIO15、GPIO16、GPIO17、GPIO21 の端子機能設定

GPIO14、GPIO15、GPIO16、GPIO17 の機能を選択するには、次の順序で PFSE1 レジスタと PFS1 レジスタを設定します。

(1) これらの端子には PWM、通信インタフェース（SPI か UART）、TMR が割り当てられています。これらの機能を使用する場合は、PFSE1 レジスタを設定します。GPIO 機能を選択する場合は、PFSE1 レジスタの設定は不要です。
(2) PFS1 レジスタで、GPIO 機能か、PFSE1 レジスタで設定した機能を選択します。

GPIO21 の機能を選択するには、次の順序で PFSE2 レジスタと PFS2 レジスタを設定します。

(1) GPIO21 にはアナログ入力か CLKMON が割り当てられています。これらの機能を使用する場合は、PFSE2 レジスタを設定します。GPIO 機能を選択する場合は、PFSE2 レジスタの設定は不要です。
(2) PFS2 レジスタで、GPIO 機能か、PFSE2 レジスタで設定した機能を選択します。

7.3.3. GPIO10～GPIO17 端子の POC 動作について

GPIO10～GPIO17 は、端子機能の選択に関わらず、POC による端子の Hi-Z 出力制御が行われます。また、“H”レベルおよび“L”レベルの出力制御は、該当する端子を出力機能として使用しているときに行われます。POC による出力制御を行わないようにするためには、POC の POCCR レジスタと POCOCR レジスタの設定で、該当する端子が出力制御を行わない設定にしてください。

© SANKEN ELECTRIC CO., LTD. 2017

8. イベント接続

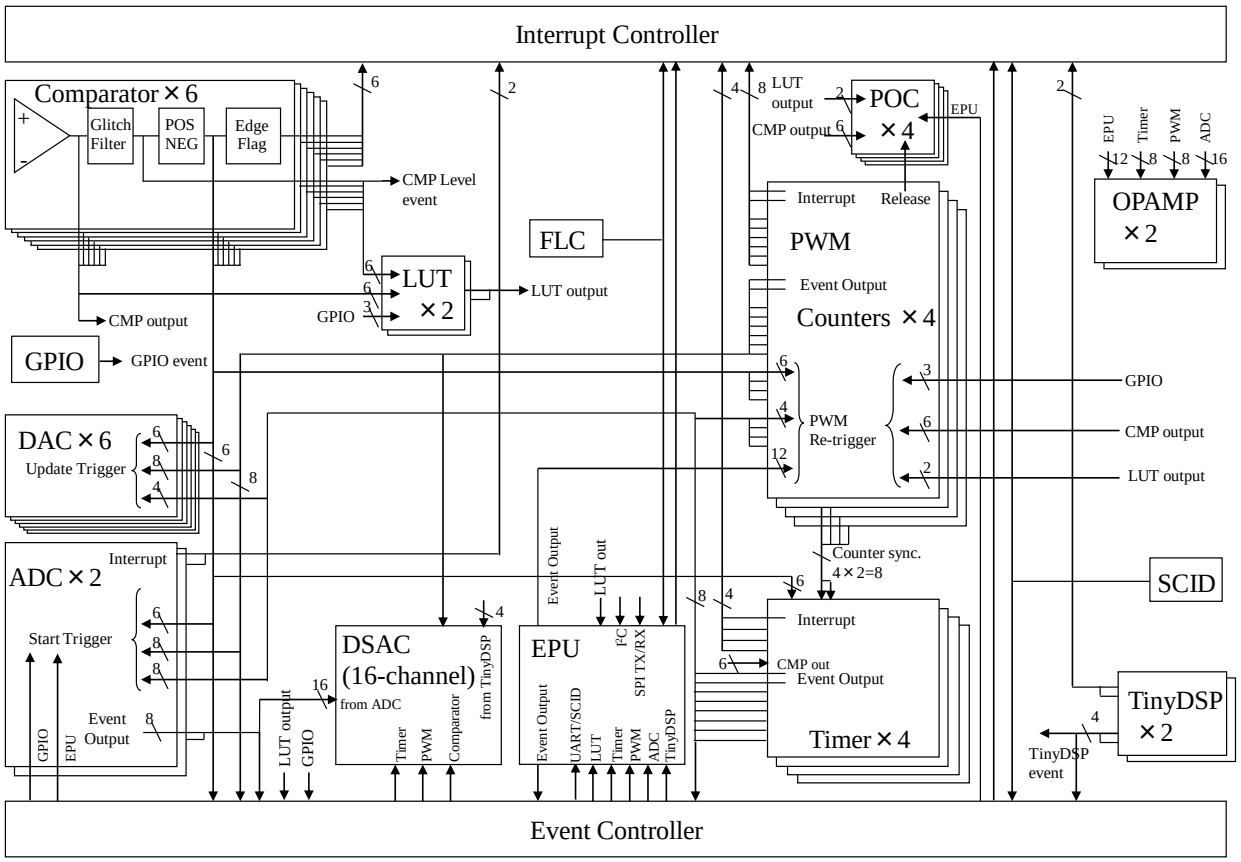


図 8-1 LSI 内部のイベント接続

© SANKEN ELECTRIC CO., LTD. 2017

9. イベントコントローラ（EVC）

9.1. 概要

イベントコントローラ（EVC：Event Controller）で、各機能モジュール間のイベント接続を設定したり、EPU の出力イベントから CPU への割込みを生成したりします。また、ADC0／1 用の GPIO0／1／2 エッジイベントを生成します。

表 9-1 EVC 機能概要

項目	説明
割込み生成	- EPU 出力イベント 14（各スレッド）
イベント選択	機能モジュールへの入力イベント選択 - EPU - ADC - DSAC
イベント統合	イベントを選択し、1 本に統合（OR） - POC

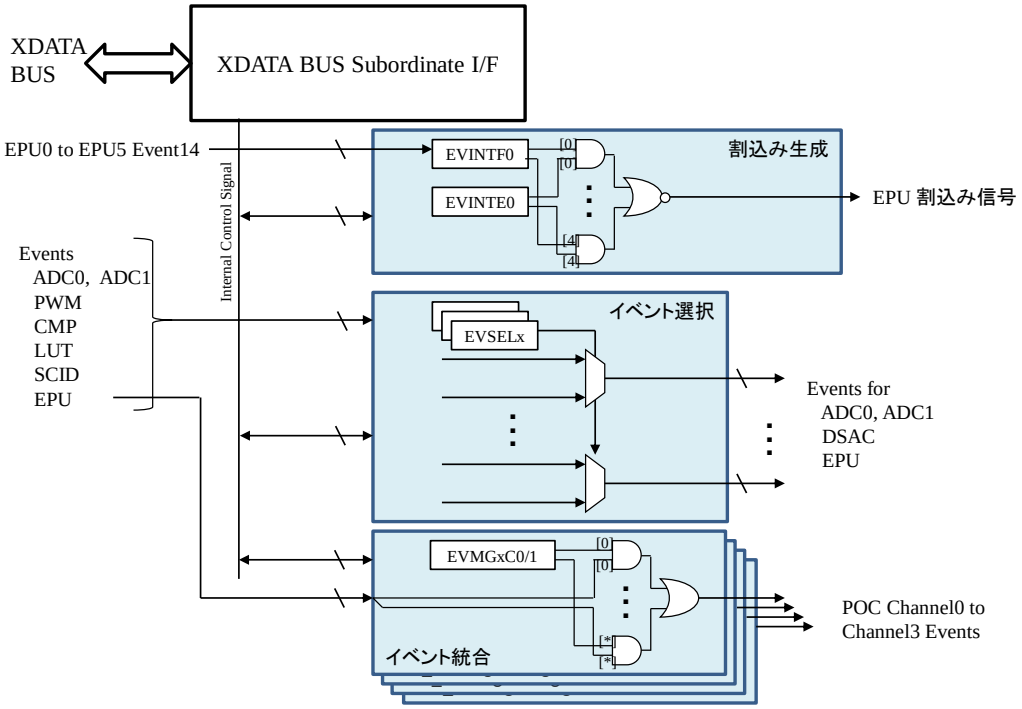


図 9-1 EVC のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

9.2. 動作

9.2.1. 割込み生成

EPU の各スレッドの出力イベント 14 から CPU への割込みを生成します。イベントを検出すると、EVINTF0 レジスタの該当するビットがセットされます。EVINTF0 がセットされた状態で EVINTE0 レジスタの該当するビットを 1（イネーブル）にすると、CPU への割込みを生成します。

9.2.2. イベント選択

EPU、ADC、および DSAC へのイベント入力を選択します。選択は EVSELn レジスタで行います。表 9-2 に EPU、表 9-3 に ADC、表 9-4 に DSAC の入力イベント選択の表を示します。表内のイベントタイプには、2 つのイベントタイプがスラッシュで併記されているものがあります。EVSELn.EPUmSEL = 0 の場合はスラッシュの前、EVSELn.EPUmSEL = 1 の場合はスラッシュの後のイベントタイプになります。例として、表 9-2 において EVSEL0.EPU0SEL = 0 の場合のイベントタイプは TinyDSP0_0、EVSEL0.EPU0SEL = 1 の場合のイベントタイプは TinyDSP0_1 です。

表 9-2 EPU イベント入力

Event No.	EPU Thread0		EPU Thread1		EPU Thread2	
	Event Type	Setting Register	Event Type	Setting Register	Event Type	Setting Register
0	TinyDSP0_0/ TinyDSP0_1	EVSEL0.EPU0SEL	TinyDSP0_0/ TinyDSP0_1	EVSEL0.EPU1SEL	TinyDSP0_0/ TinyDSP0_1	EVSEL0.EPU2SEL
1	TinyDSP1_0/ TinyDSP1_1		TinyDSP1_0/ TinyDSP1_1		TinyDSP1_0/ TinyDSP1_1	
2	ADC0_0/ADC0_1	EVSEL1.EPU0SEL	ADC0_0/ADC0_1	EVSEL1.EPU1SEL	ADC0_0/ADC0_1	EVSEL1.EPU2SEL
3	ADC0_2/ADC0_3		ADC0_2/ADC0_3		ADC0_2/ADC0_3	
4	ADC0_4/ADC0_5		ADC0_4/ADC0_5		ADC0_4/ADC0_5	
5	ADC0_6/ADC0_7		ADC0_6/ADC0_7		ADC0_6/ADC0_7	
6	ADC1_0/ADC1_1		ADC1_0/ADC1_1		ADC1_0/ADC1_1	
7	ADC1_2/ADC1_3		ADC1_2/ADC1_3		ADC1_2/ADC1_3	
8	ADC1_4/ADC1_5		ADC1_4/ADC1_5		ADC1_4/ADC1_5	
9	ADC1_6/ADC1_7		ADC1_6/ADC1_7		ADC1_6/ADC1_7	
10	PWM0_0/PWM0_1	EVSEL2.EPU0SEL	PWM0_0/PWM0_1	EVSEL2.EPU1SEL	PWM0_0/PWM0_1	EVSEL2.EPU2SEL
11	PWM1_0/PWM1_1		PWM1_0/PWM1_1		PWM1_0/PWM1_1	
12	PWM2_0/PWM2_1		PWM2_0/PWM2_1		PWM2_0/PWM2_1	
13	PWM3_0/PWM3_1		PWM3_0/PWM3_1		PWM3_0/PWM3_1	
14	LUT0	—	LUT0/LUT1	EVSEL3.EPU1SEL	LUT0/LUT1	EVSEL3.EPU2SEL
15	LUT1	—	TMR0A/TMR0B	EVSEL4.EPU1SEL	TMR1A/TMR1B	EVSEL4.EPU2SEL

Event No.	EPU Thread3		EPU Thread4		EPU Thread5	
	Event Type	Setting Register	Event Type	Setting Register	Event Type	Setting Register
0	TinyDSP0_0/ TinyDSP0_1	EVSEL0.EPU3SEL	TinyDSP0_0/ TinyDSP0_1	EVSEL0.EPU4SEL	TinyDSP0_0/ TinyDSP0_1	EVSEL0.EPU5SEL
1	TinyDSP1_0/ TinyDSP1_1		TinyDSP1_0/ TinyDSP1_1		TinyDSP1_0/ TinyDSP1_1	
2	ADC0_0/ADC0_1	EVSEL1.EPU3SEL	ADC0_0/ADC0_1	EVSEL1.EPU4SEL	ADC0_0/ADC0_1	EVSEL1.EPU5SEL
3	ADC0_2/ADC0_3		ADC0_2/ADC0_3		ADC0_2/ADC0_3	
4	ADC0_4/ADC0_5		ADC0_4/ADC0_5		ADC0_4/ADC0_5	
5	ADC0_6/ADC0_7		ADC0_6/ADC0_7		ADC0_6/ADC0_7	
6	ADC1_0/ADC1_1		ADC1_0/ADC1_1		ADC1_0/ADC1_1	
7	ADC1_2/ADC1_3		ADC1_2/ADC1_3		ADC1_2/ADC1_3	
8	ADC1_4/ADC1_5		ADC1_4/ADC1_5		ADC1_4/ADC1_5	
9	ADC1_6/ADC1_7		ADC1_6/ADC1_7		ADC1_6/ADC1_7	
10	PWM0_0/PWM0_1	EVSEL2.EPU3SEL	PWM0_0/PWM0_1	EVSEL2.EPU4SEL	PWM0_0/PWM0_1	EVSEL2.EPU5SEL
11	PWM1_0/PWM1_1		PWM1_0/PWM1_1		PWM1_0/PWM1_1	
12	PWM2_0/PWM2_1		PWM2_0/PWM2_1		PWM2_0/PWM2_1	
13	PWM3_0/PWM3_1		PWM3_0/PWM3_1		PWM3_0/PWM3_1	
14	SPI_TX | SPI_RX	—	I^2C	—	UART/SCID	EVSEL3.EPU5SEL
15	TMR2A/TMR2B	EVSEL4.EPU3SEL	TMR3A/TMR3B	EVSEL4.EPU4SEL	FLASH	—

© SANKEN ELECTRIC CO., LTD. 2017

表 9-3　ADC イベント入力

Event No.	ADC Unit0		ADC Unit1	
	Event Type	Setting Register	Event Type	Setting Register
1	GPIO0 rise	—	GPIO0 rise	—
2	GPIO0 fall	—	GPIO0 fall	—
3	GPIO0 both	—	GPIO0 both	—
4	GPIO1 rise	—	GPIO1 rise	—
5	GPIO1 fall	—	GPIO1 fall	—
6	GPIO1 both	—	GPIO1 both	—
7	GPIO2 rise	—	GPIO2 rise	—
8	GPIO2 fall	—	GPIO2 fall	—
9	GPIO2 both	—	GPIO2 both	—
10	CMP0	—	CMP0	—
11	CMP1	—	CMP1	—
12	CMP2	—	CMP2	—
13	CMP3	—	CMP3	—
14	CMP4	—	CMP4	—
15	CMP5	—	CMP5	—
16	—	—	—	—
17	—	—	—	—
18	TMR0_CMA	—	TMR0_CMA	—
19	TMR0_CMB	—	TMR0_CMB	—
20	TMR1_CMA	—	TMR1_CMA	—
21	TMR1_CMB	—	TMR1_CMB	—
22	TMR2_CMA	—	TMR2_CMA	—
23	TMR2_CMB	—	TMR2_CMB	—
24	TMR3_CMA	—	TMR3_CMA	—
25	TMR3_CMB	—	TMR3_CMB	—
26	PWM0_0	—	PWM0_0	—
27	PWM0_1	—	PWM0_1	—
28	PWM1_0	—	PWM1_0	—
29	PWM1_1	—	PWM1_1	—
30	PWM2_0	—	PWM2_0	—
31	PWM2_1	—	PWM2_1	—
32	PWM3_0	—	PWM3_0	—
33	PWM3_1	—	PWM3_1	—
34	EPU0_2/EPU1_2	EVSEL5.AD00SEL	EPU0_2/EPU1_2	EVSEL7.AD10SEL
35	EPU0_3/EPU1_3		EPU0_3/EPU1_3	
36	EPU0_4/EPU1_4	EVSEL5.AD01SEL	EPU0_4/EPU1_4	EVSEL7.AD11SEL
37	EPU0_5/EPU1_5		EPU0_5/EPU1_5	
38	EPU0_6/EPU1_6	EVSEL5.AD02SEL	EPU0_6/EPU1_6	EVSEL7.AD12SEL
39	EPU0_7/EPU1_7		EPU0_7/EPU1_7	
40	EPU0_8/EPU1_8	EVSEL5.AD03SEL	EPU0_8/EPU1_8	EVSEL7.AD13SEL
41	EPU0_9/EPU1_9		EPU0_9/EPU1_9	
42	EPU2_2/EPU3_2	EVSEL5.AD04SEL	EPU2_2/EPU3_2	EVSEL7.AD14SEL
43	EPU2_3/EPU3_3		EPU2_3/EPU3_3	
44	EPU2_4/EPU3_4	EVSEL5.AD05SEL	EPU2_4/EPU3_4	EVSEL7.AD15SEL
45	EPU2_5/EPU3_5		EPU2_5/EPU3_5	
46	EPU2_6/EPU3_6	EVSEL5.AD06SEL	EPU2_6/EPU3_6	EVSEL7.AD16SEL
47	EPU2_7/EPU3_7		EPU2_7/EPU3_7	
48	EPU2_8/EPU3_8	EVSEL5.AD07SEL	EPU2_8/EPU3_8	EVSEL7.AD17SEL
49	EPU2_9/EPU3_9		EPU2_9/EPU3_9	
50	EPU4_2/EPU5_2	EVSEL6.AD08SEL	EPU4_2/EPU5_2	EVSEL8.AD18SEL
51	EPU4_3/EPU5_3		EPU4_3/EPU5_3	
52	EPU4_4/EPU5_4	EVSEL6.AD09SEL	EPU4_4/EPU5_4	EVSEL8.AD19SEL
53	EPU4_5/EPU5_5		EPU4_5/EPU5_5	
54	EPU4_6/EPU5_6	EVSEL6.AD0ASEL	EPU4_6/EPU5_6	EVSEL8.AD1ASEL
55	EPU4_7/EPU5_7		EPU4_7/EPU5_7	
56	EPU4_8/EPU5_8	EVSEL6.AD0BSEL	EPU4_8/EPU5_8	EVSEL8.AD1BSEL
57	EPU4_9/EPU5_9		EPU4_9/EPU5_9	

© SANKEN ELECTRIC CO., LTD. 2017

表 9-4　DSAC イベント入力

Event No.	DSAC Channel0 to Channel7		DSAC Channel8 to Channel15	
	Event Type	Setting Register	Event Type	Setting Register
0	CMP0/CMP1	EVSEL9.DSAC0SEL	CMP0/CMP1	EVSEL9.DSAC1SEL
1	CMP2/CMP3		CMP2/CMP3	
2	CMP4/CMP5		CMP4/CMP5	
3	ADC0_0	—	ADC0_0	—
4	ADC0_1	—	ADC0_1	—
5	ADC0_2	—	ADC0_2	—
6	ADC0_3	—	ADC0_3	—
7	ADC0_4	—	ADC0_4	—
8	ADC0_5	—	ADC0_5	—
9	ADC0_6	—	ADC0_6	—
10	ADC0_7	—	ADC0_7	—
11	ADC1_0	—	ADC1_0	—
12	ADC1_1	—	ADC1_1	—
13	ADC1_2	—	ADC1_2	—
14	ADC1_3	—	ADC1_3	—
15	ADC1_4	—	ADC1_4	—
16	ADC1_5	—	ADC1_5	—
17	ADC1_6	—	ADC1_6	—
18	ADC1_7	—	ADC1_7	—
19	PWM0_0/PWM0_1	EVSEL10.DSAC0SEL	PWM0_0/PWM0_1	EVSEL10.DSAC1SEL
20	PWM1_0/PWM1_1		PWM1_0/PWM1_1	
21	PWM2_0/PWM2_1		PWM2_0/PWM2_1	
22	PWM3_0/PWM3_1		PWM3_0/PWM3_1	
23	TinyDSP0_0	—	TinyDSP0_0	—
24	TinyDSP0_1	—	TinyDSP0_1	—
25	TinyDSP1_0	—	TinyDSP1_0	—
26	TinyDSP1_1	—	TinyDSP1_1	—
27	TMR0 CMA/CMB	EVSEL11.DSAC0SEL	TMR0 CMA/CMB	EVSEL11.DSAC1SEL
28	TMR1 CMA/CMB		TMR1 CMA/CMB	
29	TMR2 CMA/CMB		TMR2 CMA/CMB	
30	TMR3 CMA/CMB		TMR3 CMA/CMB	
31	(CPU)	—	(CPU)	—

© SANKEN ELECTRIC CO., LTD. 2017

9.2.3. イベント統合

EPU の複数のイベントを選択、統合（OR）し POC の各チャネルへ出力します。統合グループは 4 つ（A、B、C、および D）あり、グループ A が POC のチャネル 0 用、グループ B が POC のチャネル 1 用、グループ C が POC のチャネル 2 用、グループ D が POC のチャネル 3 用イベントを生成します。EVMGxC0／1（x は A、B、C、D のいずれか）レジスタの MGENx ビットが 1 のとき、該当するイベントを POC へ出力します。MGENx ビットが 0 のとき、該当するイベントを POC へ出力しません。

表 9-5　POC イベント入力

Event No.	POC Channel0		POC Channel1		POC Channel2		POC Channel3	
	Event Type	Setting Register	Event Type	Setting Register	Event Type	Setting Register	Event Type	Setting Register
0	CMP0 (level)	—	CMP0 (level)	—	CMP0 (level)	—	CMP0 (level)	—
1	CMP1 (level)	—	CMP1 (level)	—	CMP1 (level)	—	CMP1 (level)	—
2	CMP2 (level)	—	CMP2 (level)	—	CMP2 (level)	—	CMP2 (level)	—
3	CMP3 (level)	—	CMP3 (level)	—	CMP3 (level)	—	CMP3 (level)	—
4	CMP4 (level)	—	CMP4 (level)	—	CMP4 (level)	—	CMP4 (level)	—
5	CMP5 (level)	—	CMP5 (level)	—	CMP5 (level)	—	CMP5 (level)	—
6	LUT0 (level)	—	LUT0 (level)	—	LUT0 (level)	—	LUT0 (level)	—
7	LUT1 (level)	—	LUT1 (level)	—	LUT1 (level)	—	LUT1 (level)	—
EPU	EPU0_10	EVMGAC0.MGEN0	EPU0_10	EVMGBC0.MGEN0	EPU0_10	EVMGCC0.MGEN0	EPU0_10	EVMGDC0.MGEN0
	EPU0_11	EVMGAC0.MGEN1	EPU0_11	EVMGBC0.MGEN1	EPU0_11	EVMGCC0.MGEN1	EPU0_11	EVMGDC0.MGEN1
	EPU1_10	EVMGAC0.MGEN2	EPU1_10	EVMGBC0.MGEN2	EPU1_10	EVMGCC0.MGEN2	EPU1_10	EVMGDC0.MGEN2
	EPU1_11	EVMGAC0.MGEN3	EPU1_11	EVMGBC0.MGEN3	EPU1_11	EVMGCC0.MGEN3	EPU1_11	EVMGDC0.MGEN3
	EPU2_10	EVMGAC0.MGEN4	EPU2_10	EVMGBC0.MGEN4	EPU2_10	EVMGCC0.MGEN4	EPU2_10	EVMGDC0.MGEN4
	EPU2_11	EVMGAC0.MGEN5	EPU2_11	EVMGBC0.MGEN5	EPU2_11	EVMGCC0.MGEN5	EPU2_11	EVMGDC0.MGEN5
	EPU3_10	EVMGAC0.MGEN6	EPU3_10	EVMGBC0.MGEN6	EPU3_10	EVMGCC0.MGEN6	EPU3_10	EVMGDC0.MGEN6
	EPU3_11	EVMGAC0.MGEN7	EPU3_11	EVMGBC0.MGEN7	EPU3_11	EVMGCC0.MGEN7	EPU3_11	EVMGDC0.MGEN7
	EPU4_10	EVMGAC1.MGEN8	EPU4_10	EVMGBC1.MGEN8	EPU4_10	EVMGCC1.MGEN8	EPU4_10	EVMGDC1.MGEN8
	EPU4_11	EVMGAC1.MGEN9	EPU4_11	EVMGBC1.MGEN9	EPU4_11	EVMGCC1.MGEN9	EPU4_11	EVMGDC1.MGEN9
	EPU5_10	EVMGAC1.MGENA	EPU5_10	EVMGBC1.MGENA	EPU5_10	EVMGCC1.MGENA	EPU5_10	EVMGDC1.MGENA
	EPU5_11	EVMGAC1.MGENB	EPU5_11	EVMGBC1.MGENB	EPU5_11	EVMGCC1.MGENB	EPU5_11	EVMGDC1.MGENB

9.2.4. GPIO イベントエッジ検出

ADC 用の GPIO イベントのエッジを検出します。ADC で GPIO イベントを選択する場合は、EVC モジュールのクロックをイネーブルにする必要があります。

© SANKEN ELECTRIC CO., LTD. 2017

9.3. レジスタ説明

表 9-6　レジスター覧

Symbol	Name	Address	Initial Value
EVINTE0	EVC Interrupt Enable0	0xE300	0x00
EVINTF0	EVC Interrupt Flag0	0xE308	0x00
EVMGAC0	EVC Event Merge A Configuration0	0xE310	0x00
EVMGAC1	EVC Event Merge A Configuration1	0xE311	0x00
EVMGBC0	EVC Event Merge B Configuration0	0xE312	0x00
EVMGBC1	EVC Event Merge B Configuration1	0xE313	0x00
EVMGCC0	EVC Event Merge C Configuration0	0xE314	0x00
EVMGCC1	EVC Event Merge C Configuration1	0xE315	0x00
EVMGDC0	EVC Event Merge D Configuration0	0xE316	0x00
EVMGDC1	EVC Event Merge D Configuration1	0xE317	0x00
EVSEL0	EVC Select0	0xE330	0x00
EVSEL1	EVC Select1	0xE331	0x00
EVSEL2	EVC Select2	0xE332	0x00
EVSEL3	EVC Select3	0xE333	0x00
EVSEL4	EVC Select4	0xE334	0x00
EVSEL5	EVC Select5	0xE335	0x00
EVSEL6	EVC Select6	0xE336	0x00
EVSEL7	EVC Select7	0xE337	0x00
EVSEL8	EVC Select8	0xE338	0x00
EVSEL9	EVC Select9	0xE339	0x00
EVSEL10	EVC Select10	0xE33A	0x00
EVSEL11	EVC Select11	0xE33B	0x00

© SANKEN ELECTRIC CO., LTD. 2017

9.3.1. EVINTE0 (EVC Interrupt Enable0)

Register	EVINTE0		EVC Interrupt Enable0		Address	0xE300
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	EPU5IE	R/W	0	EPU スレッド 5 イベント割込みイネーブル 0：EPU スレッド 5 イベント割込みをディスエーブル 1：EPU スレッド 5 イベント割込みをイネーブル 本ビットを 1 に設定すると、EPU5IF = 1 のとき CPU へ割込みを通知します。		
4	EPU4IE	R/W	0	EPU スレッド 4 イベント割込みイネーブル 0：EPU スレッド 4 イベント割込みをディスエーブル 1：EPU スレッド 4 イベント割込みをイネーブル 本ビットを 1 に設定すると、EPU4IF = 1 のとき CPU へ割込みを通知します。		
3	EPU3IE	R/W	0	EPU スレッド 3 イベント割込みイネーブル 0：EPU スレッド 3 イベント割込みをディスエーブル 1：EPU スレッド 3 イベント割込みをイネーブル 本ビットを 1 に設定すると、EPU3IF = 1 のとき CPU へ割込みを通知します。		
2	EPU2IE	R/W	0	EPU スレッド 2 イベント割込みイネーブル 0：EPU スレッド 2 イベント割込みをディスエーブル 1：EPU スレッド 2 イベント割込みをイネーブル 本ビットを 1 に設定すると、EPU2IF = 1 のとき CPU へ割込みを通知します。		
1	EPU1IE	R/W	0	EPU スレッド 1 イベント割込みイネーブル 0：EPU スレッド 1 イベント割込みをディスエーブル 1：EPU スレッド 1 イベント割込みをイネーブル 本ビットを 1 に設定すると、EPU1IF = 1 のとき CPU へ割込みを通知します。		
0	EPU0IE	R/W	0	EPU スレッド 0 イベント割込みイネーブル 0：EPU スレッド 0 イベント割込みをディスエーブル 1：EPU スレッド 0 イベント割込みをイネーブル 本ビットを 1 に設定すると、EPU0IF = 1 のとき CPU へ割込みを通知します。		

© SANKEN ELECTRIC CO., LTD. 2017

9.3.2. EVINTF0 (EVC Interrupt Flag0)

Register	EVINTF0		EVC Interrupt Flag0		Address	0xE308
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	EPU5IF	R/C	0	EPU スレッド 5 イベント割込みフラグ リード 0：割込み要因なし リード 1：割込み要因あり ライト 0：変化なし ライト 1：本ビットをクリア 本ビットは、EPU スレッド 5 イベント 14 検出でセットされます。 本ビットが 1 のとき EPU5IE = 1 であれば、CPU へ割込みを通知します。 本ビットに 1 をライトすると、0 にクリアされます。この動作と EPU5 のイベントのセットが同時に発生した場合、クリアが優先され、セット動作は無視されます。		
4	EPU4IF	R/C	0	EPU スレッド 4 イベント割込みフラグ リード 0：割込み要因なし リード 1：割込み要因あり ライト 0：変化なし ライト 1：本ビットをクリア 本ビットは、EPU スレッド 4 イベント 14 検出でセットされます。 本ビットが 1 のとき EPU4IE = 1 であれば、CPU へ割込みを通知します。 本ビットに 1 をライトすると、0 にクリアされます。この動作と EPU4 のイベントのセットが同時に発生した場合、クリアが優先され、セット動作は無視されます。		
3	EPU3IF	R/C	0	EPU スレッド 3 イベント割込みフラグ リード 0：割込み要因なし リード 1：割込み要因あり ライト 0：変化なし ライト 1：本ビットをクリア 本ビットは、EPU スレッド 3 イベント 14 検出でセットされます。 本ビットが 1 のとき EPU3IE = 1 であれば、CPU へ割込みを通知します。 本ビットに 1 をライトすると、0 にクリアされます。この動作と EPU3 のイベントのセットが同時に発生した場合、クリアが優先され、セット動作は無視されます。		

© SANKEN ELECTRIC CO., LTD. 2017

Register	EVINTF0		EVC Interrupt Flag0		Address	0xE308
Bit	Bit Name	R/W	Initial	Description		Remarks
2	EPU2IF	R/C	0	EPU スレッド 2 イベント割込みフラグ リード 0：割込み要因なし リード 1：割込み要因あり ライト 0：変化なし ライト 1：本ビットをクリア 本ビットは、EPU スレッド 2 イベント 14 検出でセットされます。 本ビットが 1 のとき EPU2IE = 1 であれば、CPU へ割込みを通知します。 本ビットに 1 をライトすると、0 にクリアされます。この動作と EPU2 のイベントのセットが同時に発生した場合、クリアが優先され、セット動作は無視されます。		
1	EPU1IF	R/C	0	EPU スレッド 1 イベント割込みフラグ リード 0：割込み要因なし リード 1：割込み要因あり ライト 0：変化なし ライト 1：本ビットをクリア 本ビットは、EPU スレッド 1 イベント 14 検出でセットされます。 本ビットが 1 のとき EPU1IE = 1 であれば、CPU へ割込みを通知します。 本ビットに 1 をライトすると、0 にクリアされます。この動作と EPU1 のイベントのセットが同時に発生した場合、クリアが優先され、セット動作は無視されます。		
0	EPU0IF	R/C	0	EPU スレッド 0 イベント割込みフラグ リード 0：割込み要因なし リード 1：割込み要因あり ライト 0：変化なし ライト 1：本ビットをクリア 本ビットは、EPU スレッド 0 イベント 14 検出でセットされます。 本ビットが 1 のとき EPU0IE = 1 であれば、CPU へ割込みを通知します。 本ビットに 1 をライトすると、0 にクリアされます。この動作と EPU0 のイベントのセットが同時に発生した場合、クリアが優先され、セット動作は無視されます。		

© SANKEN ELECTRIC CO., LTD. 2017

9.3.3. EVMGAC0 (EVC Event Merge A Configuration0)

Register	EVMGAC0	EVC Event Merge A Configuration0	Address	0xE310

Bit	Bit Name	R/W	Initial	Description	Remarks
7	MGEN7	R/W	0	POC0 イベントへの EPU スレッド 3 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	
6	MGEN6	R/W	0	POC0 イベントへの EPU スレッド 3 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	
5	MGEN5	R/W	0	POC0 イベントへの EPU スレッド 2 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	
4	MGEN4	R/W	0	POC0 イベントへの EPU スレッド 2 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	
3	MGEN3	R/W	0	POC0 イベントへの EPU スレッド 1 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	
2	MGEN2	R/W	0	POC0 イベントへの EPU スレッド 1 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	
1	MGEN1	R/W	0	POC0 イベントへの EPU スレッド 0 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	
0	MGEN0	R/W	0	POC0 イベントへの EPU スレッド 0 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.4. EVMGAC1 (EVC Event Merge A Configuration1)

Register	EVMGAC1	EVC Event Merge A Configuration1	Address	0xE311

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	MGENB	R/W	0	POC0 イベントへの EPU スレッド 5 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	
2	MGENA	R/W	0	POC0 イベントへの EPU スレッド 5 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	
1	MGEN9	R/W	0	POC0 イベントへの EPU スレッド 4 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	
0	MGEN8	R/W	0	POC0 イベントへの EPU スレッド 4 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC0 の EPU イベントに追加されます。	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.5. EVMGBC0 (EVC Event Merge B Configuration0)

Register	EVMGBC0	EVC Event Merge B Configuration0		Address	0xE312
Bit	Bit Name	R/W	Initial	Description	Remarks
7	MGEN7	R/W	0	POC1 イベントへの EPU スレッド 3 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	
6	MGEN6	R/W	0	POC1 イベントへの EPU スレッド 3 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	
5	MGEN5	R/W	0	POC1 イベントへの EPU スレッド 2 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	
4	MGEN4	R/W	0	POC1 イベントへの EPU スレッド 2 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	
3	MGEN3	R/W	0	POC1 イベントへの EPU スレッド 1 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	
2	MGEN2	R/W	0	POC1 イベントへの EPU スレッド 1 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	
1	MGEN1	R/W	0	POC1 イベントへの EPU スレッド 0 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	
0	MGEN0	R/W	0	POC1 イベントへの EPU スレッド 0 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.6. EVMGBC1 (EVC Event Merge B Configuration1)

Register	EVMGBC1	EVC Event Merge B Configuration1	Address	0xE313

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	MGENB	R/W	0	POC1 イベントへの EPU スレッド 5 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	
2	MGENA	R/W	0	POC1 イベントへの EPU スレッド 5 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	
1	MGEN9	R/W	0	POC1 イベントへの EPU スレッド 4 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	
0	MGEN8	R/W	0	POC1 イベントへの EPU スレッド 4 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC1 の EPU イベントに追加されます。	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.7. EVMGCC0 (EVC Event Merge C Configuration0)

Register	EVMGCC0	EVC Event Merge C Configuration0		Address	0xE314
Bit	Bit Name	R/W	Initial	Description	Remarks
7	MGEN7	R/W	0	POC2 イベントへの EPU スレッド 3 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	
6	MGEN6	R/W	0	POC2 イベントへの EPU スレッド 3 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	
5	MGEN5	R/W	0	POC2 イベントへの EPU スレッド 2 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	
4	MGEN4	R/W	0	POC2 イベントへの EPU スレッド 2 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	
3	MGEN3	R/W	0	POC2 イベントへの EPU スレッド 1 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	
2	MGEN2	R/W	0	POC2 イベントへの EPU スレッド 1 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	
1	MGEN1	R/W	0	POC2 イベントへの EPU スレッド 0 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	
0	MGEN0	R/W	0	POC2 イベントへの EPU スレッド 0 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.8. EVMGCC1 (EVC Event Merge C Configuration1)

Register	EVMGCC1	EVC Event Merge C Configuration1	Address	0xE315

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	MGENB	R/W	0	POC2 イベントへの EPU スレッド 5 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	
2	MGENA	R/W	0	POC2 イベントへの EPU スレッド 5 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	
1	MGEN9	R/W	0	POC2 イベントへの EPU スレッド 4 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	
0	MGEN8	R/W	0	POC2 イベントへの EPU スレッド 4 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC2 の EPU イベントに追加されます。	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.9. EVMGDC0 (EVC Event Merge D Configuration0)

Register	EVMGDC0	EVC Event Merge D Configuration0		Address	0xE316
Bit	Bit Name	R/W	Initial	Description	Remarks
7	MGEN7	R/W	0	POC3 イベントへの EPU スレッド 3 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	
6	MGEN6	R/W	0	POC3 イベントへの EPU スレッド 3 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	
5	MGEN5	R/W	0	POC3 イベントへの EPU スレッド 2 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	
4	MGEN4	R/W	0	POC3 イベントへの EPU スレッド 2 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	
3	MGEN3	R/W	0	POC3 イベントへの EPU スレッド 1 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	
2	MGEN2	R/W	0	POC3 イベントへの EPU スレッド 1 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	
1	MGEN1	R/W	0	POC3 イベントへの EPU スレッド 0 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	
0	MGEN0	R/W	0	POC3 イベントへの EPU スレッド 0 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.10. EVMGDC1 (EVC Event Merge D Configuration1)

Register	EVMGDC1	EVC Event Merge D Configuration1	Address	0xE317

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	MGENB	R/W	0	POC3 イベントへの EPU スレッド 5 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	
2	MGENA	R/W	0	POC3 イベントへの EPU スレッド 5 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	
1	MGEN9	R/W	0	POC3 イベントへの EPU スレッド 4 イベント 11 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	
0	MGEN8	R/W	0	POC3 イベントへの EPU スレッド 4 イベント 10 の統合制御 0：統合（OR）しない 1：統合（OR）する 本ビットを 1 に設定すると、POC3 の EPU イベントに追加されます。	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.11. EVSEL0 (EVC Select0)

Register	EVSEL0	EVC Select0	Address	0xE330

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	EPU5SEL	R/W	0	EPU スレッド 5 に対する TinyDSP イベントの選択 0：TinyDSP0／1、イベント 0 1：TinyDSP0／1、イベント 1	
4	EPU4SEL	R/W	0	EPU スレッド 4 に対する TinyDSP イベントの選択 0：TinyDSP0／1、イベント 0 1：TinyDSP0／1、イベント 1	
3	EPU3SEL	R/W	0	EPU スレッド 3 に対する TinyDSP イベントの選択 0：TinyDSP0／1、イベント 0 1：TinyDSP0／1、イベント 1	
2	EPU2SEL	R/W	0	EPU スレッド 2 に対する TinyDSP イベントの選択 0：TinyDSP0／1、イベント 0 1：TinyDSP0／1、イベント 1	
1	EPU1SEL	R/W	0	EPU スレッド 1 に対する TinyDSP イベントの選択 0：TinyDSP0／1、イベント 0 1：TinyDSP0／1、イベント 1	
0	EPU0SEL	R/W	0	EPU スレッド 0 に対する TinyDSP イベントの選択 0：TinyDSP0／1、イベント 0 1：TinyDSP0／1、イベント 1	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.12. EVSEL1 (EVC Select1)

Register	EVSEL1	EVC Select1	Address	0xE331

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	EPU5SEL	R/W	0	EPU スレッド 5 に対する ADC0／1 イベントの選択 0：ADC0／1 の偶数番グループ 1：ADC0／1 の奇数番グループ	
4	EPU4SEL	R/W	0	EPU スレッド 4 に対する ADC0／1 イベントの選択 0：ADC0／1 の偶数番グループ 1：ADC0／1 の奇数番グループ	
3	EPU3SEL	R/W	0	EPU スレッド 3 に対する ADC0／1 イベントの選択 0：ADC0／1 の偶数番グループ 1：ADC0／1 の奇数番グループ	
2	EPU2SEL	R/W	0	EPU スレッド 2 に対する ADC0／1 イベントの選択 0：ADC0／1 の偶数番グループ 1：ADC0／1 の奇数番グループ	
1	EPU1SEL	R/W	0	EPU スレッド 1 に対する ADC0／1 イベントの選択 0：ADC0／1 の偶数番グループ 1：ADC0／1 の奇数番グループ	
0	EPU0SEL	R/W	0	EPU スレッド 0 に対する ADC0／1 イベントの選択 0：ADC0／1 の偶数番グループ 1：ADC0／1 の奇数番グループ	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.13. EVSEL2 (EVC Select2)

Register	EVSEL2	EVC Select2	Address	0xE332

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	EPU5SEL	R/W	0	EPU スレッド 5 に対する PWM イベントの選択 0：PWM0／1／2／3、イベント 0 1：PWM0／1／2／3、イベント 1	
4	EPU4SEL	R/W	0	EPU スレッド 4 に対する PWM イベントの選択 0：PWM0／1／2／3、イベント 0 1：PWM0／1／2／3、イベント 1	
3	EPU3SEL	R/W	0	EPU スレッド 3 に対する PWM イベントの選択 0：PWM0／1／2／3、イベント 0 1：PWM0／1／2／3、イベント 1	
2	EPU2SEL	R/W	0	EPU スレッド 2 に対する PWM イベントの選択 0：PWM0／1／2／3、イベント 0 1：PWM0／1／2／3、イベント 1	
1	EPU1SEL	R/W	0	EPU スレッド 1 に対する PWM イベントの選択 0：PWM0／1／2／3、イベント 0 1：PWM0／1／2／3、イベント 1	
0	EPU0SEL	R/W	0	EPU スレッド 0 に対する PWM イベントの選択 0：PWM0／1／2／3、イベント 0 1：PWM0／1／2／3、イベント 1	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.14. EVSEL3 (EVC Select3)

Register	EVSEL3	EVC Select3	Address	0xE333

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	EPU5SEL	R/W	0	EPU スレッド 5 に対するシリアルモジュールイベントの選択 0：UART 1：SCID	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	EPU2SEL	R/W	0	EPU スレッド 2 に対する LUT イベントの選択 0：LUT0 1：LUT1	
1	EPU1SEL	R/W	0	EPU スレッド 1 に対する LUT イベントの選択 0：LUT0 1：LUT1	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.15. EVSEL4 (EVC Select4)

Register	EVSEL4	EVC Select4	Address	0xE334

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	EPU4SEL	R/W	0	EPU スレッド 4 に対する TMR3 イベントの選択 0：TMR3 の CMA 1：TMR3 の CMB	
3	EPU3SEL	R/W	0	EPU スレッド 3 に対する TMR2 イベントの選択 0：TMR2 の CMA 1：TMR2 の CMB	
2	EPU2SEL	R/W	0	EPU スレッド 2 に対する TMR1 イベントの選択 0：TMR1 の CMA 1：TMR1 の CMB	
1	EPU1SEL	R/W	0	EPU スレッド 1 に対する TMR0 イベントの選択 0：TMR0 の CMA 1：TMR0 の CMB	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.16. EVSEL5 (EVC Select5)

Register	EVSEL5	EVC Select5	Address	0xE335

Bit	Bit Name	R/W	Initial	Description	Remarks
7	AD07SEL	R/W	0	ADC0 に対する EPU イベント 8／9 のスレッドの選択 0：EPU スレッド 2、イベント 8／9 1：EPU スレッド 3、イベント 8／9	
6	AD06SEL	R/W	0	ADC0 に対する EPU イベント 6／7 のスレッドの選択 0：EPU スレッド 2、イベント 6／7 1：EPU スレッド 3、イベント 6／7	
5	AD05SEL	R/W	0	ADC0 に対する EPU イベント 4 か 5 のスレッドの選択 0：EPU スレッド 2、イベント 4／5 1：EPU スレッド 3、イベント 4／5	
4	AD04SEL	R/W	0	ADC0 に対する EPU イベント 2／3 のスレッドの選択 0：EPU スレッド 2、イベント 2／3 1：EPU スレッド 3、イベント 2／3	
3	AD03SEL	R/W	0	ADC0 に対する EPU イベント 8／9 のスレッドの選択 0：EPU スレッド 0、イベント 8／9 1：EPU スレッド 1、イベント 8／9	
2	AD02SEL	R/W	0	ADC0 に対する EPU イベント 6／7 のスレッドの選択 0：EPU スレッド 0、イベント 6／7 1：EPU スレッド 1、イベント 6／7	
1	AD01SEL	R/W	0	ADC0 に対する EPU イベント 4／5 のスレッドの選択 0：EPU スレッド 0、イベント 4／5 1：EPU スレッド 1、イベント 4／5	
0	AD00SEL	R/W	0	ADC0 に対する EPU イベント 2／3 のスレッドの選択 0：EPU スレッド 0、イベント 2／3 1：EPU スレッド 1、イベント 2／3	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.17. EVSEL6 (EVC Select6)

Register	EVSEL6	EVC Select6	Address	0xE336

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	AD0BSEL	R/W	0	ADC0 に対する EPU イベント 8／9 のスレッドの選択 0：EPU スレッド 4、イベント 8／9 1：EPU スレッド 5、イベント 8／9	
2	AD0ASEL	R/W	0	ADC0 に対する EPU イベント 6／7 のスレッドの選択 0：EPU スレッド 4、イベント 6／7 1：EPU スレッド 5、イベント 6／7	
1	AD09SEL	R/W	0	ADC0 に対する EPU イベント 4／5 のスレッドの選択 0：EPU スレッド 4、イベント 4／5 1：EPU スレッド 5、イベント 4／5	
0	AD08SEL	R/W	0	ADC0 に対する EPU イベント 2／3 のスレッドの選択 0：EPU スレッド 4、イベント 2／3 1：EPU スレッド 5、イベント 2／3	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.18. EVSEL7 (EVC Select7)

Register	EVSEL7	EVC Select7	Address	0xE337

Bit	Bit Name	R/W	Initial	Description	Remarks
7	AD17SEL	R/W	0	ADC1 に対する EPU イベント 8／9 のスレッドの選択 0：EPU スレッド 2、イベント 8／9 1：EPU スレッド 3、イベント 8／9	
6	AD16SEL	R/W	0	ADC1 に対する EPU イベント 6／7 のスレッドの選択 0：EPU スレッド 2、イベント 6／7 1：EPU スレッド 3、イベント 6／7	
5	AD15SEL	R/W	0	ADC1 に対する EPU イベント 4／5 のスレッドの選択 0：EPU スレッド 2、イベント 4／5 1：EPU スレッド 3、イベント 4／5	
4	AD14SEL	R/W	0	ADC1 に対する EPU イベント 2／3 のスレッドの選択 0：EPU スレッド 2、イベント 2／3 1：EPU スレッド 3、イベント 2／3	
3	AD13SEL	R/W	0	ADC1 に対する EPU イベント 8／9 のスレッドの選択 0：EPU スレッド 0、イベント 8／9 1：EPU スレッド 1、イベント 8／9	
2	AD12SEL	R/W	0	ADC1 に対する EPU イベント 6／7 のスレッドの選択 0：EPU スレッド 0、イベント 6／7 1：EPU スレッド 1、イベント 6／7	
1	AD11SEL	R/W	0	ADC1 に対する EPU イベント 4／5 のスレッドの選択 0：EPU スレッド 0、イベント 4／5 1：EPU スレッド 1、イベント 4／5	
0	AD10SEL	R/W	0	ADC1 に対する EPU イベント 2／3 のスレッドの選択 0：EPU スレッド 0、イベント 2／3 1：EPU スレッド 1、イベント 2／3	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.19. EVSEL8 (EVC Select8)

Register	EVSEL8	EVC Select8	Address	0xE338

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	A10BSEL	R/W	0	ADC1 に対する EPU イベント 8／9 のスレッドの選択 0：EPU スレッド 4、イベント 8／9 1：EPU スレッド 5、イベント 8／9	
2	AD1ASEL	R/W	0	ADC1 に対する EPU イベント 6／7 のスレッドの選択 0：EPU スレッド 4、イベント 6／7 1：EPU スレッド 5、イベント 6／7	
1	AD19SEL	R/W	0	ADC1 に対する EPU イベント 4／5 のスレッドの選択 0：EPU スレッド 4、イベント 4／5 1：EPU スレッド 5、イベント 4／5	
0	AD18SEL	R/W	0	ADC1 に対する EPU イベント 2／3 のスレッドの選択 0：EPU スレッド 4、イベント 2／3 1：EPU スレッド 5、イベント 2／3	

© SANKEN ELECTRIC CO., LTD. 2017

9.3.20. EVSEL9 (EVC Select9)

Register	EVSEL9		EVC Select9		Address	0xE339
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	DSAC1SEL	R/W	0	DSAC のチャネル 8～チャネル 15 に対する CMP イベントの選択 0：CMP スレッド 0／2／4 1：CMP スレッド 1／3／5		
0	DSAC0SEL	R/W	0	DSAC のチャネル 0～チャネル 7 に対する CMP イベントの選択 0：CMP スレッド 0／2／4 1：CMP スレッド 1／3／5		

9.3.21. EVSEL10 (EVC Select10)

Register	EVSEL10		EVC Select10		Address	0xE33A
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	DSAC1SEL	R/W	0	DSAC のチャネル 8～チャネル 15 に対する PWM イベントの選択 0：PWM0／1／2／3、イベント 0 1：PWM0／1／2／3、イベント 1		
0	DSAC0SEL	R/W	0	DSAC のチャネル 0～チャネル 7 に対する PWM イベントの選択 0：PWM0／1／2／3、イベント 0 1：PWM0／1／2／3、イベント 1		

© SANKEN ELECTRIC CO., LTD. 2017

9.3.22. EVSEL11 (EVC Select11)

Register	EVSEL11	EVC Select11	Address	0xE33B

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	DSAC1SEL	R/W	0	DSAC のチャネル 8～チャネル 15 に対する TMR イベントの選択 0：TMR0／1／2／3、CMA イベント 1：TMR0／1／2／3、CMB イベント	
0	DSAC0SEL	R/W	0	DSAC のチャネル 0～チャネル 7 に対する TMR イベントの選択 0：TMR0／1／2／3、CMA イベント 1：TMR0／1／2／3、CMB イベント	

© SANKEN ELECTRIC CO., LTD. 2017

10. イベントプロセッシングユニット（EPU）

10.1. 概要

イベントプロセッシングユニット（EPU：Event Processing Unit）は、CPU に替わってデータ転送、データ処理、およびイベント処理を行う演算ユニットです。EPU は、最大 6 スレッド（チャネル）を 1 つの演算ユニットで並列に処理できます。スレッドは、イベント入力から最少 1 サイクルで起動できるため、高速応答が必要な処理に最適です。各スレッドは、プログラムカウンタ、レジスタ、スレッド起動タイマなどのコンテキストをそれぞれ持っています。

シンプルな高速コンテキストスイッチングなので、スレッド間は 0 サイクルでスイッチング可能です。EPU は、スレッドを切り換えながら、スループット 1 サイクルで高速に処理できます。スレッドは、外部からのイベントで起動要求を発生します。各スレッドの起動要求は、優先順位に従って選択され、選択されたスレッドの処理を演算ユニットで処理します。ユーザは、各スレッドの処理をプログラムできます。プログラムは、全スレッドで共有のメモリに配置されます。EPU は、プログラムメモリが接続される MBUS、SBUS、および XBUS のバスマスタとして動作します。EPU は、これらのバス間のデータを転送できます。また、EPU は、自らイベントを発生させることができます。この機能を使用して、入力されたイベントを間引きしたイベントや、複数の入力イベントを演算処理したイベントを発生させることができます。

© SANKEN ELECTRIC CO., LTD. 2017

表 10-1　EPU 機能概要

項目	説明
スレッド数	6 個
リソース （各スレッド）	プログラムカウンタ：9 ビット 汎用レジスタ：16 ビット×2（R0／R1） 専用タイマカウンタ：12 ビット×1 プリスケーラ：8 ビット×1 フラグレジスタ：T（トゥルー）、C（キャリー）
イベント	入力：16 本／スレッド スレッド内の専用タイマ 出力：16 本／スレッド
プログラムメモリ	16 ビット×256 ワード（MBUS に接続）
命令	16 ビット固定長コード、RISC ライクな命令セット 算術演算：ADD、SUB、MUL、符号付き／符号なし比較 論理演算：AND、OR、NOT、XOR ロード／ストア：レジスタ–レジスタ間、SBUS–レジスタ間、 XBUS–レジスタ間、MBUS–レジスタ間 分岐：条件／無条件絶対アドレス分岐 イベント：入力／ウェイト／出力／専用タイマイベントウェイト
実行ユニット	2 段／3 段パイプライン
MBUS	すべてのスレッドで共有のプログラム／データメモリ アドレス空間：256 ワード データ幅：16 ビット／ワード 専用バス アクセスモード：バイトアクセスモード
SBUS	アドレス空間：256 ワード データ幅：16 ビット／ワード アクセスモード：ワード／バイトアクセスモード アクセスサイクル：最少 1 サイクル、ウェイト制御に伴うサイクル延長 優先度：DSAC > EPU > CPU
XBUS	アドレス空間：64 K ワード データ幅：8 ビット／ワード アクセスサイクル：最少 1 サイクル、ウェイト制御に伴うサイクル延長 優先度：EPU > CPU

© SANKEN ELECTRIC CO., LTD. 2017

10.2. ブロック図

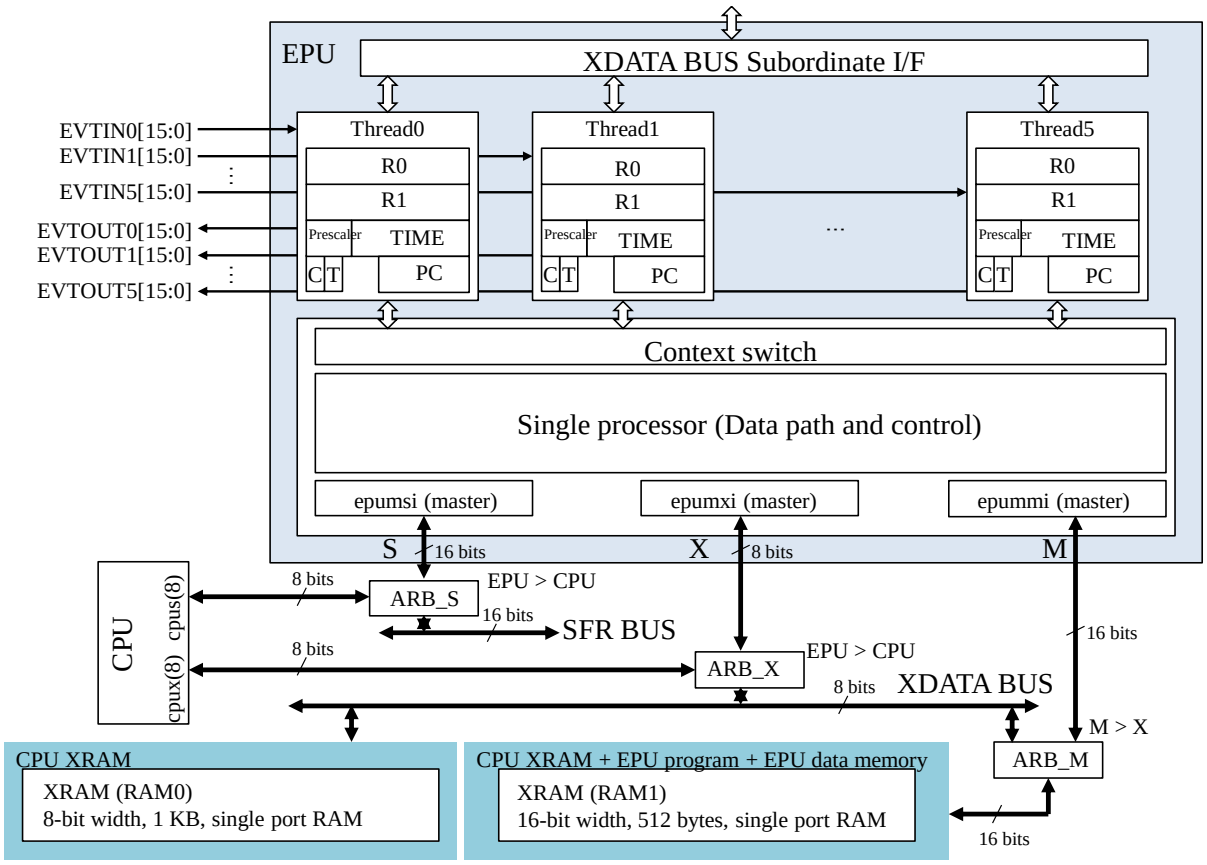


図 10-1　EPU のブロック図

10.3. 共通のリソース

(1) プログラムメモリ
プログラムとデータを配置する最大 256 ワードのメモリです。データ幅は 16 ビット／ワードです。EPU の命令フェッチと LOADM／STOREM 命令でアクセスできます。

(2) EPU コア
EPU の命令実行コアです。2 段または 3 段のパイプライン構造で、最大 1 命令／サイクルで命令を実行できます。

(3) MBUS
EPU のプログラムとデータを配置するメモリインタフェースです。バス幅は 16 ビットです。8 ビット／ワードアドレッシングです。プログラムフェッチは、16 ビット単位で行われます。プログラムは、2 バイトアラインで配置する必要があります。LOADM／STOREM 命令は、16 ビットか 8 ビット単位でデータアクセスできます。メモリは CPU の XRAM と共有で、アクセスの優先度は、MBUS > XBUS です。

(4) SBUS
最少 1 サイクルでアクセス可能な高速バスです。バス幅は 16 ビットです。CPU と EPU の両方からアクセス可能で、優先度は DSAC > EPU > CPU です。CPU からは 8 ビットアクセスのみ、EPU からは 8 ビットアクセスか 16 ビットアクセスを指定できます。16 ビット／ワードアドレッシングです。

(5) XBUS
最少 1 サイクルでアクセス可能なバスです。バス幅は 8 ビットです。CPU と EPU の両方からアクセス可能で、優先度は EPU > CPU です。8 ビット／ワードアドレッシングです。

© SANKEN ELECTRIC CO., LTD. 2017

10.4. 各スレッドのリソース

● **汎用レジスタ（R0、R1）**

R0 と R1 は、16 ビット幅の汎用レジスタで、算術論理演算のオペランド、演算結果の格納に使用できます。XBUS アクセス命令では、XBUS アクセスアドレスのベースアドレスレジスタに使用します。R0 と R1 は、CPU から XBUS レジスタとしてアクセスできます。したがって、EPU の各スレッド実行前の初期値を CPU から設定することもできます。

● **プログラムカウンタ（PC）**

PC は、現在のプログラムアドレスを示します。PC は、1 命令実行ごとに 2 加算されます。PC は、CPU から XBUS レジスタとしてアクセスできます。各スレッドの PC の初期値は、CPU から設定する必要があります。

● **専用タイマカウンタ（TIME）**

TIME は、12 ビットのタイマカウンタです。TIMWAIT 命令を実行すると、実行したスレッドは命令実行要求を取り下げます。さらに、後続の命令実行を中断し、TIMWAIT 命令で指定した値が TIME にロードされます。TIME は、値が 0 になるまでカウントダウンします。TIME が 0 になったとき、このスレッドは後続命令の実行要求を出力します。TIME は、システムクロックをプリスケーラで分周したカウント信号に従ってカウントダウンします。TIME は、CPU から XBUS レジスタとしてアクセスできます。

● **T フラグ**

T フラグは、比較命令で更新され、その後の分岐命令の条件に使用されます。比較命令の結果が真の場合は T = 1 に、比較命令の結果が偽の場合は T = 0 になります。T フラグは、CPU から XBUS レジスタとしてアクセスできます。

● **C フラグ**

C フラグは、算術論理演算結果のキャリーです。C フラグは、CPU から XBUS レジスタとしてアクセスできます。

● **プリスケーラ**

プリスケーラは、TIME のカウント信号を生成します。8 ビットカウンタ構成です。TIMWAIT 命令を発行してから、TIMWAIT 命令で TIME レジスタカウントを終了するまで動作します。EPCTRLn.RESET = 0 で、プリスケーラはクリアされます。

© SANKEN ELECTRIC CO., LTD. 2017

10.5. 命令

10.5.1. 命令フォーマット

未定義の命令コードを実行した場合の動作は、保証できません。未定義の命令コードを実行しないでください。

表 10-2　命令

Instruction	Description	OPCODE (16 bits)												
ALU Rn, Rm	ALU Operation, Rn ← Rn op Rm (16 bits)	0	0	0	0	0	0	N	M	0				AM
MUL Rn	Rn ← Unsigned R0[7:0] * Unsigned R1[7:0]	0	0	0	0	0	0	N		0				1111
CMP Rn, Rm	Compare Operation, T ← Rn cmp Rm (16 bits)	0	0	0	0	0	0	N	M	1				CM
EVTWAIT #EVT	Wait for Event #EVT (each thread owns 16x event-pending-flags)	0	0	0	0	0	1	0	0					EVT
EVTIN #EVT	T←Event #EVT (no wait; only get specified event-pending-flags)	0	0	0	0	0	1	0	1					EVT
EVTOUT #EVT	Output Event #EVT	0	0	0	0	0	1	1	0					EVT
EVTCLR #EVT	Clear Event Flag #EVT	0	0	0	0	0	1	1	1					EVT
JT @AddrM	If (T==1) PC ← {AddrM[8:1], 1'b0}, else PC ← PC+2	0	0	0	0	1	0	0	AddrM[8:1]					0
JF @AddrM	If (T==0) PC ← {AddrM[8:1], 1'b0}, else PC ← PC+2	0	0	0	0	1	0	1	AddrM[8:1]					0
JMP @AddrM	PC ← {AddrM[8:1], 1'b0}	0	0	0	0	1	1		AddrM[8:1]					0
LOADS Rn, @AddrS	Load Rn from S@AddrS	0	0	0	1	RM	N	0	AddrS[7:0] (8 bits)					
STORES @AddrS, Rm	Store Rn to S@Addrss	0	0	0	1	WM	M	1	AddrS[7:0] (8 bits)					
LOADM Rn, @AddrM	Load Rn from M@AddrM	0	0	1	0	RM	N	AddrM[8:0] (9 bits)						
STOREM @AddrM, Rm	Store Rm to M@AddrM	0	0	1	1	WM	M	AddrM[8:0] (9 bits)						
TIMWAIT #TIME	Wait for #TIME x prescaler cycles	0	1	0	0	TIME[11:0] (12 bits)								
LOADX Rn, @(Rm+ZE(Offset))	Load Rn from X@(Rm+ZE(Offset))	1	0	N	M	RM	Offset (10 bits)							
STOREX @(Rn+ZE(Offset)), Rm	Store Rm to X@(Rn+ZE(Offset))	1	1	N	M	WM	Offset (10 bits)							

Read Mode	Read Operation	RM		Remarks
B_SE	8 bits, sign extended	0	0	X, M
B_ZE	8 bits, zero extended	0	1	X, M
W	16 bits, twice with address increment 1st read data is stored to Rn[7:0], 2nd read data is stored to Rn[15:8]	1	0	X
W_SA	16 bits, twice on same address 1st read data is stored to Rn[7:0], 2nd read data is stored to Rn[15:8]	1	1	X
B_LO	8-bit read mode (Byte access mode on DSAC), store to Rn[7:0]	0	0	S
B_HI	8-bit read mode (Byte access mode on DSAC), store to Rn[15:8]	0	1	S
W	16-bit read mode (Word access mode on DSAC)	1	0	S, M

Write Mode	Write Operation	WM		Remarks
B_LO	8 bits, lower side of operand	0	0	X, M
B_HI	8 bits, higher side of operand	0	1	X, M
W	16 bits, twice with address increment 1st write data is Rm[7:0], 2nd write data is Rm[15:8]	1	0	X
W_SA	16 bits, twice on same address 1st write data is Rm[7:0], 2nd write data is Rm[15:8]	1	1	X
B_LO	8-bit write mode (Byte access mode on DSAC), write Rn[7:0]	0	0	S
B_HI	8-bit write mode (Byte access mode on DSAC), write Rn[15:8]	0	1	S
W	16-bit write mode (Word access mode on DSAC)	1	0	S, M

ALU Mode	Description	AM Code			
MOV	Rn ← Rm	0	0	0	0
ADD	{C, Rn} ← Rn + Rm (16 bits)	0	0	0	1
ADDC	{C, Rn} ← Rn + Rm + {{15{0}}, C} (16 bits)	0	0	1	0
SUB	{C, Rn} ← Rn - Rm (16 bits)	0	0	1	1
SUBC	{C, Rn} ← Rn - Rm - {{15{0}}, C} (16 bits)	0	1	0	0
INC	Rn ← Rm + 1 (16 bits)	0	1	0	1
DEC	Rn ← Rm – 1 (16 bits)	0	1	1	0
AND	Rn ← Rn & Rm (16 bits)	0	1	1	1
OR	Rn ← Rn | Rm (16 bits)	1	0	0	0
XOR	Rn ← Rn ^ Rm (16 bits)	1	0	0	1
NOT	Rn ← ~Rm (16 bits)	1	0	1	0
SFTL	Rn ← (Rm << 1)	1	0	1	1
SFTR	Rn ←(Rm >> 1)	1	1	0	0
SFTLC	C ← Rm[15], Rn ← (Rm << 1), Rn[0] ← C	1	1	0	1
SFTRC	C ← Rm[0], Rn ← (Rm >> 1), Rn[15] ← C	1	1	1	0
MUL Rn	Rn ← Unsigned R0[7:0] * Unsigned R1[7:0]	1	1	1	1

Compare Mode	Description	CM Code			
EQ	T ← (Rn == Rm)	0	0	0	0
GTS	T ← (Rn > Rm), Signed	0	0	1	0
LTS	T ← (Rn < Rm), Signed	0	1	0	0
GTU	T ← (Rn > Rm), Unsigned	0	1	1	0
LTU	T ← (Rn < Rm), Unsigned	1	0	0	0
ZERO	T ← (Rn == 0)	1	0	0	1
CLRT	T ← 0	1	0	1	0
SETT	T ← 1	1	0	1	1
GETC	T ← C	1	1	0	0
PUTC	C ← T	1	1	0	1
CLRC	C ← 0	1	1	1	0
SETC	C ← 1	1	1	1	1

© SANKEN ELECTRIC CO., LTD. 2017

10.5.2. 命令セット

本項では、プログラムカウンタを PC、専用タイマカウンタを TIME と表記します。また、R0 と R1 は汎用レジスタです。各スレッドのリソースの詳細は、10.4 項を参照してください。

10.5.2.1. 算術論理演算命令（ALU：Arithmetic Logic Unit）

● **MOV**

レジスタ間のデータ転送命令です。Rn に Rm をライトします。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。

● **ADD**

Rn＋Rmの結果を Rn に格納します。計算結果のキャリーを C フラグに表示します。T フラグは更新されません。命令実行後、PC を 2 加算します。

● **ADDC**

Rn＋Rm＋Cの結果を Rn に格納します。計算結果のキャリーを C フラグに表示します。T フラグは更新されません。命令実行後、PC を 2 加算します。

● **SUB**

Rn－Rmの結果を Rn に格納します。計算結果のボローを C フラグに表示します。T フラグは更新されません。命令実行後、PC を 2 加算します。

● **SUBC**

Rn－Rm－Cの結果を Rn に格納します。計算結果のボローを C フラグに表示します。T フラグは更新されません。命令実行後、PC を 2 加算します。

● **INC**

Rm を 1 加算した結果を Rn に格納します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。

● **DEC**

Rm を 1 減算した結果を Rn に格納します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。

● **AND**

Rn と Rm の論理積の結果を Rn に格納します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。

● **OR**

Rn と Rm の論理和の結果を Rn に格納します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。

● **XOR**

Rn と Rm の排他的論理和の結果を Rn に格納します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。

● **NOT**

Rm のビット反転を Rn に格納します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。

© SANKEN ELECTRIC CO., LTD. 2017

● **SFTL**
Rm の 1 ビット左シフトの結果を Rn に格納します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。最下位ビットには 0 が格納されます。

● **SFTR**
Rm の 1 ビット右シフトの結果を Rn に格納します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。最上位ビットには 0 が格納されます。

● **SFTLC**
Rm の 1 ビット左シフトの結果を Rn に格納します。このとき、Rn の最下位ビットには現在の C フラグが格納されます。また、C フラグには、左シフトで押し出された Rm の最上位ビットが格納されます。命令実行後、PC を 2 加算します。

● **SFTRC**
Rm の 1 ビット右シフトの結果を Rn に格納します。このとき、Rn の最上位ビットには現在の C フラグが格納されます。また、C フラグには、右シフトで押し出された Rm の最下位ビットが格納されます。命令実行後、PC を 2 加算します。

● **MUL**
R0 の下位 8 ビットと R1 の下位 8 ビットの積を Rn に格納します。R0 と R1 は符号なしの値で扱われます。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。

10.5.2.2. 比較命令、フラグ操作命令

● **EQ**
Rn と Rm の値が等しい場合：T フラグを 1 にし、PC を 2 加算します。
Rn と Rm の値が異なる場合：T フラグを 0 にし、PC を 2 加算します。

● **GTS**
Rn と Rm を符号付きの値とみなします。
Rn > Rm の場合：T フラグを 1 にし、PC を 2 加算します。
Rn ≤ Rm の場合：T フラグを 0 にし、PC を 2 加算します。

● **LTS**
Rn と Rm を符号付きの値とみなします。
Rn < Rm の場合：T フラグを 1 にし、PC を 2 加算します。
Rn ≥ Rm の場合：T フラグを 0 にし、PC を 2 加算します。

● **GTU**
Rn と Rm を符号なしの値とみなします。
Rn > Rm の場合：T フラグを 1 にし、PC を 2 加算します。
Rn ≤ Rm の場合：T フラグを 0 にし、PC を 2 加算します。

● **LTU**
Rn と Rm を符号なしの値とみなします。
Rn < Rm の場合：T フラグを 1 にし、PC を 2 加算します。
Rn ≥ Rm の場合：T フラグを 0 にし、PC を 2 加算します。

● **ZERO**
Rn の値が 0 の場合：T フラグを 1 にし、PC を 2 加算します。
Rn の値が 0 以外の場合：T フラグを 0 にし、PC を 2 加算します。

© SANKEN ELECTRIC CO., LTD. 2017

● **CLRT**
T フラグを 0 にします。命令実行後、PC を 2 加算します。

● **SETT**
T フラグを 1 にします。命令実行後、PC を 2 加算します。

● **GETC**
T フラグに C フラグを転送します。命令実行後、PC を 2 加算します。C フラグは変化しません。

● **PUTC**
C フラグに T フラグを転送します。命令実行後、PC を 2 加算します。T フラグは変化しません。

● **CLRC**
C フラグを 0 にします。命令実行後、PC を 2 加算します。

● **SETC**
C フラグを 1 にします。命令実行後、PC を 2 加算します。

10.5.2.3. 分岐命令

● **JMP**
無条件分岐命令です。指定したアドレスを PC に設定します。

● **JT**
T フラグが 1 の場合：指定したアドレスを PC に設定して、分岐します。
T フラグが 0 の場合：PC を 2 加算し、分岐しません。

● **JF**
T フラグが 0 の場合：指定したアドレスを PC に設定して、分岐します。
T フラグが 1 の場合：PC を 2 加算し、分岐しません。

10.5.2.4. データ転送命令

● **LOADS Rn, @AddrS**
Rn に SBUS アドレス AddrS のデータを格納します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。本命令には、3 つのアクセスモード（B_LO、B_HI、W）があります。

● **STORES @AddrS, Rm**
SBUS アドレス AddrS に Rm をライトします。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。本命令には、3 つのアクセスモード（B_LO、B_HI、W）があります。

● **LOADM Rn, @AddrM**
Rn に MBUS アドレス AddrM のデータを格納します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。本命令には、3 つのアクセスモード（B_SE、B_ZE、W）があります。

● **STOREM @AddrM, Rm**
MBUS アドレス AddrM に Rm をライトします。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。本命令には、3 つのアクセスモード（B_LO、B_HI、W）があります。

● **LOADX Rn, @(Rm+ZE(offset))**
Rn に XBUS アドレスRm＋offset（レジスタ相対）のデータを格納します。offset は、符号なし 10 ビット

© SANKEN ELECTRIC CO., LTD. 2017

幅です。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。XBUS アドレスは 16 ビットです。アドレス計算結果の 17 ビット目は無視されます。本命令には、4 つのアクセスモード（B_SE、B_ZE、W、W_SA）があります。W か W_SA のワードアクセスモードの場合、XBUS アクセスが 2 回発生します。

● **STOREX @(Rn+ZE(offset)), Rm**

XBUS アドレスRn + offset（レジスタ相対）に Rm を格納します。offset は、符号なし 10 ビット幅です。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。XBUS アドレスは 16 ビットです。アドレス計算結果の 17 ビット目は無視されます。本命令には、4 つのアクセスモード（B_LO、B_HI、W、W_SA）があります。W か W_SA のワードアクセスモードの場合、XBUS アクセスが 2 回発生します。

10.5.2.5. イベント命令

● **EVTIN**

指定したイベントが、存在する（1）か存在しない（0）かを T フラグに格納します。指定したイベント番号に対応するイベントステータスの EPEISLn／EPEISHn レジスタの該当するビットが 1 の場合は T = 1 に、0 の場合は T = 0 になります。EVTIN 命令によって EPEISLn／EPEISHn レジスタの該当するビットは変化しません。C フラグは更新されません。命令実行後、PC を 2 加算します。

● **EVTOUT**

指定したイベント番号に対応するイベントを出力します。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。

● **EVTCLR**

イベントステータスの EPEISLn／EPEISHn レジスタの該当するビットをクリアします。クリアとセットが競合した場合、クリアは無視されます。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。

● **EVTWAIT**

指定したイベントを待ちます。イベントステータスの EPEISLn／EPEISHn レジスタの該当するビットが 1 になるまでスレッドの実行を停止（スレッドの実行権を放棄）します。指定したイベントが入力され、EPEISLn／EPEISHn レジスタの該当するビットが 1 になると、スレッドの実行権を要求し、スレッドの実行を再開（スレッドの実行権を取得）します。EVTWAIT 命令発行時に、すでに指定したイベントが存在する場合（EPEISLn／EPEISHn レジスタの該当するビットが 1 の場合）は、スレッドの実行を停止せず、スレッドの後続命令の実行を継続します。スレッドの実行を再開すると、EPEISLn／EPEISHn レジスタの該当するビットがクリアされます。C フラグと T フラグは更新されません。命令実行後、PC を 2 加算します。イベント待ちの間は、スレッドの実行を停止します。

● **TIMWAIT**

指定した期間、スレッド実行を停止（スレッドの実行権を放棄）します。C フラグと T フラグは更新されません。本命令を実行すると、各スレッドが持つ TIME に、本命令で指定した値をロードします。TIME は、プリスケーラで分周したカウント信号に従ってカウントダウンします。TIME が 0 になると、停止中のスレッドはスレッドの実行権を要求し、スレッドの実行を再開します。TIME に 0 を指定しても、一度スレッドの実行を停止し、次のカウント信号で、スレッドの実行権を要求します。命令実行後、PC を 2 加算します。

© SANKEN ELECTRIC CO., LTD. 2017

10.6. 動作

10.6.1. プログラムの配置

XBUS 上の 1.5 K バイトの XRAM のうち、512 バイト分の領域（RAM1）に、EPU のプログラムを配置することができます。この領域は CPU と共有されており、CPU から RAM1 にアクセスする場合のアドレスは 0x0400～0x05FF です。EPU のプログラムは、16 ビット固定長です。CPU アドレスでは、命令コードの下位 8 ビットは 2n（偶数番地）、上位 8 ビットは 2n + 1（奇数番地）に割り当てられています。

10.6.2. スレッドリソースの設定

各スレッドには、汎用レジスタ（R0、R1）、プログラムカウンタ（PC）、専用タイマカウンタ（TIME）、プリスケーラ、T フラグ、C フラグがあります。これらのリソースは、XBUS 上のレジスタとして CPU からアクセスできます。スレッド起動前に、これらのリソースに初期値を設定できます。PC には、プログラムの実行開始アドレスを設定する必要があります。

10.6.3. スレッドの起動、停止

EPCTRLn.EN ビットを 1 に設定するとスレッドが起動し、スレッドが実行権を取得すると命令の実行を開始します。EPCTRLn.EN ビットを 0 に設定すると、現在実行中の命令が完了した時点でスレッドを停止します。TIME がカウントしているときは、そのカウントを中断します。プリスケーラは停止するだけで、リセットはされません。スレッドが停止中でもイベント入力を受け付けることができ、イベント入力が検出されると EPEISLn レジスタと EPEISHn レジスタは変化します。スレッドを実行権待ちの状態で停止させた場合、スレッドの実行権要求を取り下げます。EN = 0 にしたとき、すでにフェッチ／実行中の命令はそのまま実行されます。TIMWAIT 命令と EVTWAIT 命令による停止状態は、保持されます。

EPCTRLn.RESET ビットを 1 に設定すると、スレッドの内部状態（EPSTSn.THSTS ビット）とプリスケーラを初期状態にリセットします。このとき、EPCTRLn.RESET = 1 に設定していないその他のスレッドが持つレジスタの値はリセットされず、保持されます。スレッドの状態の初期化は、スレッドがディスエーブル中（EPCTRLn.EN = 0）に行います。また、このリセット機能を使って、スレッドがイネーブル中（EPCTRLn.EN = 1）に、TIMWAIT 命令か EVTWAIT 命令で、スレッドの実行待ち状態を強制的に解除できます。

10.6.4. スレッド選択（コンテキストスイッチ）

各スレッドの実行要求から、スレッドの優先順位に従って、実行するスレッドが選択されます。コンテキストスイッチは、0 レイテンシでコンテキストを切り換えるため、実行するスレッドを高速で切り換えることができます。通常のスレッドの優先順位は、スレッド番号の小さいものが最も高く、スレッド番号の大きいものが最も低くなっています。各スレッドが実行要求を出力しているもののうち、優先順位の最も高いものが選択されます。また、スレッドの優先順位は、グループに分けて制御することもできます。各スレッドをグループ A、B、C のいずれかに所属させるか、どのグループにも所属させないかを EPCTRLn.PRI ビットで設定できます。EPCTRLn.PRI = 0b00 の場合は、スレッド n はどの優先順位制御グループにも所属せず、通常のスレッド優先順位で、スレッドが選択されます。スレッド優先順位制御グループ A（EPCTRLn.PRI = 0b01）、B（EPCTRLn.PRI = 0b10）、または C（EPCTRLn.PRI = 0b11）に設定すると、同一グループ内はラウンドロビンアルゴリズムに従って、優先順位制御されます。初期状態で優先順位が最も高いのはスレッド 0 で、続いてスレッド 1→スレッド 2→…→スレッド 5 となります。例として、スレッド 3 を選択した場合は、次サイクルでの優先順位は、スレッド 4 が最も高く、続いてスレッド 5→スレッド 0→スレッド 1→…→スレッド 3 となり、前回選択されたスレッドの優先順位が最も低くなります。グループ間の優先順位は、個別のグループが選択したスレッドの中から、通常の優先順位に従います。動作させる頻度やタイミングが同じスレッドを、同一グループに割り当てると、スレッドが並列動作しやすくなります。

© SANKEN ELECTRIC CO., LTD. 2017

また、常に動作するスレッドが複数ある場合、これらのスレッドを同一グループに割り当ててください。

TIMWAIT 命令または EVTWAIT 命令を実行したスレッドは、一時的にスレッドの実行要求を取り下げます。そして、コンテキストスイッチが実行要求を出力している他のスレッドへ実行権を移譲します。すべてのスレッドからの実行要求がない場合は、EPU は命令実行を停止します。TIMWAIT 命令で中断したスレッドは、TIME がカウントダウンして 0 になると、スレッド実行要求を出力し、スレッドの実行を再開しようとします。EVTWAIT 命令で中断したスレッドは、EVTWAIT 命令で指定したイベントの入力によってスレッド実行要求を出力し、スレッドの実行を再開しようとします。

10.6.5. イベント入力

各スレッドには、16 本のイベント入力を検出する機能があります。イベントの受付は、EPEICLn レジスタと EPEICHn レジスタで設定します。イベントが入力され、スレッドがイネーブル（EPCTRL.EN = 1）かつ EPEICLn／EPEICHn レジスタの該当するビットが 1 の場合、イベント入力を受け付け、EPEISLn レジスタと EPEISHn レジスタの該当するビットが 1 になります。EVTWAIT 命令で指定されたイベント入力が受け付けられる（スレッドの実行権を取得する）と、EPEISLn／EPEISHn レジスタの該当するビットがクリアされます。セットとクリアが競合した場合は、セットが優先されます。イベント入力がレベル信号に設定されている場合、このイベントは“継続的なイベント”とみなされます。イベントが入力されている間、EPEISLn／EPEISHn レジスタの該当するビットは 1 の状態を保持します。イベントが消失しても、EVTWAIT 命令でイベントが受け付けられない限り、EPEISLn／EPEISHn レジスタの該当するビットはクリアされず、1 の状態が保持されます。イベント入力の選択については、9 項を参照してください。

© SANKEN ELECTRIC CO., LTD. 2017

10.6.6. イベント出力

各スレッドは、EVTOUT 命令によって 16 本のイベントを出力できます。

表 10-3　イベント出力

Event No.	Thread0	Thread1	Thread2
0	PWM0, PWM1, PWM2, PWM3 re-trigger	PWM0, PWM1, PWM2, PWM3 re-trigger	PWM0, PWM1, PWM2, PWM3 re-trigger
1	PWM0, PWM1, PWM2, PWM3 re-trigger	PWM0, PWM1, PWM2, PWM3 re-trigger	PWM0, PWM1, PWM2, PWM3 re-trigger
2	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
3	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
4	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
5	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
6	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
7	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
8	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
9	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
10	POC0, POC1, POC2, POC3	POC0, POC1, POC2, POC3	POC0, POC1, POC2, POC3
11	POC0, POC1, POC2, POC3	POC0, POC1, POC2, POC3	POC0, POC1, POC2, POC3
12	AMPON0, AMPON1	AMPON0, AMPON1	AMPON0, AMPON1
13	AMPOFF0, AMPOFF1	AMPOFF0, AMPOFF1	AMPOFF0, AMPOFF1
14	CPU INT	CPU INT	CPU INT
15	Reserve	Reserve	Reserve

Event No.	Thread3	Thread4	Thread5
0	PWM0, PWM1, PWM2, PWM3 re-trigger	PWM0, PWM1, PWM2, PWM3 re-trigger	PWM0, PWM1, PWM2, PWM3 re-trigger
1	PWM0, PWM1, PWM2, PWM3 re-trigger	PWM0, PWM1, PWM2, PWM3 re-trigger	PWM0, PWM1, PWM2, PWM3 re-trigger
2	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
3	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
4	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
5	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
6	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
7	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
8	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
9	ADC0, ADC1	ADC0, ADC1	ADC0, ADC1
10	POC0, POC1, POC2, POC3	POC0, POC1, POC2, POC3	POC0, POC1, POC2, POC3
11	POC0, POC1, POC2, POC3	POC0, POC1, POC2, POC3	POC0, POC1, POC2, POC3
12	AMPON0, AMPON1	AMPON0, AMPON1	AMPON0, AMPON1
13	AMPOFF0, AMPOFF1	AMPOFF0, AMPOFF1	AMPOFF0, AMPOFF1
14	CPU INT	CPU INT	CPU INT
15	Reserve	Reserve	Reserve

© SANKEN ELECTRIC CO., LTD. 2017

10.6.7. バスアクセス

EPU は MBUS のバスマスタです。MBUS は、命令フェッチと LOADM／STOREM 命令のデータアクセスで使用します。LOADM／STOREM 命令では、絶対アドレスでアクセスします。

また、EPU は、XBUS、SBUS のバスマスタとしても動作します。XBUS へのアクセスは、Rn レジスタに指定されたオフセットを加算したアドレスによる、間接アドレッシングで行います。SBUS には、LOADS／STORES 命令でアクセスします。SBUS へのアクセスは、命令中に絶対アドレスを指定する直接アドレッシングで行います。XBUS には、LOADX／STOREX 命令でアクセスします。

10.6.8. MBUS アクセス

MBUS は、命令フェッチと LOADM／STOREM 命令のデータアクセス用のバスです。バス幅は 16 ビット（2 バイト）で、最大 2 バイトのデータに同時にアクセスできます。命令フェッチは、ワードアラインの 2 バイト単位で行われます。命令の配置アドレスは、ワードアラインにしてください。LOADM／STOREM 命令によるデータアクセスは、1 バイトか 2 バイト（ワード）単位で行うことができます。ワードアクセスモードでは、ワードアラインアドレスのみ使用できます。データアクセスモードでは、LOADM／STOREM 命令中のリードモード（RM : Read Mode）かライトモード（WM : Write Mode）を指定します。LOADM／STOREM 命令では、データアクセスと後続命令の命令フェッチが同時に発生し、MBUS アクセスのリソース競合ハザードが発生します。このとき、データアクセスが先に処理され、その後、後続命令の命令フェッチアクセスが発生します。データにアクセスしている間は、命令の実行を待機します。

10.6.9. XBUS アクセス

XBUS は、LOADX／STOREX 命令のデータアクセス用のバスです。バス幅は 8 ビット（1 バイト）です。XBUS から、周辺機能レジスタおよび CPU と共有する XRAM にアクセスできます。アクセスモードを、LOADX／STOREX 命令のリードモード（RM）かライトモード（WM）から指定し、1 バイトか 2 バイト単位でアクセスできます。2 バイトアクセスの場合、XBUS アクセスが 2 回発生します。LOADX／STOREX 命令のアドレスは、Rn レジスタに指定されたオフセットを加算したアドレスです。

10.6.10. SBUS アクセス

SBUS は、LOADS／STORES 命令のデータアクセス用のバスです。バス幅は 16 ビット（2 バイト）です。周辺機能の SFR にアクセスできます。CPU と INTC に関連した SFR にはアクセスできません。アクセスモードを、LOADS／STORES 命令中のリードモード（RM）かライトモード（WM）から指定し、1 バイトか 2 バイト単位でアクセスできます。SBUS では、1 アドレスに最大 2 バイトのデータが割り当てられています。

10.6.11. XBUS スレーブレジスタアクセス

EPU のレジスタアクセスは、XBUS を介して行われます。XBUS は 8 ビットデータ幅です。一方、R0、R1 は 16 ビット幅、プログラムカウンタ（PC）は 9 ビット幅、専用タイマカウンタ（TIME）は 12 ビット幅なので、XBUS から 1 回のライト動作では設定できず、下位 8 ビットと上位 8 ビットの 2 回のライトで設定する必要があります。これらのレジスタには、必ず下位ビット、上位ビットの順に連続でアクセスしてください。

上記レジスタの XBUS レジスタアクセスでは、下位ビットへのライトデータは、一度バッファに保持され、上位ビットへのライトと同時にバッファに保持された値を反映されます。これにより、16 ビットレジスタにアクセスする際のアトミック性を保証します。

リードも同様に、下位ビットのリード時に上位ビットをバッファに保持し、上位ビットのリードデータはバッファに保持された値が読み出されます。バッファは、CPU アクセス用と EPU アクセス用に独立して実装されています。そのため、EPU と CPU のアクセスが交互に発生しても、アトミック性は保証されます。

© SANKEN ELECTRIC CO., LTD. 2017

10.6.12. 各命令のパイプライン動作

EPU では、メモリリード命令（LOADS、LOADM、LOADX：ライトバックステージがある命令）は 3 段のパイプライン、それ以外の命令は 2 段のパイプラインで動作します。各命令のパイプライン動作については、図 10-2 を参照してください。

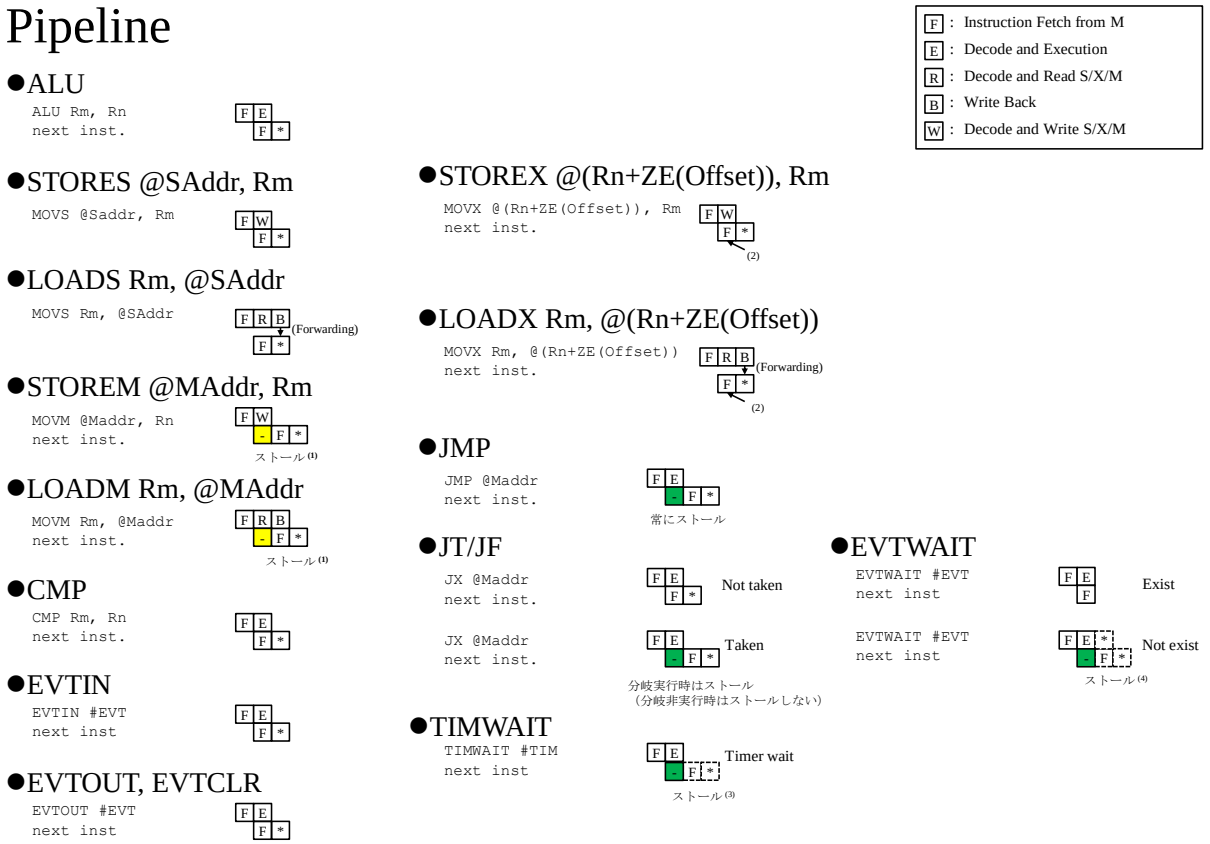


図 10-2　各命令のパイプライン動作

(1) RAM1（プログラムを配置するメモリ）に対して、データアクセスと後続命令の命令フェッチが同時に発生することが原因で、MBUS アクセスのリソース競合ハザードが発生するため、後続命令をストールします。

(2) アクセス先が RAM1 の場合は、命令フェッチと競合するため、後続命令をストールします。

(3) 後続命令をストールします。ただし、他スレッドの起動要求があれば、命令フェッチします。TIME に 0 を指定しても、一度スレッドの実行を停止し、次のカウント信号でスレッドの実行権を要求します。

(4) 後続命令をストールします。ただし、他スレッドの起動要求があれば、命令フェッチします。

© SANKEN ELECTRIC CO., LTD. 2017

10.6.13. 各命令の実行時間

EPU は、以下の命令を除いて 1 命令 1 サイクルで動作します。

● 分岐命令

- 無条件分岐命令：2 サイクル
- 条件付き分岐命令が成立する場合：2 サイクル（条件付き分岐命令が成立しない場合は 1 サイクル）

● **LOADM／STOREM 命令**
2 サイクル（RAM1 に対して、命令フェッチとデータアクセスが競合するため）

● **LOADX／STOREX 命令**
1 サイクル、アクセス先が RAM1 の場合は 2 サイクル

● **LOADS／STORES 命令、LOADX／STOREX 命令**
これらの命令のデータアクセスのバスサイクルにウェイトサイクルがあると、そのウェイトサイクル分が、元の命令実行サイクルに加算されます。

- LOADS／STORES 命令の SBUS は、DSAC が優先されます。ウェイトサイクルは、DSAC 転送回数に応じて加算されます。DSAC 転送回数が 1 回の場合は最大 2 サイクル、2 回の場合は最大 4 サイクル、4 回の場合は最大 8 サイクル、8 回の場合は最大 16 サイクルです。
- LOADX／STOREX 命令の XBUS は、2 サイクルアクセスバスなので、1 サイクルのウェイトを加算します。

● **EVTWAIT 命令**

- 該当するイベントがすでにある場合：1 サイクル
- 該当するイベントがない場合：該当するイベント検出後 2 サイクル

● **TIMWAIT 命令の後続命令**
2 サイクル

© SANKEN ELECTRIC CO., LTD. 2017

10.7. レジスタ説明

表 10-4　レジスタ一覧

Symbol*	Name*	Address*	Initial Value
EPMCR	EPU Master Control Register	0xE000	0x00
EPCTRLn	EPU Control Register for Thread n	$0xE000 + 0x10 \times (n + 1)$	0x00
EPSTSn	EPU Status Register for Thread n	$0xE001 + 0x10 \times (n + 1)$	0x00
EPR0Ln	EPU R0 Register Lower Side for Thread n	$0xE002 + 0x10 \times (n + 1)$	0x00
EPR0Hn	EPU R0 Register Higher Side for Thread n	$0xE003 + 0x10 \times (n + 1)$	0x00
EPR1Ln	EPU R1 Register Lower Side for Thread n	$0xE004 + 0x10 \times (n + 1)$	0x00
EPR1Hn	EPU R1 Register Higher Side for Thread n	$0xE005 + 0x10 \times (n + 1)$	0x00
EPPCLn	EPU Program Counter Register Lower Side for Thread n	$0xE006 + 0x10 \times (n + 1)$	0x00
EPPCHn	EPU Program Counter Register Higher Side for Thread n	$0xE007 + 0x10 \times (n + 1)$	0x00
EPTIMELn	EPU Timer Counter Register Lower Side for Thread n	$0xE008 + 0x10 \times (n + 1)$	0x00
EPTIMEHn	EPU Timer Counter Register Higher Side for Thread n	$0xE009 + 0x10 \times (n + 1)$	0x00
EPEICLn	EPU Event Input Control Register Lower Side for Thread n	$0xE00A + 0x10 \times (n + 1)$	0x00
EPEICHn	EPU Event Input Control Register Higher Side for Thread n	$0xE00B + 0x10 \times (n + 1)$	0x00
EPEISLn	EPU Event Input Status Register Lower Side for Thread n	$0xE00C + 0x10 \times (n + 1)$	0x00
EPEISHn	EPU Event Input Status Register Higher Side for Thread n	$0xE00D + 0x10 \times (n + 1)$	0x00
EPPSPn	EPU Prescaler Period Register for Thread n	$0xE00E + 0x10 \times (n + 1)$	0x00
EPEISCn	EPU Event Input Status Control Register for Thread n	$0xE00F + 0x10 \times (n + 1)$	0x00

* n：スレッド番号

© SANKEN ELECTRIC CO., LTD. 2017

10.7.1. EPMCR (EPU Master Control Register)

Register	EPMCR	EPU Master Control Register	Address	0xE000

Bit	Bit Name	R/W	Initial	Description	Remarks
7	PRIRST	W	0	優先順位制御機構のリセット ライト 0：変化なし ライト 1：リセット リード値は常に 0 です。優先順位制御機構の状態をリセットします。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

10.7.2. EPCTRLn (EPU Control Register for Thread n) (n = 0 to 5)

Register	EPCTRLn	EPU Control Register for Thread n	Address	表 10-4 参照

Bit	Bit Name	R/W	Initial	Description	Remarks
7	EN	R/W	0	スレッド n のイネーブル 0：スレッド n をディスエーブル（停止） 1：スレッド n をイネーブル（実行） スレッド n のイネーブル／ディスエーブルを設定します。イネーブルにすると、該当するスレッドは命令実行要求を EPU コアに通知します。ディスエーブルにすると、該当するスレッドは命令実行要求を取り下げます。	
6	RESET	W	0	スレッド n の状態のリセット 本ビットに 1 をライトすると、スレッド n の状態（EPSTSn.THSTS ビット）とプリスケーラをクリアし、スレッド n の状態を初期化します。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	PRI	R/W	0	優先順位制御グループの所属選択 00：無所属（固定優先度制御） 01：グループ A 10：グループ B 11：グループ C	
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

10.7.3. EPSTSn (EPU Status Register for Thread n) (n = 0 to 5)

Register	EPSTSn	EPU Status Register for Thread n	Address	表 10-4 参照

Bit	Bit Name	R/W	Initial	Description	Remarks
7	THSTS	R	0	スレッドの状態 00：スレッド n 停止 01：スレッド n アクティブ 10：指定したイベント待ちの状態 11：タイマカウント終了待ちの状態	
6		R	0		
5	SETC	W	0	C フラグのセット 本ビットに 1 をライトすると、C ビットが 1 にセットされます。リード値は 0 です。	
4	SETT	W	0	T フラグのセット 本ビットに 1 をライトすると、T ビットが 1 にセットされます。リード値は 0 です。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	C	R/C	0	C フラグ リード：C フラグの値 ライト 0：変化なし ライト 1：本ビットをクリア 優先順位は、本ビットへの 1 ライトによるクリア > SETC ビットによる設定 > EPU による本ビットの更新です。	
0	T	R/C	0	T フラグ リード：T フラグの値 ライト 0：変化なし ライト 1：本ビットをクリア 優先順位は、本ビットへの 1 ライトによるクリア > SETT ビットによる設定 > EPU による本ビットの更新です。	

© SANKEN ELECTRIC CO., LTD. 2017

10.7.4. EPR0Ln (EPU R0 Register Lower Side for Thread n) (n = 0 to 5)

Register	EPR0Ln	EPU R0 Register Lower Side for Thread n		Address	表 10-4 参照
Bit	Bit Name	R/W	Initial	Description	Remarks
7	R0	R/W	0	R0 レジスタの下位ビット ライト：下位ビット、上位ビットの順に連続して CPU からライトしてください。下位ビットへのライトデータは、一度バッファに保持され、上位ビットへのライトと同時にバッファに保持された値が本レジスタにライトされます。 リード：下位ビット、上位ビットの順に連続して CPU からリードしてください。下位ビットへのリード時に上位ビットの値がバッファへ保持され、上位ビットのリード時にバッファの値をリードします。 CPU からの本レジスタへのライトと EPU による更新動作が競合した場合、CPU からのライトが優先されます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

10.7.5. EPR0Hn (EPU R0 Register Higher Side for Thread n) (n = 0 to 5)

Register	EPR0Hn	EPU R0 Register Higher Side for Thread n		Address	表 10-4 参照
Bit	Bit Name	R/W	Initial	Description	Remarks
7	R0	R/W	0	R0 レジスタの上位ビット ライト：下位ビット、上位ビットの順に連続して CPU からライトしてください。 リード：下位ビット、上位ビットの順に連続して CPU からリードしてください。 CPU からの本レジスタへのライトと EPU による更新動作が競合した場合、CPU からのライトが優先されます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

10.7.6. EPR1Ln (EPU R1 Register Lower Side for Thread n) (n = 0 to 5)

Register	EPR1Ln	EPU R1 Register Lower Side for Thread n	Address	表 10-4 参照

Bit	Bit Name	R/W	Initial	Description	Remarks
7	R1	R/W	0	R1 レジスタの下位ビット ライト：下位ビット、上位ビットの順に連続して CPU からライトしてください。下位ビットへのライトデータは、一度バッファに保持され、上位ビットへのライトと同時にバッファに保持された値が本レジスタにライトされます。 リード：下位ビット、上位ビットの順に連続して CPU からリードしてください。下位ビットへのリード時に上位ビットの値がバッファへ保持され、上位ビットのリード時にバッファの値をリードします。 CPU からの本レジスタへのライトと EPU による更新動作が競合した場合、CPU からのライトが優先されます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

10.7.7. EPR1Hn (EPU R1 Register Higher Side for Thread n) (n = 0 to 5)

Register	EPR1Hn	EPU R1 Register Higher Side for Thread n	Address	表 10-4 参照

Bit	Bit Name	R/W	Initial	Description	Remarks
7	R1	R/W	0	R1 レジスタの上位ビット ライト：下位ビット、上位ビットの順に連続して CPU からライトしてください。 リード：下位ビット、上位ビットの順に連続して CPU からリードしてください。 CPU からの本レジスタへのライトと EPU による更新動作が競合した場合、CPU からのライトが優先されます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

10.7.8. EPPCLn (EPU Program Counter Register Lower Side for Thread n) (n = 0 to 5)

Register	EPPCLn	EPU Program Counter Register Lower Side for Thread n	Address	表 10-4 参照

Bit	Bit Name	R/W	Initial	Description	Remarks
7	PC	R/W	0	プログラムカウンタの下位ビット ライト：下位ビット、上位ビットの順に連続して CPU からライトしてください。下位ビットへのライトデータは、一度バッファに保持され、上位ビットへのライトと同時にバッファに保持された値が本レジスタにライトされます。 リード：下位ビット、上位ビットの順に連続して CPU からリードしてください。下位ビットへのリード時に上位ビットの値がバッファへ保持され、上位ビットのリード時にバッファの値をリードします。 CPU からの本レジスタへのライトと EPU による更新動作が競合した場合、CPU からのライトが優先されます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R	0		

10.7.9. EPPCHn (EPU Program Counter Register Higher Side for Thread n) (n = 0 to 5)

Register	EPPCHn	EPU Program Counter Register Higher Side for Thread n	Address	表 10-4 参照

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	PC	R/W	0	プログラムカウンタの上位ビット ライト：下位ビット、上位ビットの順に連続して CPU からライトしてください。 リード：下位ビット、上位ビットの順に連続して CPU からリードしてください。 CPU からの本レジスタへのライトと EPU による更新動作が競合した場合、CPU からのライトが優先されます。	

© SANKEN ELECTRIC CO., LTD. 2017

10.7.10. EPTIMELn (EPU Timer Counter Register Lower Side for Thread n) (n = 0 to 5)

Register	EPTIMELn	EPU Timer Counter Register Lower Side for Thread n	Address	表 10-4 参照

Bit	Bit Name	R/W	Initial	Description	Remarks
7	TIME	R/W	0	専用タイマカウンタの下位ビット ライト：下位ビット、上位ビットの順に連続して CPU からライトしてください。下位ビットへのライトデータは、一度バッファに保持され、上位ビットへのライトと同時にバッファに保持された値が本レジスタにライトされます。 リード：下位ビット、上位ビットの順に連続して CPU からリードしてください。下位ビットへのリード時に上位ビットの値がバッファへ保持され、上位ビットのリード時にバッファの値をリードします。 CPU からの本レジスタへのライトと EPU による更新動作が競合した場合、CPU からのライトが優先されます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

10.7.11. EPTIMEHn (EPU Timer Counter Register Higher Side for Thread n) (n = 0 to 5)

Register	EPTIMEHn	EPU Timer Counter Register Higher Side for Thread n	Address	表 10-4 参照

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	TIME	R/W	0	専用タイマカウンタの上位ビット ライト：下位ビット、上位ビットの順に連続して CPU からライトしてください。 リード：下位ビット、上位ビットの順に連続して CPU からリードしてください。 CPU からの本レジスタへのライトと EPU による更新動作が競合した場合、CPU からのライトが優先されます。	
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

10.7.12. EPEICLn (EPU Event Input Control Register Lower Side for Thread n) (n = 0 to 5)

Register	EPEICLn	EPU Event Input Control Register Lower Side for Thread n		Address	表 10-4 参照
Bit	Bit Name	R/W	Initial	Description	Remarks
7	EVE[7]	R/W	0	イベントの受付イネーブル 0：イベントの受付をディスエーブル 1：イベントの受付をイネーブル 本ビットを 1 にすると、イベント受付を許可します。該当するイベントが入力されると、EPEISLn レジスタの該当するビットがセットされます。 本ビットを 0 に設定すると、イベントの受付を禁止します。該当するイベントが入力されても無視し、EPEISLn レジスタの該当するビットに影響を与えません。	
6	EVE[6]	R/W	0		
5	EVE[5]	R/W	0		
4	EVE[4]	R/W	0		
3	EVE[3]	R/W	0		
2	EVE[2]	R/W	0		
1	EVE[1]	R/W	0		
0	EVE[0]	R/W	0		

10.7.13. EPEICHn (EPU Event Input Control Register Higher Side for Thread n) (n = 0 to 5)

Register	EPEICHn	EPU Event Input Control Register Higher Side for Thread n		Address	表 10-4 参照
Bit	Bit Name	R/W	Initial	Description	Remarks
7	EVE[15]	R/W	0	イベントの受付イネーブル 0：イベントの受付をディスエーブル 1：イベントの受付をイネーブル 本ビットを 1 にすると、イベント受付を許可します。該当するイベントが入力されると、EPEISHn レジスタの該当するビットがセットされます。 本ビットを 0 に設定すると、イベントの受付を禁止します。該当するイベントが入力されても無視し、EPEISHn レジスタの該当するビットに影響を与えません。	
6	EVE[14]	R/W	0		
5	EVE[13]	R/W	0		
4	EVE[12]	R/W	0		
3	EVE[11]	R/W	0		
2	EVE[10]	R/W	0		
1	EVE[9]	R/W	0		
0	EVE[8]	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

10.7.14. EPEISLn (EPU Event Input Status Register Lower Side for Thread n) (n = 0 to 5)

Register	EPEISLn	EPU Event Input Status Register Lower Side for Thread n		Address	表 10-4 参照
Bit	Bit Name	R/W	Initial	Description	Remarks
7	EVS[7]	R/C	0	イベント入力状態 リード 0：該当するイベントが存在しない リード 1：該当するイベントが存在する ライト 0：変化なし ライト 1：本ビットをクリア EPEICLn レジスタの該当するビットが 1 のときに、該当するイベントが入力されると本レジスタ内の該当するビットがセットされます。該当するイベント番号の EVTCLR 命令か EVTWAIT 命令が実行されると、該当するビットがクリアされます。 本ビットに 1 をライトするとクリアされます。また、本ビットは、EPEISCn レジスタによってセットされます。 イベント入力によるセットよりも、本ビットに 1 をライトすることによるクリアか EPEISCn レジスタによるセットの方が優先されます。 また、EVTCLR 命令か EVTWAIT 命令による処理よりも、CPU からのライトが優先されます。	
6	EVS[6]	R/C	0		
5	EVS[5]	R/C	0		
4	EVS[4]	R/C	0		
3	EVS[3]	R/C	0		
2	EVS[2]	R/C	0		
1	EVS[1]	R/C	0		
0	EVS[0]	R/C	0		

10.7.15. EPEISHn (EPU Event Input Status Register Higher Side for Thread n) (n = 0 to 5)

Register	EPEISHn	EPU Event Input Status Register Higher Side for Thread n		Address	表 10-4 参照
Bit	Bit Name	R/W	Initial	Description	Remarks
7	EVS[15]	R/C	0	イベント入力状態 リード 0：該当するイベントが存在しない リード 1：該当するイベントが存在する ライト 0：変化なし ライト 1：本ビットをクリア EPEICHn レジスタの該当するビットが 1 のときに、該当するイベントが入力されると本レジスタ内の該当するビットがセットされます。該当するイベント番号の EVTCLR 命令か EVTWAIT 命令が実行されると、該当するビットがクリアされます。 本ビットに 1 をライトするとクリアされます。また、本ビットは、EPEISCn レジスタによってセットされます。 イベント入力によるセットよりも、本ビットに 1 をライトすることによるクリアか EPEISCn レジスタによるセットの方が優先されます。 また、EVTCLR 命令か EVTWAIT 命令による処理よりも、CPU からのライトが優先されます。	
6	EVS[14]	R/C	0		
5	EVS[13]	R/C	0		
4	EVS[12]	R/C	0		
3	EVS[11]	R/C	0		
2	EVS[10]	R/C	0		
1	EVS[9]	R C	0		
0	EVS[8]	R/C	0		

© SANKEN ELECTRIC CO., LTD. 2017

10.7.16. EPPSPn (EPU Prescaler Period Register for Thread n) (n = 0 to 5)

Register	EPPSPn	EPU Prescaler Period Register for Thread n	Address	表 10-4 参照

Bit	Bit Name	R/W	Initial	Description	Remarks
7	PSP	R/W	0	プリスケーラカウンタ周期 プリスケーラのカウンタ周期を設定します。TIMWAIT 命令を発行してから TIMWAIT 命令による終了まで、プリスケーラカウンタは EPPSPn レジスタの設定値から 0 までのカウントダウンを繰り返します。 専用タイマカウンタの周期は、次式で算出できます。 $\text{TIME Counter Period} = \frac{\text{PSP} + 1}{\text{EPU Clock Frequency}}$	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

10.7.17. EPEISCn (EPU Event Input Status Control Register for Thread n) (n = 0 to 5)

Register	EPEISCn	EPU Event Input Status Control Register for Thread n	Address	表 10-4 参照

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	SEL	W	0	SET ビットを参照	
4		W	0		
3	SET[3]	W	0	本ビットに 1 をライトすると、EPEISLn／EPEISHn レジスタの対応するビットをセットできます。制御可能なステータスビットは、SEL ビットにライトする値によって異なります。 SEL = 0b00 の場合 SET[3]：EPEISLn.EVS[3] SET[2]：EPEISLn.EVS[2] SET[1]：EPEISLn.EVS[1] SET[0]：EPEISLn.EVS[0] SEL = 0b01 の場合 SET[3]：EPEISLn.EVS[7] SET[2]：EPEISLn.EVS[6] SET[1]：EPEISLn.EVS[5] SET[0]：EPEISLn.EVS[4] SEL = 0b10 の場合 SET[3]：EPEISHn.EVS[3] SET[2]：EPEISHn.EVS[2] SET[1]：EPEISHn.EVS[1] SET[0]：EPEISHn.EVS[0] SEL = 0b11 の場合 SET[3]：EPEISHn.EVS[7] SET[2]：EPEISHn.EVS[6] SET[1]：EPEISHn.EVS[5] SET[0]：EPEISHn.EVS[4]	
2	SET[2]	W	0		
1	SET[1]	W	0		
0	SET[0]	W	0		

10.8. 注意、制限事項

EPU と CPU のバスが競合した場合の動作に関する制限事項は、5.7 項を参照してください。

© SANKEN ELECTRIC CO., LTD. 2017

11. 割込みコントローラ（INTC）

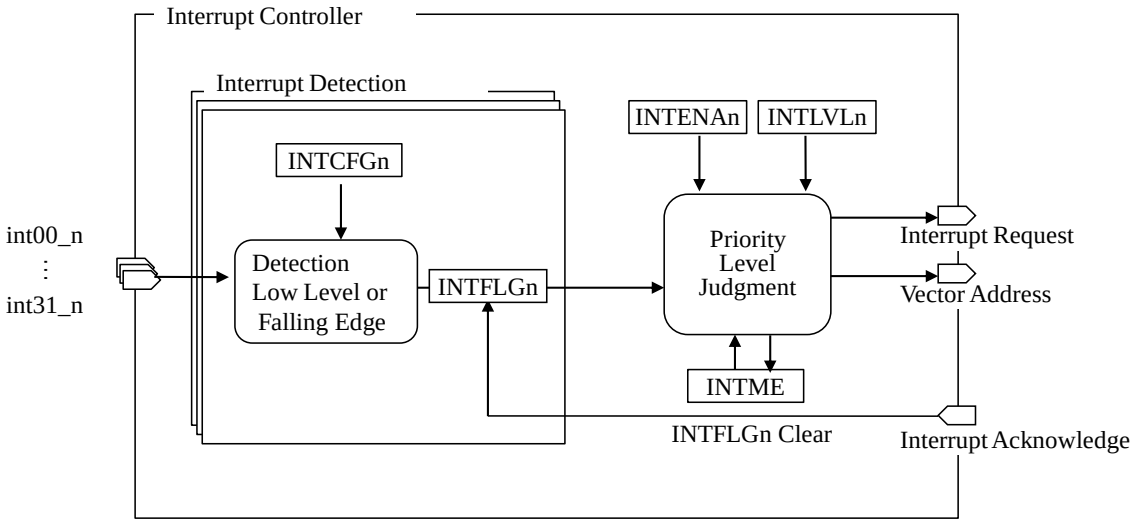
11.1. 概要

割込みコントローラ（INTC：Interrupt Controller）は、周辺機能からの割込みリクエストを処理して CPU に割込みを要求します。

表 11-1 に INTC の概要を、図 11-1 に INTC のブロック図を示します。GPIO 割込みについては、7 項を参照してください。

表 11-1　INTC 機能概要

項目	説明
要因数	32 種類
割込み検出方式	“L”レベル検出／立ち下がりエッジ検出（割込み要因ごとに選択可能） 本 LSI では、“L”レベル検出を選択する必要あり
割込みイネーブル	割込み要因ごとに設定可能
割込み優先度	高／低の 2 段階（割込み要因ごとに選択可能）
ベクタアドレス	割込みベクタごとに固定ベクタアドレスを割当て



Remarks
INTME: Interrupt Master Enable Signal
INTENAn: Interrupt Enable n Register
INTLVLn: Interrupt Level n Register
INTCFGn: Interrupt Configuration n Register
INTFLGn: Interrupt Flag n Register

図 11-1　INTC のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

11.2. 割込みベクタ

INTC は、32 種類の割込み要因を処理できます。表 11-2 に、割込みベクタに対してのベクタアドレスと割込み要因を示します。SDCC（Small Device C Compiler）では、割込みハンドラ（割込みサービスルーチン）を以下のように定義します。

```
void some_isr(void) __interrupt (5) __using (3)
{

}
```

“__interrupt (5)”は、割込みベクタ番号 5 に対する割込みサービスルーチン（ISR：Interrupt Service Routine）です。“__using (3)”は、レジスタバンクを 3 に指定した場合です。SDCC は、ベクタテーブルを自動的に生成します。

表 11-2　割込みベクタ

Interrupt Vector No.	Vector Address	Interrupt Sources[(1)]	Default Priority	Remarks
0	0x0003	GPIO0	High	
1	0x000B	GPIO1	↑	
2	0x0013	GPIO2		
3	0x001B	Reserved		
4	0x0023	LVD Interrupt		
5	0x002B	WDT Interrupt		
6	0x0033	Comparator0 Interrupt		
7	0x003B	Comparator1 Interrupt		
8	0x0043	Comparator2 Interrupt／Comparator4 Interrupt		
9	0x004B	Comparator3 Interrupt／Comparator5 Interrupt		
10	0x0053	ADC0 Interrupt		
11	0x005B	ADC1 Interrupt		
12	0x0063	Reserved		
13	0x006B	PWM0 Interrupt0		
14	0x0073	PWM0 Interrupt1		
15	0x007B	PWM1 Interrupt0		
16	0x0083	PWM1 Interrupt1		
17	0x008B	PWM2 Interrupt0		
18	0x0093	PWM2 Interrupt1		
19	0x009B	PWM3 Interrupt0		
20	0x00A3	PWM3 Interrupt1		
21	0x00AB	Timer0 Interrupt		
22	0x00B3	Timer1 Interrupt		
23	0x00BB	TinyDSP0 Interrupt		
24	0x00C3	TinyDSP1 Interrupt		
25	0x00CB	SPI Rx Interrupt		
26	0x00D3	SPI Tx／Timer2 Interrupt		
27	0x00DB	Tx or Rx Interrupt of I^2C		
28	0x00E3	SCID		
29	0x00EB	Tx or Rx Interrupt of UART		
30	0x00F3	EVC		
31	0x00FB	Flash Memory／Timer3	Low	

(1) “／”で 2 つのモジュールが結ばれている場合は、2 つのモジュールのどちらか一方から割込み信号が出力された時点で、該当するベクタ番号の割込み要求が発生します。

© SANKEN ELECTRIC CO., LTD. 2017

11.3. レジスタ説明

表 11-3 に、INTC のレジスタ一覧を示します。INTC のレジスタは、SFR 領域に割り当てられています。INTC のレジスタは、CPU からのみアクセスできます。DSAC と EPU からはアクセスできません。

表 11-3　レジスタ一覧

Symbol	Name	Address	Initial Value
INTMST	Interrupt Master Control Register	0x9C	0x00
INTENA0	Interrupt Enable0 Register	0xA4	0x00
INTENA1	Interrupt Enable1 Register	0xA5	0x00
INTENA2	Interrupt Enable2 Register	0xA6	0x00
INTENA3	Interrupt Enable3 Register	0xA7	0x00
INTLVL0	Interrupt Level0 Register	0xAC	0x00
INTLVL1	Interrupt Level1 Register	0xAD	0x00
INTLVL2	Interrupt Level2 Register	0xAE	0x00
INTLVL3	Interrupt Level3 Register	0xAF	0x00
INTCFG0	Interrupt Configuration0 Register	0xB4	0x00
INTCFG1	Interrupt Configuration1 Register	0xB5	0x00
INTCFG2	Interrupt Configuration2 Register	0xB6	0x00
INTCFG3	Interrupt Configuration3 Register	0xB7	0x00
INTFLG0	Interrupt Flag0 Register	0xBC	0x00
INTFLG1	Interrupt Flag1 Register	0xBD	0x00
INTFLG2	Interrupt Flag2 Register	0xBE	0x00
INTFLG3	Interrupt Flag3 Register	0xBF	0x00

© SANKEN ELECTRIC CO., LTD. 2017

11.3.1. INTMST (Interrupt Master Control Register)

Register	INTMST	Interrupt Master Control Register	Address	0x9C

Bit	Bit Name	R/W	Initial	Description	Remarks
7	HIP	R	0	高優先度割込みフラグ 0：高優先度割込みを実行中でない 1：高優先度割込みを実行中	
6	LIP	R	0	低優先度割込みフラグ 0：低優先度割込みを実行中でない 1：低優先度割込みを実行中か、高優先度割込みで中断されている	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	INTME	R/W	0	割込みマスタイネーブル 0：すべての割込み要求をディスエーブル 1：割込み要求をイネーブル	

11.3.2. INTENAn (Interrupt Enable n Register) (n = 0 to 3)

Register	INTENA0	Interrupt Enable0 Register	Address	0xA4
Register	INTENA1	Interrupt Enable1 Register	Address	0xA5
Register	INTENA2	Interrupt Enable2 Register	Address	0xA6
Register	INTENA3	Interrupt Enable3 Register	Address	0xA7

Bit	Bit Name	R/W	Initial	Description	Remarks
7	INTE7	R/W	0	割込みイネーブル 0：対応する割込み要求を受け付けない 1：対応する割込み要求を受け付ける INTENAn.INTEx ビットは、割込みベクタ番号（8 × n + x）に対応します。	
6	INTE6	R/W	0		
5	INTE5	R/W	0		
4	INTE4	R/W	0		
3	INTE3	R/W	0		
2	INTE2	R/W	0		
1	INTE1	R/W	0		
0	INTE0	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

11.3.3. INTLVLn (Interrupt Level n Register) (n = 0 to 3)

Register	INTLVL0	Interrupt Level0 Register	Address	0xAC
Register	INTLVL1	Interrupt Level1 Register	Address	0xAD
Register	INTLVL2	Interrupt Level2 Register	Address	0xAE
Register	INTLVL3	Interrupt Level3 Register	Address	0xAF

Bit	Bit Name	R/W	Initial	Description	Remarks
7	INTL7	R/W	0	割込み優先度 0：低優先度に設定 1：高優先度に設定 INTLVLn.INTLx ビットは、割込みベクタ番号（8×n＋x）に対応します。	
6	INTL6	R/W	0		
5	INTL5	R/W	0		
4	INTL4	R/W	0		
3	INTL3	R/W	0		
2	INTL2	R/W	0		
1	INTL1	R/W	0		
0	INTL0	R/W	0		

11.3.4. INTCFGn (Interrupt Configuration n Register) (n = 0 to 3)

Register	INTCFG0	Interrupt Configuration0 Register	Address	0xB4
Register	INTCFG1	Interrupt Configuration1 Register	Address	0xB5
Register	INTCFG2	Interrupt Configuration2 Register	Address	0xB6
Register	INTCFG3	Interrupt Configuration3 Register	Address	0xB7

Bit	Bit Name	R/W	Initial	Description	Remarks
7	INTS7	R/W	0	割込み検出方式 0：“L”レベル検出を選択 1：立ち下がりエッジ検出を選択 値は常に 0 に設定してください。 INTCFGn.INTSx ビットは、割込みベクタ番号（8×n＋x）に対応します。	
6	INTS6	R/W	0		
5	INTS5	R/W	0		
4	INTS4	R/W	0		
3	INTS3	R/W	0		
2	INTS2	R/W	0		
1	INTS1	R/W	0		
0	INTS0	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

11.3.5. INTFLGn (Interrupt Flag n Register) (n = 0 to 3)

割込み検出方式は、INTCFGn.INTSx ビットで“L”レベル検出か、立ち下がりエッジ検出から選択できますが、本 LSI では、“L”レベル検出に設定してください。“L”レベル検出を選択（INTCFGn.INTSx = 0）すると、INTCFGn.INTSx ビットは割込み要求を表示します。INTFLGn.INTFx ビットをクリアするためには、割込み要求の発生元の割込みフラグをクリアする必要があります。検出方式に立ち下がりエッジ検出を選択（INTCFGn.INTSx = 1）した場合は、INTFLGn.INTFx ビットに 1 をライトすると INTFLGn.INTFx ビットがクリアされ、割込み要求もクリアされます。

Register	INTFLG0	Interrupt Flag0 Register	Address	0xBC
Register	INTFLG1	Interrupt Flag1 Register	Address	0xBD
Register	INTFLG2	Interrupt Flag2 Register	Address	0xBE
Register	INTFLG3	Interrupt Flag3 Register	Address	0xBF

Bit	Bit Name	R/W	Initial	Description	Remarks
7	INTF7	R/C	0	割込みフラグ リード 0：割込みの検出なし リード 1：割込みの検出あり ライト 0：変化なし ライト 1：対応するビットをクリア INTFLGn.INTFx ビットは、割込みベクタ番号（8 × n + x）に対応します。	
6	INTF6	R/C	0		
5	INTF5	R/C	0		
4	INTF4	R/C	0		
3	INTF3	R/C	0		
2	INTF2	R/C	0		
1	INTF1	R/C	0		
0	INTF0	R/C	0		

© SANKEN ELECTRIC CO., LTD. 2017

11.4. 動作説明

11.4.1. 初期設定

INTC の初期設定手順は以下のとおりです（図 11-2 参照）。

(1) INTLVLn.INTLx ビットで、割込み要因ごとに優先度（高／低）を設定してください。割込み優先度については、11.4.3 項を参照してください。
(2) INTCFGn.INTSx ビットで、割込み要因ごとに割込み検出方式（“L”レベル検出／立ち下がりエッジ検出）を設定してください。本 LSI では、常に“L”レベル検出に設定してください。
(3) INTENAn.INTEx ビットで、割込み要因ごとに割込みのイネーブル／ディスエーブルを設定してください。
(4) INTMST.INTME ビットで、割込みマスタのイネーブル／ディスエーブルを設定してください。

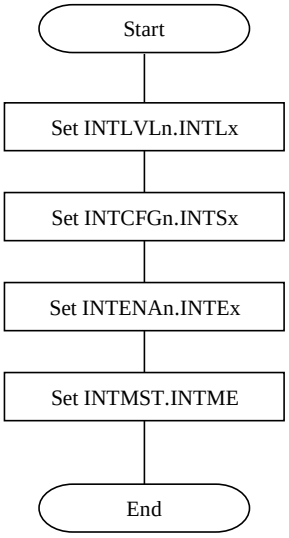


図 11-2　INTC の初期設定手順

11.4.2. 割込みフラグ

INTFLGn レジスタは、INTENAn.INTEx ビットの設定にかかわらず、周辺機能からの割込み要求が発生したことを示します。

割込み検出方式は、INTCFGn.INTSx ビットで“L”レベル検出か、立ち下がりエッジ検出から選択できますが、本 LSI では、“L”レベル検出に設定してください。“L”レベル検出を選択すると、INTCFGn.INTSx ビットは割込み要求を表示します。INTFLGn.INTFx ビットをクリアするためには、割込み要求の発生元の割込みフラグをクリアする必要があります（検出方式に立ち下がりエッジ検出を選択した場合は、INTFLGn.INTFx ビットに 1 をライトすると INTFLGn.INTFx ビットがクリアされ、割込み要求もクリアされます）。

© SANKEN ELECTRIC CO., LTD. 2017

11.4.3. 割込み優先度

割込みごとに、割込み優先度を 2 段階（高／低）に設定できます。割込みは、優先度に応じて以下のように処理されます（図 11-3 参照）。

- CPU が高優先度の割込みを処理している間は、CPU は、他の高優先度の割込みを含むすべての割込みを受け付けません。
- CPU が低優先度の割込みを処理している間に高優先度の割込み要求が検出された場合、CPU は、低優先度の割込み処理を中断して高優先度の割込みを受け付け、高優先度の割込みを処理します。
- 高優先度の割込み処理が終了した後、中断された低優先度の割込みの処理を再開します。
- CPU がどの割込みも受け付けていない場合は、低優先度と高優先度の割込みを両方受け付けます。
- 低優先度と高優先度の割込み要求が同時に発生した場合は、高優先度の割込み要求を優先して受け付けます。
- 同一優先度の割込み要求が同時に発生した場合は、割込みベクタ番号の小さい方の割込み要求を優先して受け付けます。

ISR を完了するために、割込み発生元の割込みフラグを ISR 内でクリアしてください。RETI 命令が実行されたときに、他の割込み要求が検出されている場合は、CPU が割込み受付を示すアクノリッジを INTC へ返し、後続の割込み要求を受け付けます。

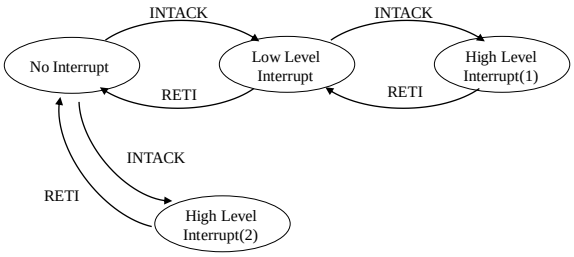


図 11-3　割込み優先処理の状態遷移

INTMST.HIP ビットと INTMST.LIP ビットは、以下のいずれかの状態を示します。

- 高優先度と低優先度の割込みの処理中
- 割込み要求の受付待ち
- 中断中

INTMST.HIP ビットが 1 の場合は、高優先度の割込みを処理していることを示します。INTMST.LIP ビットが 1 の場合は、低優先度の割込みを処理しているか、高優先度の割込み処理で低優先度の割込み処理が中断されていることを示します。

図 11-4 に、INTC での割込み要求の受付手順を示します。

© SANKEN ELECTRIC CO., LTD. 2017

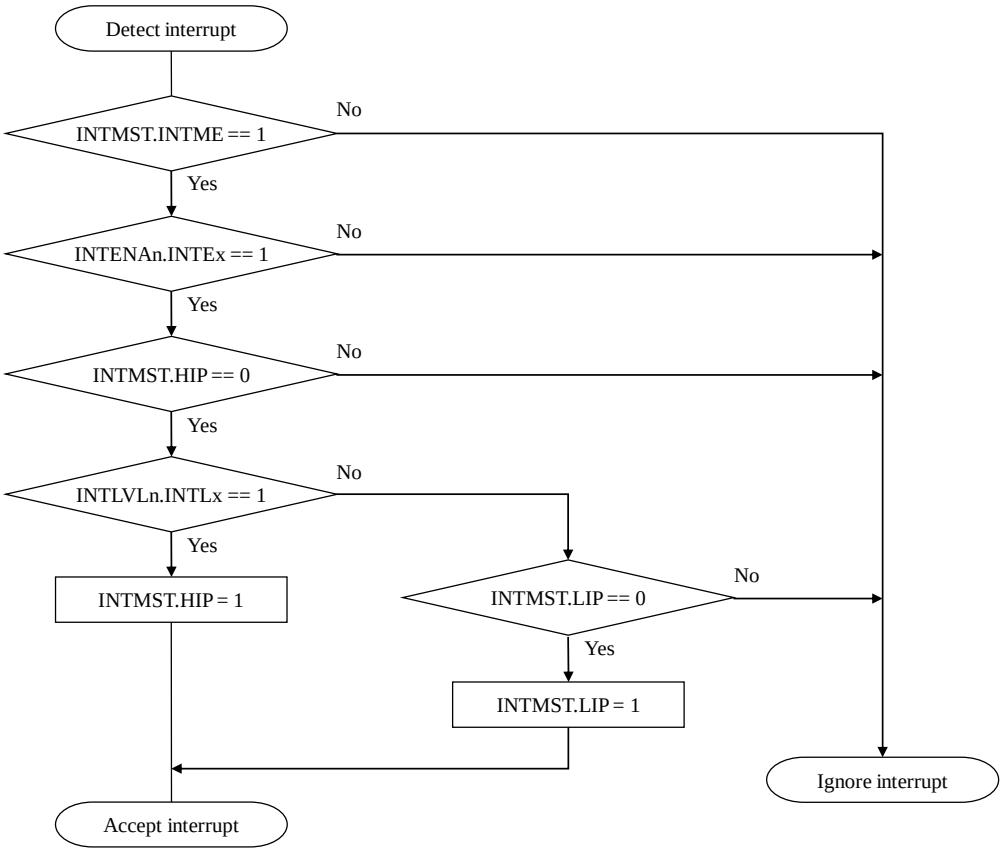


図 11-4　割込み要求の受付手順

11.4.4. 外部端子（GPIO）割込み

すべての GPIO 端子は、割込み入力として使用できます。GPIO 内のレジスタで、GPIO 割込みを設定します。各端子の割込みは GPIOx（x = 0～2）単位で統合され、INTC に割込み要求が通知されます。図 11-5 に GPIO 割込みを生成する論理図を、図 11-6 に GPIO エッジ割込みの生成タイミングを示します。GPIO 割込みの詳細については、7 項を参照してください。

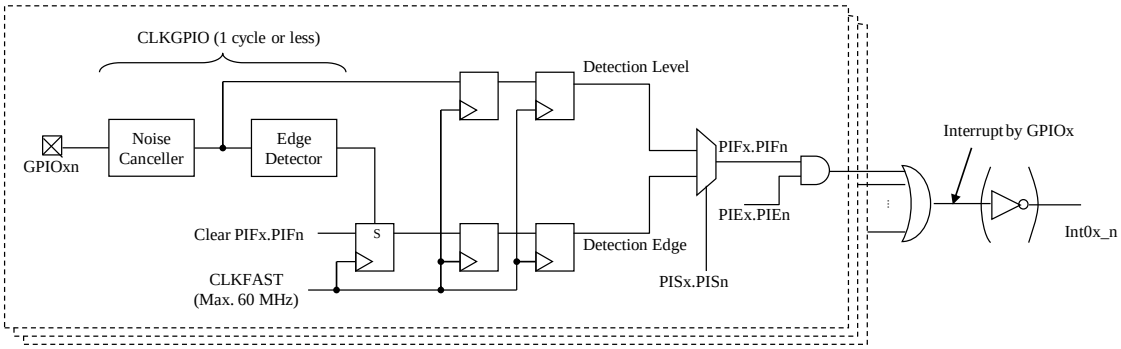


図 11-5　GPIO 割込み生成論理図

© SANKEN ELECTRIC CO., LTD. 2017

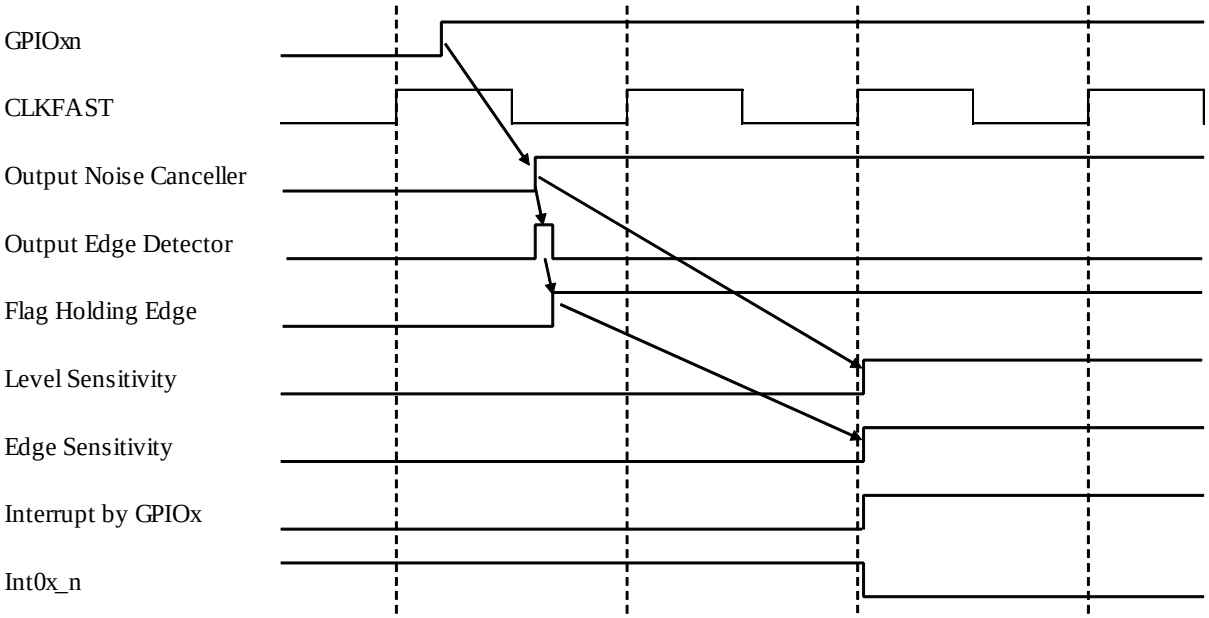


図 11-6　GPIO エッジ割込みの生成タイミング

© SANKEN ELECTRIC CO., LTD. 2017

12. ダイレクト SFR アクセスコントローラ（DSAC）

12.1. 概要

ダイレクト SFR アクセスコントローラ（DSAC：Direct SFR Access Controller）は、CPU を介さずに、SFR 間でデータを直接転送できます。この機能を周辺機能の SFR に適用して、データ転送時間を大幅に削減できます。

DSAC は、CPU や INTC に関連した SFR にはアクセスできません。DSAC が、これらの SFR をリードすると、データが不定になります。また、DSAC からこれらの SFR へのライトは、無効です。図 12-1 に DSAC のブロック図を、表 12-1 に DSAC の機能概要を示します。

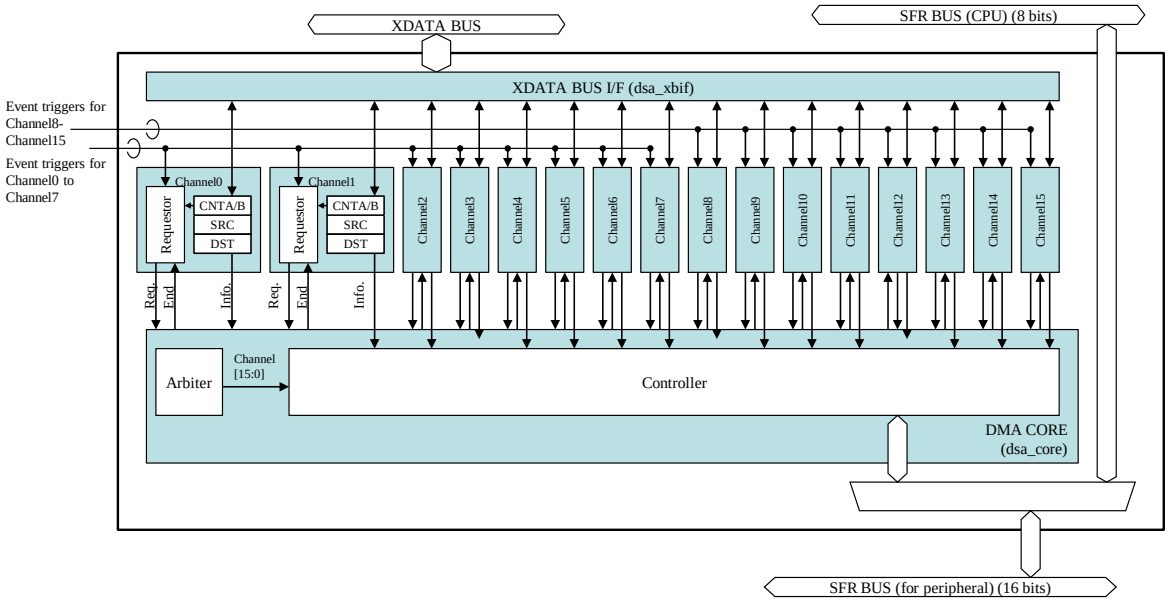


図 12-1　DSAC のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

表 12-1　DSAC 機能概要

項目	説明
チャネル数	16 チャネル
転送要求イベント数	最大 32 本（レジスタで 1 つを選択）
データサイズ	一度に 1 バイトか 1 ワードのデータを送信（レジスタで選択）
データ送信数	1 イベントあたり 1 回、2 回、4 回、8 回データを送信（レジスタで選択）
アドレスモード	固定、+1、+8 転送元、転送先アドレスインクリメントモードは独立して設定可能
チャネル優先度	チャネル 0 ＞ チャネル 1 ＞ … ＞ チャネル 14 ＞ チャネル 15
SFR BUS アクセス優先度	DSAC > EPU > CPU
転送モード	サイクルスチール

© SANKEN ELECTRIC CO., LTD. 2017

12.2. イベント

DSAC は、表 12-2 に示すトリガイベントで起動します。DSAC を起動するトリガイベントは、DSACNTAn レジスタとイベントコントローラ（EVC）のイベント設定レジスタで選択できます。イベントの選択は、9 項の EVSELn レジスタを参照してください。

表 12-2　チャネル 0～チャネル 15 の DSAC イベント

Event No.	Event Source	Trigger Event
0	Comparator0/1	イベントの発生
1	Comparator2/3	イベントの発生
2	Comparator4/5	イベントの発生
3	ADC Unit0 Group0	ADC0 のグループ 0 からイベントを出力
4	ADC Unit0 Group1	ADC0 のグループ 1 からイベントを出力
5	ADC Unit0 Group2	ADC0 のグループ 2 からイベントを出力
6	ADC Unit0 Group3	ADC0 のグループ 3 からイベントを出力
7	ADC Unit0 Group4	ADC0 のグループ 4 からイベントを出力
8	ADC Unit0 Group5	ADC0 のグループ 5 からイベントを出力
9	ADC Unit0 Group6	ADC0 のグループ 6 からイベントを出力
10	ADC Unit0 Group7	ADC0 のグループ 7 からイベントを出力
11	ADC Unit1 Group0	ADC1 のグループ 0 からイベントを出力
12	ADC Unit1 Group1	ADC1 のグループ 1 からイベントを出力
13	ADC Unit1 Group2	ADC1 のグループ 2 からイベントを出力
14	ADC Unit1 Group3	ADC1 のグループ 3 からイベントを出力
15	ADC Unit1 Group4	ADC1 のグループ 4 からイベントを出力
16	ADC Unit1 Group5	ADC1 のグループ 5 からイベントを出力
17	ADC Unit1 Group6	ADC1 のグループ 6 からイベントを出力
18	ADC Unit1 Group7	ADC1 のグループ 7 からイベントを出力
19	PWM0 Event0/1	イベントの発生
20	PWM1 Event0/1	イベントの発生
21	PWM2 Event0/1	イベントの発生
22	PWM3 Event0/1	イベントの発生
23	TinyDSP0 Event0	イベントの発生
24	TinyDSP0 Event1	イベントの発生
25	TinyDSP1 Event0	イベントの発生
26	TinyDSP1 Event1	イベントの発生
27	TMR0 Event A/B	イベントの発生
28	TMR1 Event A/B	イベントの発生
29	TMR2 Event A/B	イベントの発生
30	TMR3 Event A/B	イベントの発生
31	CPU Trigger	CPU トリガで起動

© SANKEN ELECTRIC CO., LTD. 2017

12.3. レジスタ説明

表 12-3　XDATA BUS レジスター一覧

Symbol	Name	Address	Initial Value
DSACNTA0	DSA Control A Channel0	0xF880	0x00
DSACNTB0	DSA Control B Channel0	0xF881	0x00
DSASRC0	DSA Source Address Channel0	0xF882	0x80
DSADST0	DSA Destination Address Channel0	0xF883	0x80
DSACNTA1	DSA Control A Channel1	0xF884	0x00
DSACNTB1	DSA Control B Channel1	0xF885	0x00
DSASRC1	DSA Source Address Channel1	0xF886	0x80
DSADST1	DSA Destination Address Channel1	0xF887	0x80
DSACNTA2	DSA Control A Channel2	0xF888	0x00
DSACNTB2	DSA Control B Channel2	0xF889	0x00
DSASRC2	DSA Source Address Channel2	0xF88A	0x80
DSADST2	DSA Destination Address Channel2	0xF88B	0x80
DSACNTA3	DSA Control A Channel3	0xF88C	0x00
DSACNTB3	DSA Control B Channel3	0xF88D	0x00
DSASRC3	DSA Source Address Channel3	0xF88E	0x80
DSADST3	DSA Destination Address Channel3	0xF88F	0x80
DSACNTA4	DSA Control A Channel4	0xF890	0x00
DSACNTB4	DSA Control B Channel4	0xF891	0x00
DSASRC4	DSA Source Address Channel4	0xF892	0x80
DSADST4	DSA Destination Address Channel4	0xF893	0x80
DSACNTA5	DSA Control A Channel5	0xF894	0x00
DSACNTB5	DSA Control B Channel5	0xF895	0x00
DSASRC5	DSA Source Address Channel5	0xF896	0x80
DSADST5	DSA Destination Address Channel5	0xF897	0x80
DSACNTA6	DSA Control A Channel6	0xF898	0x00
DSACNTB6	DSA Control B Channel6	0xF899	0x00
DSASRC6	DSA Source Address Channel6	0xF89A	0x80
DSADST6	DSA Destination Address Channel6	0xF89B	0x80
DSACNTA7	DSA Control A Channel7	0xF89C	0x00
DSACNTB7	DSA Control B Channel7	0xF89D	0x00
DSASRC7	DSA Source Address Channel7	0xF89E	0x80
DSADST7	DSA Destination Address Channel7	0xF89F	0x80
DSACNTA8	DSA Control A Channel8	0xF8A0	0x00
DSACNTB8	DSA Control B Channel8	0xF8A1	0x00

© SANKEN ELECTRIC CO., LTD. 2017

Symbol	Name	Address	Initial Value
DSASRC8	DSA Source Address Channel8	0xF8A2	0x80
DSADST8	DSA Destination Address Channel8	0xF8A3	0x80
DSACNTA9	DSA Control A Channel9	0xF8A4	0x00
DSACNTB9	DSA Control B Channel9	0xF8A5	0x00
DSASRC9	DSA Source Address Channel9	0xF8A6	0x80
DSADST9	DSA Destination Address Channel9	0xF8A7	0x80
DSACNTA10	DSA Control A Channel10	0xF8A8	0x00
DSACNTB10	DSA Control B Channel10	0xF8A9	0x00
DSASRC10	DSA Source Address Channel10	0xF8AA	0x80
DSADST10	DSA Destination Address Channel10	0xF8AB	0x80
DSACNTA11	DSA Control A Channel11	0xF8AC	0x00
DSACNTB11	DSA Control B Channel11	0xF8AD	0x00
DSASRC11	DSA Source Address Channel11	0xF8AE	0x80
DSADST11	DSA Destination Address Channel11	0xF8AF	0x80
DSACNTA12	DSA Control A Channel12	0xF8B0	0x00
DSACNTB12	DSA Control B Channel12	0xF8B1	0x00
DSASRC12	DSA Source Address Channel12	0xF8B2	0x80
DSADST12	DSA Destination Address Channel12	0xF8B3	0x80
DSACNTA13	DSA Control A Channel13	0xF8B4	0x00
DSACNTB13	DSA Control B Channel13	0xF8B5	0x00
DSASRC13	DSA Source Address Channel13	0xF8B6	0x80
DSADST13	DSA Destination Address Channel13	0xF8B7	0x80
SACNTA14	DSA Control A Channel14	0xF8B8	0x00
DSACNTB14	DSA Control B Channel14	0xF8B9	0x00
DSASRC14	DSA Source Address Channel14	0xF8BA	0x80
DSADST14	DSA Destination Address Channel14	0xF8BB	0x80
DSACNTA15	DSA Control A Channel15	0xF8BC	0x00
DSACNTB15	DSA Control B Channel15	0xF8BD	0x00
DSASRC15	DSA Source Address Channel 5	0xF8BE	0x80
DSADST15	DSA Destination Address Channel15	0xF8BF	0x80
DSATRG0	DSA Activation Trigger 0 for Channel0 to Channel7	0xF8F0	0x00
DSATRG1	DSA Activation Trigger 1 for Channel8 to Channel15	0xF8F1	0x00

© SANKEN ELECTRIC CO., LTD. 2017

12.3.1. DSACNTAn (DSA Control A Channel n) (n = 0 to 15)

Register	DSACNTA0	DSA Control A Channel0	Address	0xF880
Register	DSACNTA1	DSA Control A Channel1	Address	0xF884
Register	DSACNTA2	DSA Control A Channel2	Address	0xF888
Register	DSACNTA3	DSA Control A Channel3	Address	0xF88C
Register	DSACNTA4	DSA Control A Channel4	Address	0xF890
Register	DSACNTA5	DSA Control A Channel5	Address	0xF894
Register	DSACNTA6	DSA Control A Channel6	Address	0xF898
Register	DSACNTA7	DSA Control A Channel7	Address	0xF89C
Register	DSACNTA8	DSA Control A Channel8	Address	0xF8A0
Register	DSACNTA9	DSA Control A Channel9	Address	0xF8A4
Register	DSACNTA10	DSA Control A Channel10	Address	0xF8A8
Register	DSACNTA11	DSA Control A Channel11	Address	0xF8AC
Register	DSACNTA12	DSA Control A Channel12	Address	0xF8B0
Register	DSACNTA13	DSA Control A Channel13	Address	0xF8B4
Register	DSACNTA14	DSA Control A Channel14	Address	0xF8B8
Register	DSACNTA15	DSA Control A Channel15	Address	0xF8BC

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSACHE	R/W	0	DSA チャネルイネーブル 0：DSA チャネルをディスエーブル 1：DSA チャネルをイネーブル	
6	DSATB	R/W	0	DSA の転送回数の設定 00：1 回 01：2 回 10：4 回 11：8 回 これらのビットで、チャネル n の 1 イベントあたりの転送回数を設定します。 データサイズは、DSACNTBn.DSAWDACS ビットで決まります。	
5		R/W	0		
4	DSAEV	R/W	0	DSA チャネルトリガ 00000：イベント 0 を選択 00001：イベント 1 を選択 ⋮ 11111：イベント 31 を選択	
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

12.3.2. DSACNTBn (DSA Control B Channel n) (n = 0 to 15)

Register	DSACNTB0	DSA Control B Channel0	Address	0xF881
Register	DSACNTB1	DSA Control B Channel1	Address	0xF885
Register	DSACNTB2	DSA Control B Channel2	Address	0xF889
Register	DSACNTB3	DSA Control B Channel3	Address	0xF88D
Register	DSACNTB4	DSA Control B Channel4	Address	0xF891
Register	DSACNTB5	DSA Control B Channel5	Address	0xF895
Register	DSACNTB6	DSA Control B Channel6	Address	0xF899
Register	DSACNTB7	DSA Control B Channel7	Address	0xF89D
Register	DSACNTB8	DSA Control B Channel8	Address	0xF8A1
Register	DSACNTB9	DSA Control B Channel9	Address	0xF8A5
Register	DSACNTB10	DSA Control B Channel10	Address	0xF8A9
Register	DSACNTB11	DSA Control B Channel11	Address	0xF8AD
Register	DSACNTB12	DSA Control B Channel12	Address	0xF8B1
Register	DSACNTB13	DSA Control B Channel13	Address	0xF8B5
Register	DSACNTB14	DSA Control B Channel14	Address	0xF8B9
Register	DSACNTB15	DSA Control B Channel15	Address	0xF8BD

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSAWDACS	R/W	0	転送データのデータサイズの設定 0：1 バイト（8 ビット） 1：1 ワード（16 ビット）	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	DSTINCMD	R/W	0	転送先アドレスインクリメントモードの設定（DSADSTC ＝ 1 のときのみ、DSTINCMD ビットは動作に影響を及ぼします。） 0：転送のたび、転送先アドレスを 1 加算 1：転送のたび、転送先アドレスを 8 加算	
2	SRCINCMD	R/W	0	転送元アドレスインクリメントモードの設定（DSASRCC ＝ 1 のときのみ、SRCINCMD ビットは動作に影響を及ぼします。） 0：転送のたび、転送元アドレスを 1 加算 1：転送のたび、転送先アドレスを 8 加算	
1	DSADSTC	R/W	0	転送先アドレスの設定 0：固定アドレス 1：DSTINCMD ビットの設定に従って加算	
0	DSASRCC	R/W	0	転送元アドレスの設定 0：固定アドレス 1：SRCINCMD ビットの設定に従って加算	

© SANKEN ELECTRIC CO., LTD. 2017

12.3.3. DSASRCn (DSA Source Address Channel n) (n = 0 to 15)

Register	DSASRC0	DSA Source Address Channel0	Address	0xF882
Register	DSASRC1	DSA Source Address Channel1	Address	0xF886
Register	DSASRC2	DSA Source Address Channel2	Address	0xF88A
Register	DSASRC3	DSA Source Address Channel3	Address	0xF88E
Register	DSASRC4	DSA Source Address Channel4	Address	0xF892
Register	DSASRC5	DSA Source Address Channel5	Address	0xF896
Register	DSASRC6	DSA Source Address Channel6	Address	0xF89A
Register	DSASRC7	DSA Source Address Channel7	Address	0xF89D
Register	DSASRC8	DSA Source Address Channel8	Address	0xF8A2
Register	DSASRC9	DSA Source Address Channel9	Address	0xF8A6
Register	DSASRC10	DSA Source Address Channel10	Address	0xF8AA
Register	DSASRC11	DSA Source Address Channel11	Address	0xF8AE
Register	DSASRC12	DSA Source Address Channel12	Address	0xF8B2
Register	DSASRC13	DSA Source Address Channel13	Address	0xF8B6
Register	DSASRC14	DSA Source Address Channel14	Address	0xF8BA
Register	DSASRC15	DSA Source Address Channel15	Address	0xF8BE

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSASA	R/W	1	SFR 転送元アドレス	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

12.3.4. DSADSTn (DSA Destination Address Channel n) (n = 0 to 15)

Register	DSADST0	DSA Destination Address Channel0	Address	0xF883
Register	DSADST1	DSA Destination Address Channel1	Address	0xF887
Register	DSADST2	DSA Destination Address Channel2	Address	0xF88B
Register	DSADST3	DSA Destination Address Channel3	Address	0xF88F
Register	DSADST4	DSA Destination Address Channel4	Address	0xF893
Register	DSADST5	DSA Destination Address Channel5	Address	0xF897
Register	DSADST6	DSA Destination Address Channel6	Address	0xF89B
Register	DSADST7	DSA Destination Address Channel7	Address	0xF89F
Register	DSADST8	DSA Destination Address Channel8	Address	0xF8A3
Register	DSADST9	DSA Destination Address Channel9	Address	0xF8A7
Register	DSADST10	DSA Destination Address Channel10	Address	0xF8AB
Register	DSADST11	DSA Destination Address Channel11	Address	0xF8AF
Register	DSADST12	DSA Destination Address Channel12	Address	0xF8B3
Register	DSADST13	DSA Destination Address Channel13	Address	0xF8B7
Register	DSADST14	DSA Destination Address Channel14	Address	0xF8BB
Register	DSADST15	DSA Destination Address Channel15	Address	0xF8BF

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSADA	R/W	1	SFR 転送先アドレス	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

12.3.5. DSATRGm (DSA Trigger m Channel0 to Channel7) (m = 0 to 1)

Register	DSATRG0		DSA Trigger m for Channel0 to Channel7		Address	0xF8F0
Bit	Bit Name	R/W	Initial	Description		Remarks
7	TRGCH7	R/W	0	チャネル 7 転送トリガ リード 0：チャネル 7 は待機状態 リード 1：チャネル 7 転送中、またはチャネル 7 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 7 の起動		
6	TRGCH6	R/W	0	チャネル 6 転送トリガ リード 0：チャネル 6 は待機状態 リード 1：チャネル 6 転送中、またはチャネル 6 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 6 の起動		
5	TRGCH5	R/W	0	チャネル 5 転送トリガ リード 0：チャネル 5 は待機状態 リード 1：チャネル 5 転送中、またはチャネル 5 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 5 の起動		
4	TRGCH4	R/W	0	チャネル 4 転送トリガ リード 0：チャネル 4 は待機状態 リード 1：チャネル 4 転送中、またはチャネル 4 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 4 の起動		
3	TRGCH3	R/W	0	チャネル 3 転送トリガ リード 0：チャネル 3 は待機状態 リード 1：チャネル 3 転送中、またはチャネル 3 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 3 の起動		
2	TRGCH2	R/W	0	チャネル 2 転送トリガ リード 0：チャネル 2 は待機状態 リード 1：チャネル 2 転送中、またはチャネル 2 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 2 の起動		

© SANKEN ELECTRIC CO., LTD. 2017

Register	DSATRG0		DSA Trigger m for Channel0 to Channel7		Address	0xF8F0
Bit	Bit Name	R/W	Initial	Description		Remarks
1	TRGCH1	R/W	0	チャネル 1 転送トリガ リード 0：チャネル 1 は待機状態 リード 1：チャネル 1 転送中、またはチャネル 1 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 1 の起動		
0	TRGCH0	R/W	0	チャネル 0 転送トリガ リード 0：チャネル 0 は待機状態 リード 1：チャネル 0 転送中、またはチャネル 0 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 0 の起動		

12.3.6. DSATRGm (DSA Trigger m Channel8 to Channel15) (m = 0 to 1)

Register	DSATRG1		DSA Trigger m for Channel8 to Channel15		Address	0xF8F1
Bit	Bit Name	R/W	Initial	Description		Remarks
7	TRGCH15	R/W	0	チャネル 15 転送トリガ リード 0：チャネル 15 は待機状態 リード 1：チャネル 15 転送中、またはチャネル 15 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 15 の起動		
6	TRGCH14	R/W	0	チャネル 14 転送トリガ リード 0：チャネル 14 は待機状態 リード 1：チャネル 14 転送中、またはチャネル 14 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 14 の起動		
5	TRGCH13	R/W	0	チャネル 13 転送トリガ リード 0：チャネル 13 は待機状態 リード 1：チャネル 13 転送中、またはチャネル 13 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 13 の起動		
4	TRGCH12	R/W	0	チャネル 12 転送トリガ リード 0：チャネル 12 は待機状態 リード 1：チャネル 12 転送中、またはチャネル 12 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 12 の起動		

© SANKEN ELECTRIC CO., LTD. 2017

Register	DSATRG1		DSA Trigger m for Channel8 to Channel15		Address	0xF8F1
Bit	Bit Name	R/W	Initial	Description		Remarks
3	TRGCH11	R/W	0	チャネル 11 転送トリガ リード 0：チャネル 11 は待機状態 リード 1：チャネル 11 転送中、またはチャネル 11 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 11 の起動		
2	TRGCH10	R/W	0	チャネル 10 転送トリガ リード 0：チャネル 10 は待機状態 リード 1：チャネル 10 転送中、またはチャネル 10 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 10 の起動		
1	TRGCH9	R/W	0	チャネル 9 転送トリガ リード 0：チャネル 9 は待機状態 リード 1：チャネル 9 転送中、またはチャネル 9 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 9 の起動		
0	TRGCH8	R/W	0	チャネル 8 転送トリガ リード 0：チャネル 8 は待機状態 リード 1：チャネル 8 転送中、またはチャネル 8 が転送を始めるために他チャネルの転送終了を待っている状態 ライト 0：変化なし ライト 1：チャネル 8 の起動		

© SANKEN ELECTRIC CO., LTD. 2017

12.4. 動作

DSAC は、表 12-2 のトリガイベントで起動（転送を開始）します。DSAC を起動させるトリガイベントは、DSACNTAn.DSAEV ビットで選択します。DSAC は 16 チャネルです。各チャネルの起動要因は、32 本のトリガイベントから 1 つ選択されます。チャネルの転送動作は、DSACNTAn.DSAEV ビットで設定されたトリガイベントを検出したときに開始します。また、DSAC は、DSATRGm.TRGCHn ビットに 1 をライトしても起動します。このビットによる DSAC 起動は、DSACNTAn.DSAEV ビットの設定に依存しません。

DSAC の優先度は、チャネル番号の小さい方が高くなります（チャネル 0 ＞ チャネル 1 ＞ … ＞ チャネル 15）。複数のチャネルが同時に転送される場合、番号の小さいチャネルから転送を開始し、番号の大きいチャネルはこの転送動作が完了するまで待機します。1 つのチャネルがデータを転送している間に、同一チャネルに転送トリガイベントが再度発生しても、このイベントは無視されます。図 12-2 に詳細を示します。

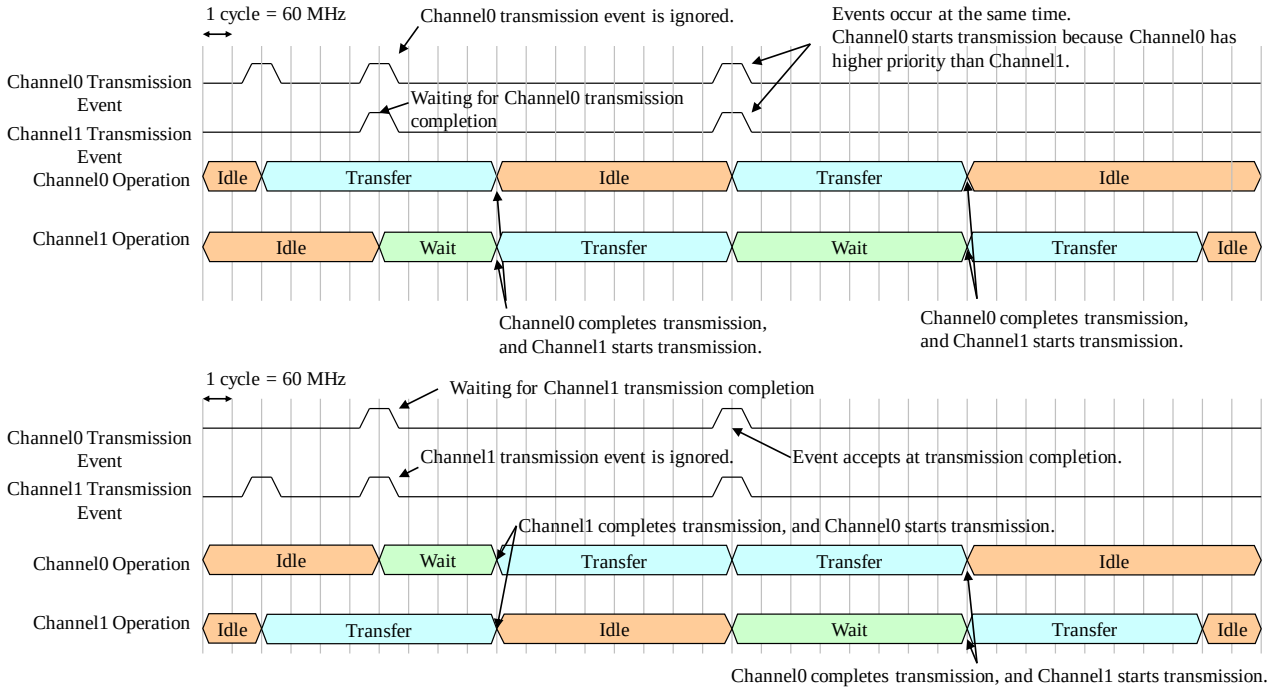


図 12-2　イベントトリガ優先度

転送元、転送先、データの転送回数、および転送時のアドレスインクリメントは、以下のレジスタで設定します。

- DSASRCn：転送元の SFR アドレス
- DSADSTn：転送先の SFR アドレス
- DSACNTAn：DSATB ビットで設定。イベントごとのデータ転送回数（1 回、2 回、4 回、8 回）
- DSACNTBn：転送時のアドレスインクリメント（転送元／転送先アドレスを固定、1 加算、8 加算）

転送時は、アドレスを転送のたびに設定に従ってインクリメントしますが、DSASRCn レジスタと DSADSTn レジスタの値は変化しません。転送後、次のイベントを受け付けると、DSASRCn レジスタと DSADSTn レジスタに設定されているアドレスの転送が再開します。

DSAC のバスアクセスは、他のバスマスタ（CPU、EPU）よりも高い優先順位で処理されます。DSAC アクセスと、その他のバスマスタのアクセスが同時に発生した場合、DSAC アクセスが先に処理されます。DSAC アクセスが発生しないときに、待機していたバスマスタのアクセスが処理されます。図 12-3 に詳細を示します。

© SANKEN ELECTRIC CO., LTD. 2017

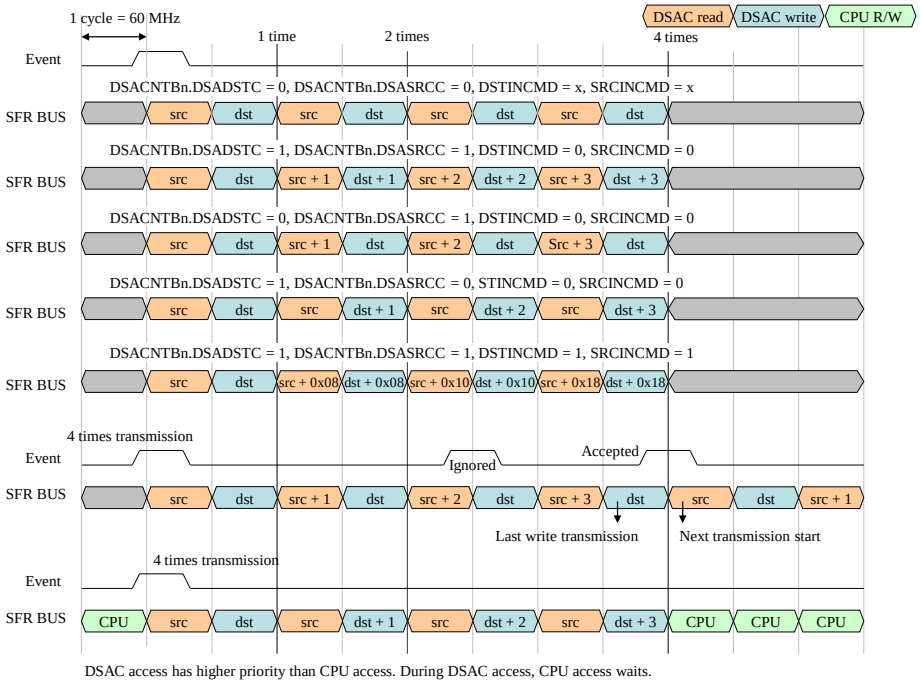


図 12-3　転送動作の例

図 12-4 に SFR BUS の構造を示します。SFR BUS には 8 ビット幅か 16 ビット幅のレジスタが接続されています。CPU の SFR BUS は 8 ビットです。CPU には、8 ビット幅レジスタで 1 回アクセスします。PWM、TinyDSP、ADC、DAC などが持つ 16 ビット幅レジスタは、同一アドレスの下位バイト側から上位バイト側の順にアクセスされます。

DSAC にアクセスする方法は、8 ビットで 2 回アクセスする方法に加えて、16 ビットに拡張されたバスを使用する、以下のようなアクセス方法もあります。

- 方法 1：
  DSAC 転送サイズ：8 ビット（DSACNTBn.DSAWDACS = 0）
  転送元と転送先の SFR レジスタ幅：8 ビット
  DSAC は、SFR BUS の下位 8 ビットのみ使用します。
- 方法 2：
  DSAC 転送サイズ：8 ビット（DSACNTBn.DSAWDACS = 0）
  転送元と転送先の SFR レジスタ幅：16 ビット
  DSAC は SFR BUS の下位 8 ビットを使用します。アクセス方式は、CPU と同一です（表 12-4 参照）。
  同一アドレスに割り当てられた 16 ビット SFR レジスタは、下位バイト側、上位バイト側の順にアクセスされます。
- 方法 3：この設定は推奨しません
  DSAC 転送サイズ：16 ビット（DSACNTBn.DSAWDACS = 1）
  転送元と転送先の SFR レジスタ幅：8 ビット
  動作は、方法 1 とほぼ同じです。DSAC が、16 ビット転送サイズで 8 ビット SFR レジスタをリードする場合、DSAC がリードしたデータの下位 8 ビットは、リードされたレジスタの値ですが、上位 8 ビットは 0x00 になります。DSAC が、16 ビット転送サイズで 8 ビット SFR レジスタをライトする場合、DSAC が出力する 16 ビットのライトデータの下位 8 ビットは、実際に 8 ビット SFR レジスタにライトされますが、上位 8 ビットは無視されます。
- 方法 4：
  DSAC 転送サイズ：16 ビット（DSACNTBn.DSAWDACS = 1）
  転送元と転送先の SFR レジスタ幅：16 ビット
  DSAC は、16 ビットのデータを転送するために、SFR BUS の上位と下位 8 ビットの両方を使用します。

© SANKEN ELECTRIC CO., LTD. 2017

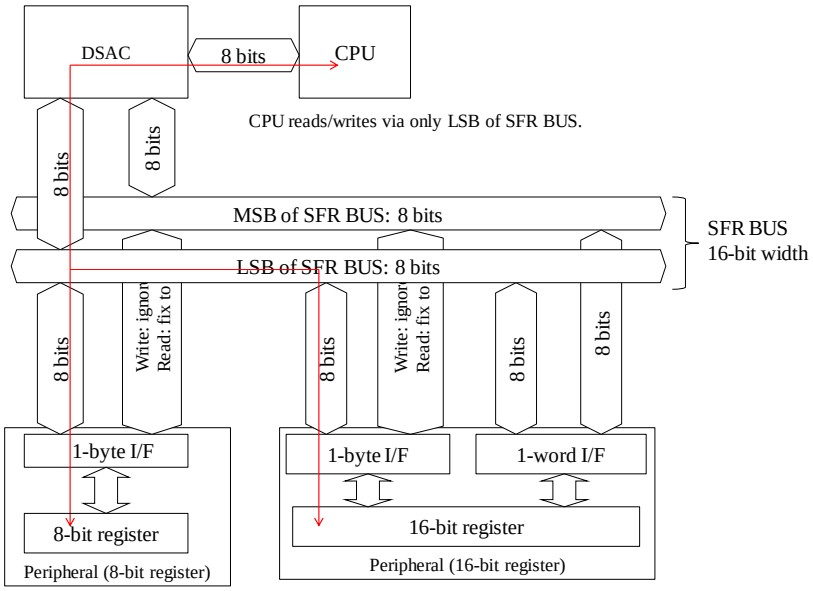


図 12-4　SFR BUS の構造

表 12-4　SFR BUS の 16 ビットレジスタへのアクセス

	1 バイト送信（DSAWDACS = 0）	1 ワード送信（DSAWDACS = 1）
リード	DSAC 2 回目のアクセス MSB_BUFFER 1 回目のアクセス 1 回目のアクセス MSB　LSB 1 ワードレジスタ	DSAC 1 ワードレジスタ
ライト	DSAC 1 回目のアクセス LSB_BUFFER 2 回目のアクセス 2 回目のアクセス MSB　LSB 1 ワードレジスタ	DSAC 1 ワードレジスタ

© SANKEN ELECTRIC CO., LTD. 2017

12.5. 初期設定シーケンス

図 12-5 に初期設定シーケンスを示します。

(1) 転送元開始アドレスを設定します。
(2) 転送先開始アドレスを設定します。
(3) 転送モード（1 ワード／1 バイト）、転送元アドレス（固定／加算）、転送先アドレス（固定／加算）を設定します。
(4) 転送元アドレスの加算ユニット（1 か 8）と、転送先アドレスの加算ユニット（1 か 8）を選択します。
(5) 転送トリガイベントと転送回数を選択します。
(6) DSAC をイネーブルにし、トリガの開始を待ちます。

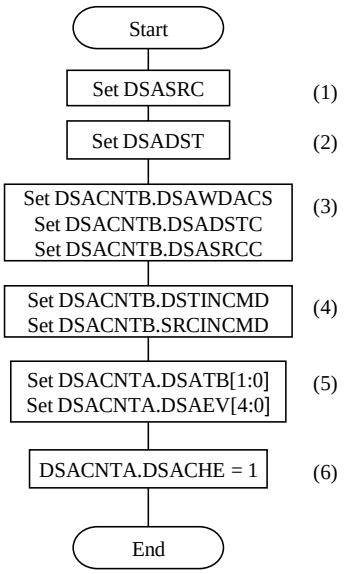


図 12-5　初期設定シーケンス

12.6. 注意、制限事項

12.6.1. チャネルの無効化

以下に、チャネル n をディスエーブルにする場合の動作を説明します。

DSACNTAn.DSACHE ビットを 0 にすると、チャネル n はディスエーブルになります。チャネル n の転送処理中に DSACNTAn.DSACHE ビットを 0 にすると、チャネル n は、転送処理をすべて終えてからディスエーブルになります。チャネル n に未実行の転送要求が残っている状態で DSACNTAn.DSACHE ビットを 0 にすると、チャネル n は、要求に対応する転送処理を終えてからディスエーブルになります。DSACNTAn.DSACHE ビットを 0 にした後に受け付けた転送要求は、無視されます。

12.6.2. DSAC 転送データサイズが 8 ビットのときの制限事項

以下の 3 つの条件を同時に満たす場合、DSAC はデータを正確に転送できません。

- 転送データサイズが 8 ビット
- 転送元アドレスと転送先アドレスが、同じモジュールに割り当てられている
- 転送元レジスタか転送先レジスタの幅が 16 ビット

© SANKEN ELECTRIC CO., LTD. 2017

13. フラッシュメモリコントローラ（FLC）

13.1. 概要

フラッシュメモリコントローラ（FLC：Flash Memory Controller）は、CPU のプログラムフェッチ、フラッシュメモリへのプログラム／イレース、および本 LSI のアクセスセキュリティを制御します。

表 13-1　FLC 機能概要

項目		説明
フラッシュメモリ	最大プログラム回数	20,000 回
	メインブロック（プログラム）	● 容量：32 KB（8 K ワード×32 ビット） ● ページ数：32 ページ ● ロウ数：8 ロウ／ページ ● カラム数：32 カラム／ロウ ＝128 バイト／ロウ （1 カラム ＝1 ワード ＝32 ビット）
	インフォメーションブロック	● 容量：1 KB（256 ワード×32 ビット） ● ページ数：1 ページ ● ロウ数：8 ロウ／ページ ● カラム数：32 カラム／ロウ ＝128 バイト／ロウ （1 カラム ＝1 ワード ＝32 ビット）
プログラムフェッチ		● フェッチデータ幅：32 ビット ● 命令バッファ：32 ビット×2 ライン ● データバッファ：32 ビット×1 ライン ● アクセスモード：高速クロックモード（2 サイクル）／低速クロックモード（1 サイクル） ● プリフェッチ：命令バッファのみにプリフェッチ機能あり 4n＋2、4n＋3番地のフェッチで発生（高速クロックモード） 4n＋3番地のフェッチで発生（低速クロックモード）
フラッシュメモリ動作モード		● プログラム：メインブロックかインフォメーションブロックのロウプログラム ● イレース：メインブロックのページの一括消去（マスイレース）か 1 ページ消去（ページイレース） ● リード：メインブロックかインフォメーションブロックのロウリード ● プロテクト解除：プロテクトレベルの格下げ ● 再プロテクト：プロテクトレベルの再設定 ● ランタイムフラッシュメモリ動作：CPU がフラッシュメモリ上のプログラムを実行している最中に、フラッシュメモリへのプログラム／イレース／リードが可能
フラッシュメモリセキュリティ管理		● プロテクトレベル：レベル 1／レベル 2 ● プロテクトコード長：32 ビット ● インフォメーションブロックに、プロテクトコードを配置 ● プロテクト解除と再プロテクトでプロテクトレベルの変更が可能 ● レベル 2 での RAM 上のプログラムからのフラッシュメモリアクセスは不可、OCD からのレジスタアクセスは一部可能

© SANKEN ELECTRIC CO., LTD. 2017

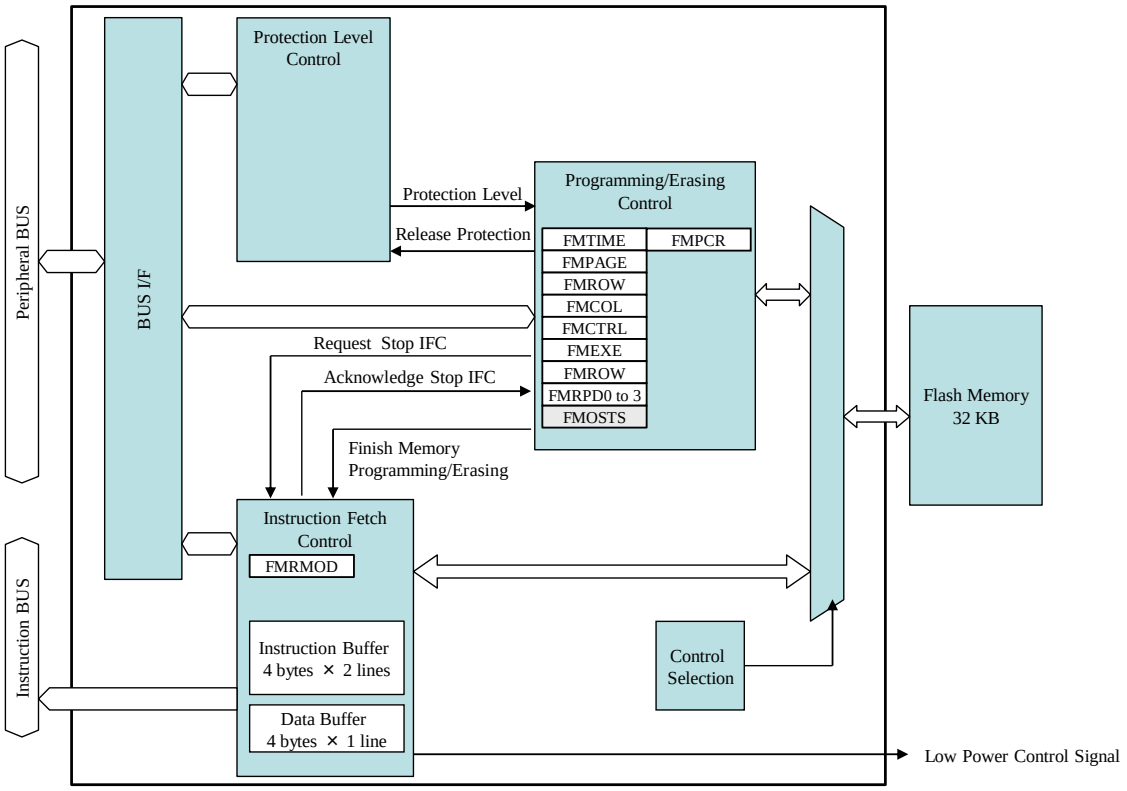


図 13-1　FLC のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

13.2. レジスタ説明

表 13-2 に FLC のレジスター一覧を示します。

表 13-2　レジスター一覧

Symbol	Name	Address	Initial Value
FMTIME	Flash Memory Control Time Register	0xFF00	0x0F
FMPAGE	Flash Memory Page Address Register	0xFF01	0x00
FMROW	Flash Memory Row Address Register	0xFF02	0x00
FMCOL	Flash Memory Column Address Register	0xFF03	0x00
FMCTRL	Flash Memory Control Register	0xFF04	0x00
FMEXE	Flash Memory Program Execution Register	0xFF05	0x00
FMRPD0	Flash Memory Row Program Data0 Register	0xFF10	0x00
FMRPD1	Flash Memory Row Program Data1 Register	0xFF11	0x00
FMRPD2	Flash Memory Row Program Data2 Register	0xFF12	0x00
FMRPD3	Flash Memory Row Program Data3 Register	0xFF13	0x00
FMRMOD	Flash Memory Read Mode Register	0xFF20	0x01
FMPCR	Flash Memory Program Control Register	0xFF23	0x00

13.2.1. FMTIME (Flash Memory Control Time Register)

Register	FMTIME	Flash Memory Control Time Register	Address	0xFF00

Bit	Bit Name	R/W	Initial	Description	Remarks
7	TIME	R/W	0	フラッシュメモリコントロールタイム 1 μs の内部タイミング信号を生成するためのカウンタの設定値です。 $\mathrm{FMTIME} = \frac{\mathrm{CLKFAST}}{1 \times 10^6} - 1$ FMEXE.FMEXE ビットが 0 のときに、設定を変更してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	1		
2		R/W	1		
1		R/W	1		
0		R/W	1		

© SANKEN ELECTRIC CO., LTD. 2017

13.2.2. FMPAGE (Flash Memory Page Address Register)

Register	FMPAGE		Flash Memory Page Address Register		Address	0xFF01
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	PAGE	R/W	0	フラッシュメモリページアドレス ロウプログラム、ロウリード、ページイレースのときのページアドレスを指定します。 FMEXE.FMEXE ビットが 0 のときだけ、ライトできます。		
3		R/W	0			
2		R/W	0			
1		R/W	0			
0		R/W	0			

13.2.3. FMROW (Flash Memory Row Address Register)

インフォメーションブロックのロウリードモードかロウプログラムモードで、プロテクトレベルが 1 のときは、FMROW.ROW[2]ビットを 1 に設定してください。このビットを 0 に設定するとフラッシュメモリの制御シーケンスは実行されますが、フラッシュメモリには影響を与えません。

プロテクトレベルが 2 のとき、FMROW.ROW ビットは、ロウ 5、ロウ 6、またはロウ 7 に設定してください。それ以外に設定するとフラッシュメモリの制御シーケンスは実行されますが、フラッシュメモリには影響を与えません。

Register	FMROW		Flash Memory Row Address Register		Address	0xFF02
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	ROW	R/W	0	フラッシュメモリロウアドレス ロウプログラムとロウリードのときのロウアドレスを指定します。 FMEXE.FMEXE ビットが 0 のときだけ、ライトできます。		
1		R/W	0			
0		R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

13.2.4. FMCOL (Flash Memory Column Address Register)

Register	FMCOL	Flash Memory Column Address Register	Address	0xFF03

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	COL	R/W	0	フラッシュメモリカラムアドレス ロウプログラムとロウリードのときのカラムアドレスを指定します。1 カラムのリードかライトが終了した際に、自動的に 1 インクリメントされます（COL = 31 の場合を除く）。	
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

13.2.5. FMCTRL (Flash Memory Control Register)

Register	FMCTRL	Flash Memory Control Register	Address	0xFF04

Bit	Bit Name	R/W	Initial	Description	Remarks
7	FMIF	R/C	0	フラッシュメモリ割込みフラグ リード 0：イレース／プログラム未終了 リード 1：イレース／プログラム終了 ライト 0：変化なし ライト 1：本ビットをクリア	
6	FMIE	R/W	0	フラッシュメモリ割込みイネーブル 0：割込み要求出力をディスエーブル 1：割込み要求出力をイネーブル 本ビットが 1 かつ FMIF ビットが 1 のとき、CPU へ割込み要求を出力します。	
5	RFOMD	R/W	0	ランタイムフラッシュメモリ動作モードイネーブル 0：ランタイムフラッシュメモリ動作をディスエーブル 1：ランタイムフラッシュメモリ動作をイネーブル	
4	BWSEL	R/W	0	フラッシュメモリライト時のビット幅の設定 0：32 ビット 1：16 ビット	
3	FMCMD	R/W	0	フラッシュメモリ動作モード 0000：通常モード、CPU の命令フェッチを許可 0100：メインブロックのロウリード 0101：メインブロックのロウプログラム 0110：メインブロックのページイレース 0111：メインブロックのマスイレース 1000：インフォメーションブロックのロウリード 1001：インフォメーションブロックのロウプログラム 1110：再プロテクト 1111：プロテクト解除 その他：使用禁止 FMEXE.FMEXE ビットが 0 のときだけ、ライトできます。プロテクトレベルごとに設定可能な値が異なります。詳細は、表 13-3 を参照してください。	
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

表 13-3　フラッシュメモリ動作モードの設定値

モード	設定値	レベル 1	レベル 2
通常モード（命令／データフェッチ）	0b0000	Y	Y(2)
メインブロックのロウリード	0b0100	Y	—
メインブロックのロウプログラム	0b0101	Y	—
メインブロックのページイレース	0b0110	Y	—
メインブロックのマスイレース	0b0111	Y	—
インフォメーションブロックのロウリード	0b1000	Y(1)	—
インフォメーションブロックのロウプログラム	0b1001	Y(1)	—
再プロテクト	0b1110	Y	—
プロテクト解除	0b1111	Y	Y

(1) ユーザ解放領域（ロウ 4～ロウ 7）に対して可能
(2) CPU 動作、OCD のみ可能

13.2.6. FMEXE (Flash Memory Program Execution Register)

Register	FMEXE		Flash Memory Program Execution Register		Address	0xFF05
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
0	FMEXE	R/W	0	フラッシュメモリ動作の実行 リード 0：フラッシュメモリ制御停止中 リード 1：フラッシュメモリ制御実行中 ライト 0：フラッシュメモリ制御中止 ライト 1：フラッシュメモリ制御開始 FMCTRL.FMCMD ビットが 0b0000 のときは、1 をライトできません。		

© SANKEN ELECTRIC CO., LTD. 2017

13.2.7. FMRPDn (Flash Memory Row Program Data n Register) (n = 0 to 3)

Register	FMRPD0	Flash Memory Row Program Data0 Register	Address	0xFF10
Register	FMRPD1	Flash Memory Row Program Data1 Register	Address	0xFF11
Register	FMRPD2	Flash Memory Row Program Data2 Register	Address	0xFF12
Register	FMRPD3	Flash Memory Row Program Data3 Register	Address	0xFF13

Bit	Bit Name	R/W	Initial	Description	Remarks
7	RPD	R/W	0	フラッシュメモリデータ FMRPD0：4n番地 FMRPD1：4n＋1番地 FMRPD2：4n＋2番地 FMRPD3：4n＋3番地 $n = 256 \times FMPAGE + 32 \times FMROW + FMCOL$ ロウプログラム時に、プログラムするデータを設定します。ロウリード時は、リードデータが格納されます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

13.2.8. FMRMOD (Flash Memory Read Mode Register)

Register	FMRMOD	Flash Memory Read Mode Register	Address	0xFF20

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	FAST	R/W	1	高速クロックリードモード 0：低速クロックモード（1 サイクル） 1：高速クロックモード（2 サイクル） フラッシュメモリのアクセスがアイドルになったとき、ライト値が反映されます。本ビットを変更した際は、設定値がリードできることを確認してください。 低速クロックモードに設定するときは、事前にクロックを低速クロックモードに対応した周波数にしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

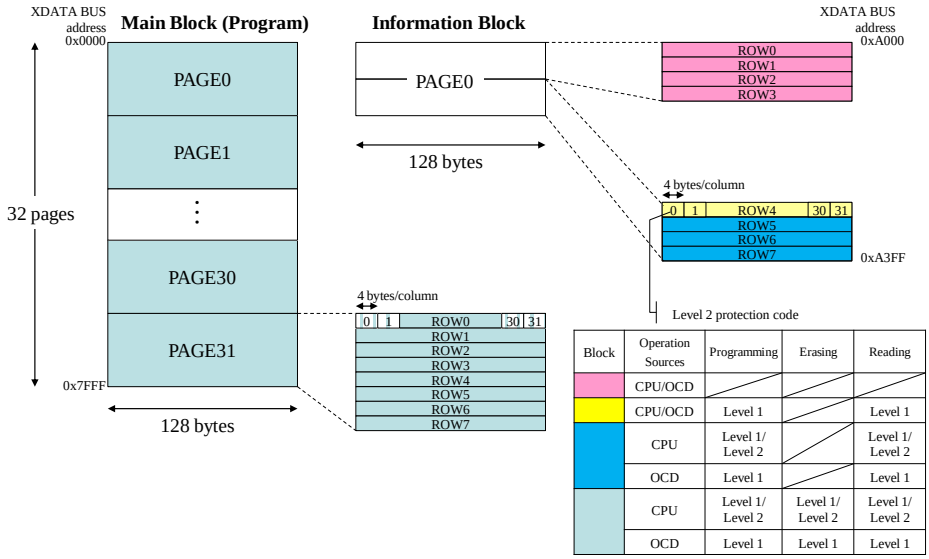
13.2.9. FMPCR (Flash Memory Program Control Register)

Register		FMPCR	Flash Memory Program Control Register		Address	0xFF23
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	PWAITS	R/C	0	プログラムウェイトステータス リード 0：次のプログラムデータをウェイトしていない状態 リード 1：次のプログラムデータをウェイトしている状態 ライト 0：変化なし ライト 1：本ビットをクリア カラムデータの準備を待っているときか、カラムライトが完了したときに、本ビットに 1 をライトできます。また、カラムデータをウェイトしているときに FMRPD3 レジスタを設定するか、FMEXE.FMEXE ビットに 0 をライトすると、本ビットは自動的にクリアされます。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
0	PWAITIE	R/W	0	プログラムウェイト割込みイネーブル 0：割込み要求出力をディスエーブル 1：割込み要求出力をイネーブル PWAITS ビットの割込み要求を制御します。		

© SANKEN ELECTRIC CO., LTD. 2017

13.3. フラッシュメモリ

図 13-2 に、フラッシュメモリのマップを示します。フラッシュメモリは、32 KB のメインブロックと、1 KB のインフォメーションブロックで構成されています。メインブロックは 32 ページで、1 ページあたり 8 ロウ、1 ロウあたり 32 カラム、1 カラムあたり 4 バイトの構成です。インフォメーションブロックは 1 ページで、1 ページあたり 8 ロウ、1 ロウあたり 32 カラム、1 カラムあたり 4 バイトの構成です。メインブロックには CPU のプログラムが格納されています。また、インフォメーションブロックには、プロテクトコードが格納されています。さらに、インフォメーションブロックのロウ 5～ロウ 7 には、ユーザデータを配置することもできます。プロテクトレベルが 1 のとき、メインブロックはプログラム／イレースできます。プロテクトレベルが 2 の場合、メインブロックは、フラッシュメモリ上で動作しているプログラムからだけ、プログラム／イレースできます。インフォメーションブロックのイレースはできません。また、ユーザはインフォメーションブロックのロウ 5～ロウ 7 をプログラムできます。ロウ 0～ロウ 4 は、プログラムできません。プロテクトレベル 2 のプロテクトコードは、アドレス 0xA200（インフォメーションブロックのロウ 4、カラム 0）にライトしてください。



Block	Operation Sources	Programming	Erasing	Reading
	CPU/OCD			
	CPU/OCD	Level 1		Level 1
	CPU	Level 1/ Level 2		Level 1/ Level 2
	OCD	Level 1		Level 1
	CPU	Level 1/ Level 2	Level 1/ Level 2	Level 1/ Level 2
	OCD	Level 1	Level 1	Level 1

図 13-2　フラッシュメモリマップ

© SANKEN ELECTRIC CO., LTD. 2017

13.4. 動作

13.4.1. 命令フェッチ

命令フェッチコントローラ（IFC：Instruction Fetch Controller）は、フラッシュメモリから CPU への命令フェッチを制御します。IFC は、4 バイト×2 ラインの命令バッファ（IBUF）を搭載しています。CPU が命令フェッチを行う場合の動作は、以下のとおりです。

- IBUF に CPU が要求しているアドレスの命令コードが存在する場合
  IBUF に格納されているコードを、ウェイトサイクルなしでフェッチできます。
- IBUF に CPU が要求しているアドレスの命令コードが存在しない場合
  IFC は、フラッシュメモリからフラッシュメモリの 1 カラム（4 バイト）をフェッチし、そのうちの必要な 1 バイトを CPU に返すと同時に、フェッチされた 1 カラム（4 バイト）の命令コードを IBUF に格納します。このとき、フラッシュメモリのアクセスが終了するまで、CPU はウェイトします。

さらに、IFC は、1 バイト×1 ラインのデータバッファ（DBUF）を搭載しています。CPU が MOVX／MOVC 命令でフラッシュメモリから定数データをリードする場合の動作は、以下のとおりです。

- DBUF に CPU が要求しているアドレスのデータが存在する場合
  DBUF に格納されているデータをウェイトサイクルなしでリードできます。
- DBUF に CPU が要求しているアドレスのデータが存在しない場合
  IFC はフラッシュメモリから 1 カラム（4 バイト）をフェッチし、そのうちの必要な 1 バイトを CPU に返すと同時に、フェッチされた 1 カラム（4 バイト）のデータを DBUF に格納します。このとき、フラッシュメモリのアクセスが終了するまで、CPU はウェイトします。

IFC には、高速クロックモードと低速クロックモードの 2 つのフラッシュメモリのアクセスモードがあります。フラッシュメモリのアクセスモードは、FMRMOD レジスタで設定します。高速クロックモードの場合、フラッシュメモリへのアクセスは 2 サイクルです。低速クロックモードの場合、フラッシュメモリへのアクセスは 1 サイクルです。CPU の動作周波数が 30 MHz を超える場合は、高速クロックモードに設定してください。CPU の動作周波数が 30 MHz 以下の場合は、低速クロックモードを使用できます。低速クロックモードでは CPU のウェイトサイクルが少なくなるため、効率的に動作させることができます。

フラッシュメモリにアクセスする際のウェイトサイクルを少なくするため、IBUF にはプリフェッチ機能があります。高速クロックモードでは、CPU が$4n+2$（n は 0 以上）番地、または$4n+3$（n は 0 以上）番地の命令フェッチを行った後に、プリフェッチが開始されます。低速クロックモードでは、CPU が$4n+3$（n は 0 以上）番地の命令フェッチを行った後に、プリフェッチが開始されます。CPU がプリフェッチしたコードをフェッチする場合、CPU はウェイトサイクルなしで命令を実行できます。JMP 命令などを用いて、プリフェッチした命令を実行しない場合、フラッシュメモリから命令を再度フェッチする間、CPU はウェイトします。

© SANKEN ELECTRIC CO., LTD. 2017

13.4.2. フラッシュメモリ動作モード

13.4.2.1. 一括消去（マスイレース）

マスイレースモードは、メインブロックのすべてのページを消去するモードです。マスイレースモードに設定するには、FMCTRL.FMCMD ビットを 0b0111 に設定します。さらに、FMEXE.FMEXE ビットを 1 に設定すると、マスイレースが開始されます。マスイレースの間は、FMEXE.FMEXE ビットが実行中を示す 1 に維持され、マスイレースが終了するとクリアされます。クリアされると同時に、FMCTRL.FMIF ビットが 1 にセットされます。FMCTRL.FMIE ビットが 1 に設定されていると、CPU に割込み要求を出力できます。FMCTRL.FMIF ビットは、割込みルーチン内でクリアしてください。

図 13-3 にマスイレースの動作シーケンスを示します。また、以下にその動作シーケンスの一部について説明します。

(1) FMCTRL.FMCMD ビットを、0b0111（メインブロックのマスイレースモード）に設定します。
(2) イレースの完了を待ちます。イレースが完了すると FMCTRL.FMIF ビットが 1 になります。FMEXE.FMEXE ビットは、自動的にクリアされます。FMCTRL.FMIE ビットが 1、かつ FMCTRL.FMIF ビットが 1 のとき、CPU に割込み要求を出力します。
(3) FMCTRL.FMIF ビットに 1 をライトして、このフラグをクリアしてください。

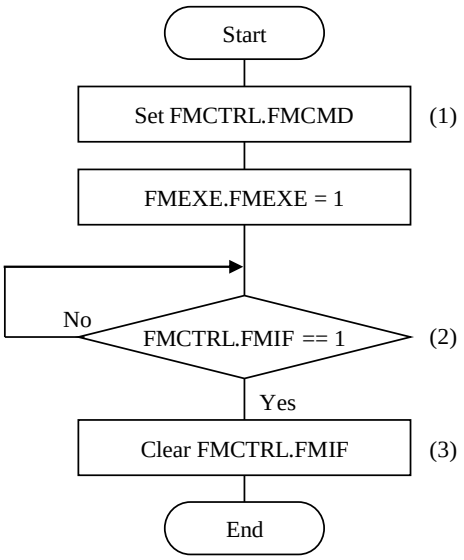


図 13-3 マスイレース動作シーケンス

© SANKEN ELECTRIC CO., LTD. 2017

13.4.2.2. ページイレース

ページイレースモードは、メインブロックの指定した 1 ページだけを消去するモードです。ページイレースモードに設定するには、FMCTRL.FMCMD ビットを 0b0110 に設定します。また、消去するページを、FMPAGE レジスタに指定します。FMEXE.FMEXE ビットを 1 に設定すると、ページイレースが開始されます。ページイレースの間は、FMEXE.FMEXE ビットが実行中を示す 1 に維持され、ページイレースが終了するとクリアされます。クリアされると同時に、FMCTRL.FMIF ビットが 1 にセットされます。FMCTRL.FMIE ビットが 1 に設定されていると、CPU に割込み要求を出力できます。FMCTRL.FMIF ビットは、割込みルーチン内でクリアしてください。

図 13-4 にページイレースの動作シーケンスを示します。また、以下にその動作シーケンスの一部について説明します。

(1) FMCTRL.FMCMD ビットを、0b0110（メインブロックのページイレースモード）に設定します。
(2) イレースの完了を待ちます。イレースが完了すると、FMCTRL.FMIF ビットが 1 になります。FMEXE.FMEXE ビットは自動的にクリアされます。FMCTRL.FMIE ビットが 1、かつ FMCTRL.FMIF ビットが 1 のとき、CPU に割込み要求を出力します。
(3) FMCTRL.FMIF ビットに 1 をライトして、このフラグをクリアしてください。

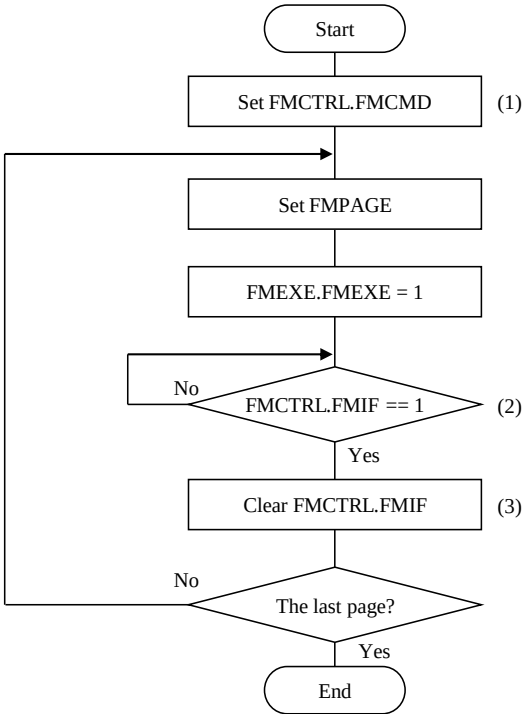


図 13-4 ページイレース動作シーケンス

© SANKEN ELECTRIC CO., LTD. 2017

13.4.2.3. ロウプログラム

ロウプログラムモードには、以下の 2 つのモードがあり、インフォメーションブロックかメインブロックの指定したアドレスに、データをプログラム（ライト）します。

- メインブロックのプログラムモード（FMCTRL.FMCMD = 0b0101）
- インフォメーションブロックのプログラムモード（FMCTRL.FMCMD = 0b1001）

プログラムの対象ページは FMPAGE レジスタ、ロウは FMROW レジスタ、プログラム開始カラムは FMCOL レジスタで設定します。FMEXE.FMEXE ビットを 1 に設定すると、ロウプログラムを開始することができます。プログラムするデータは、FMRPD0～FMRPD3 レジスタで設定します。FMRPD3 レジスタへの設定をきっかけに、指定した現在のカラムにプログラムします。カラムのプログラムが完了すると、FMCOL レジスタが自動的にインクリメントされます。

カラム 31 のプログラムが完了すると、FMEXE.FMEXE ビットはクリアされます。クリアされると同時に、FMCTRL.FMIF ビットが 1 にセットされます。このとき、FMCOL レジスタは更新されません。FMCTRL.FMIE ビットが 1 の場合、CPU に割込み要求を出力できます。FMCTRL.FMIF ビットは、割込みルーチン内でクリアしてください。

ロウプログラムを途中で終了させる場合は、FMRPD3 レジスタにデータを書き込んでから 46 µs 後に FMEXE.FMEXE ビットをクリアしてください。FMEXE.FMEXE ビットが 0 になると、ロウプログラムが終了します。このとき、FMCTRL.FMIF ビットが 1 にセットされます。

本 LSI のフラッシュメモリは、1 カラムの半分（上位 2 バイトか下位 2 バイト単位）でプログラムできます。2 バイト単位でプログラムすると、プログラム時間を短縮できます。2 バイト単位でプログラムするときは、FMCTRL.BWSEL ビットを 1 に設定します。カラムの上位 2 バイトにプログラムする場合、FMRPD0 レジスタと FMRPD1 レジスタにライト値を設定し、FMRPD2 レジスタと FMRPD3 レジスタには 0xFF を設定してください。カラムの下位 2 バイトにプログラムする場合、FMRPD0 レジスタと FMRPD1 レジスタには 0xFF を設定し、FMRPD2 レジスタと FMRPD3 レジスタにライト値を設定してください。FMCTRL.BWSEL = 1 のときに 1 ロウ分のカラムを連続で書く場合は、カラム 31 のプログラムが完了したときに、FMEXE.FMEXE ビットが自動的にクリアされません。プログラムを完了する場合は、FMRPD3 レジスタにデータを書き込んでから 23 µs 後に、FMEXE.FMEXE ビットをクリアしてください。

ロウプログラムモードでは、プログラムを開始してから 8 ms 以内にプログラムを完了（FMEXE.FMEXE ビットをクリア）してください。

図 13-5 にロウプログラムの動作シーケンスを示します。また、以下にその動作シーケンスの一部について説明します。

(1) FMCTRL.FMCMD ビットを、0b0101（メインブロックのプログラムモード）か 0b1001（インフォメーションブロックのプログラムモード）に設定します。
(2) FMCTRL.BWSEL ビットで、フラッシュメモリライト時のビット幅を設定します。
(3) フラッシュメモリに書き込むデータを設定します。FMRPD3 レジスタを設定すると、書込み動作を開始します。なお、FMRPD3 レジスタにデータをライトしてから FMEXE.FMEXE ビットを 1 に設定した場合、17 µs 後にプログラム動作が開始されるため、注意が必要です。
(4) ライトを完了するまでに 46 µs を要します。FMRPD3 レジスタの設定から 46 µs 経過した後、FMRPD3 レジスタに次のデータを設定してください。FMRPD0～FMRPD2 レジスタは、待機中でも設定し直すことができます。OCD を使用した場合、アクセス間隔が非常に広いため、待ち時間を気にする必要はありません。
(5) 最後のカラム（カラム 31）の書込みが完了すると、FMEXE.FMEXE ビットは自動的にクリアされます。
(6) FMCTRL.FMIF ビットが自動的に 1 になります。FMCTRL.FMIE ビットが 1、かつ FMCTRL.FMIF ビットが 1 のとき、CPU に割込み要求を出力します。
(7) FMCTRL.FMIF ビットに 1 をライトして、このフラグをクリアしてください。

© SANKEN ELECTRIC CO., LTD. 2017

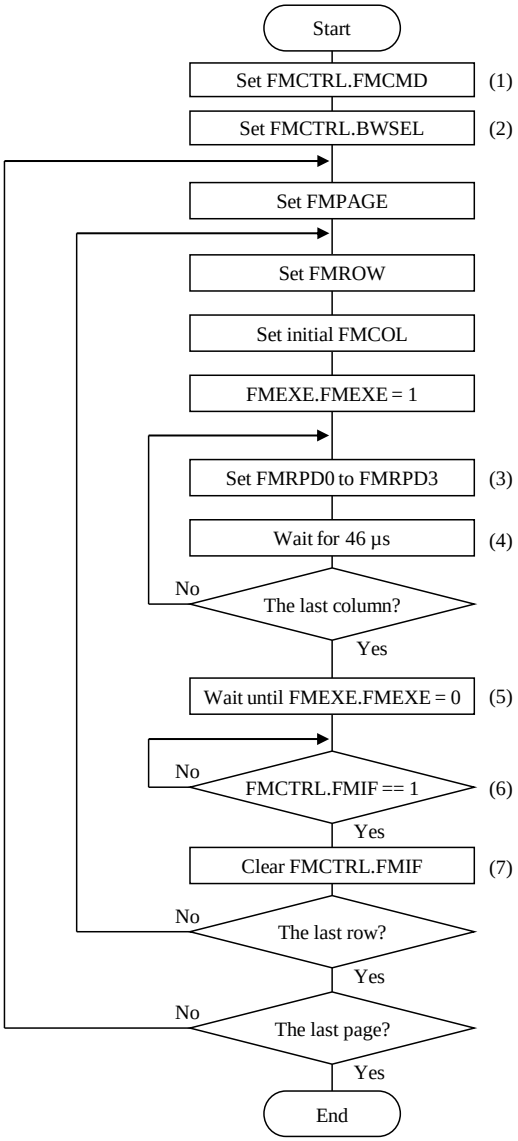


図 13-5　ロウプログラム動作シーケンス

FMPCR.PWAITS ビットは、カラムのプログラムが開始されるとクリアされ、カラムのプログラムが完了すると 1 にセットされます。次のカラムのプログラムを開始する場合は、FMPCR.PWAITS ビットが 1 になったことを確認してから、FMRPD3 レジスタを設定してください。また、FMRPD3 レジスタを設定した後、FMPCR.PWAITS ビットがクリアされたことを確認してから次の動作を行ってください。カラム 31 を書き終わった後、FMPCR.PWAITS ビットは自動的にクリアされないため、必ず FMPCR.PWAITS ビットをクリアしてください。

図 13-6 に FMPCR.PWAITS ビットを用いたプログラムの動作シーケンスを示します。また、以下にその動作シーケンスの一部について説明します。

(1) FMCTRL.FMCMD ビットを、0b0101（メインブロックのプログラムモード）か 0b1001（インフォメーションブロックのプログラムモード）に設定します。
(2) FMCTRL.BWSEL ビットで、フラッシュメモリライト時のビット幅を設定します。
(3) フラッシュメモリに書き込むデータを設定します。FMRPD3 レジスタを設定すると、書込み動作を開始します。なお、FMRPD3 レジスタにデータをライトしてから FMEXE.FMEXE ビットを 1 に設定した場合、17 µs 後にプログラム動作が開始されるため、注意が必要です。

© SANKEN ELECTRIC CO., LTD. 2017

(4) FMPCR.PWAITS = 0 であることを確認してください。
(5) カラムライトが完了（FMPCR.PWAITS = 1）するのを待ちます。完了を確認後、FMRPD0～FMRPD3 レジスタに次のデータを設定してください。
(6) 最後のカラム（カラム 31）のライトが完了すると、FMEXE.FMEXE ビットは自動的にクリアされます。
(7) FMCTRL.FMIF ビットが自動的に 1 になります。FMCTRL.FMIE ビットが 1、かつ FMCTRL.FMIF ビットが 1 のとき、CPU に割込み要求を出力します。
(8) FMCTRL.FMIF ビットに 1 をライトして、このフラグをクリアしてください。
(9) FMPCR.PWAITS ビットに 1 をライトして、このフラグをクリアしてください。

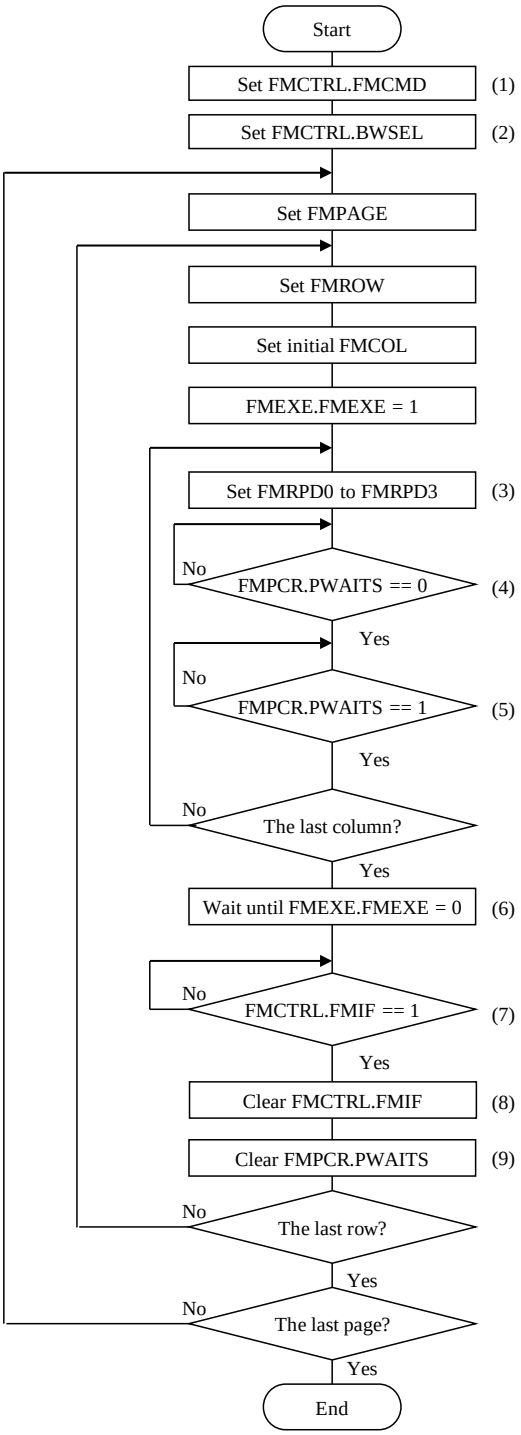


図 13-6　FMPCR.PWAITS ビット使用時のロウプログラム動作シーケンス

© SANKEN ELECTRIC CO., LTD. 2017

13.4.2.4. ロウリード

ロウリードモードには以下の 2 つのモードがあり、インフォメーションブロックかメインブロックの指定したアドレスからデータをリードします。

- メインブロックのリードモード（FMCTRL.FMCMD = 0b0100）
- インフォメーションブロックのリードモード（FMCTRL.FMCMD = 0b1000）

リードの対象ページは FMPAGE レジスタ、ロウは FMROW レジスタ、リード開始カラムは FMCOL レジスタで設定します。FMEXE.FMEXE ビットを 1 に設定すると、ロウデータをリードできるようになります。リードデータは、FMRPD0～FMRPD3 レジスタに格納されます。FMEXE.FMEXE ビットを 1 に設定してからリードデータが FMRPD0～FMRPD3 レジスタに格納されるまで、CLKFAST で 6 サイクル必要です。NOP 命令などでウェイトしてください。

FMRPD3 レジスタのリードが完了すると、FMCOL レジスタが自動的にインクリメントされます。FMRPD3 レジスタのリードが完了してから次のリードデータが FMRPD0～FMRPD3 レジスタに格納されるまで、CLKFAST で 3 サイクル必要です。NOP 命令などでウェイトしてください。

カラム 31 のリードが完了すると、FMEXE.FMEXE ビットはクリアされ、同時に、FMCTRL.FMIF ビットが 1 にセットされます。このとき、FMCOL レジスタは更新されません。FMCTRL.FMIE ビットが 1 に設定されていると、CPU に割込み要求を出力できます。FMCTRL.FMIF ビットは、割込みルーチン内でクリアしてください。

ロウリードを途中で終了させるときは、FMEXE.FMEXE ビットをクリアしてください。FMEXE.FMEXE ビットが 0 になると、ロウデータのリードが終了し、FMCTRL.FMIF ビットが 1 にセットされます。

図 13-7 にロウリードの動作シーケンスを示します。また、以下にその動作シーケンスの一部について説明します。

(1) FMCTRL.FMCMD ビットを、0b0100（メインブロックのリードモード）か 0b1000（インフォメーションブロックのリードモード）に設定します。
(2) FMEXE.FMEXE ビットに 1 をライトすると、読出し動作を開始します。
(3) FMRPD3 レジスタの読出しが終了すると、次のカラムの読出し動作が開始されます。
(4) 最後のカラム（COL = 31）の読出しが終了すると、FMEXE.FMEXE ビットは自動的にクリアされます。
(5) FMCTRL.FMIF ビットが自動的に 1 になります。FMCTRL.FMIE ビットが 1、かつ FMCTRL.FMIF ビットが 1 のとき、CPU に割込み要求を出力します。
(6) FMCTRL.FMIF ビットに 1 をライトして、このフラグをクリアしてください。

© SANKEN ELECTRIC CO., LTD. 2017

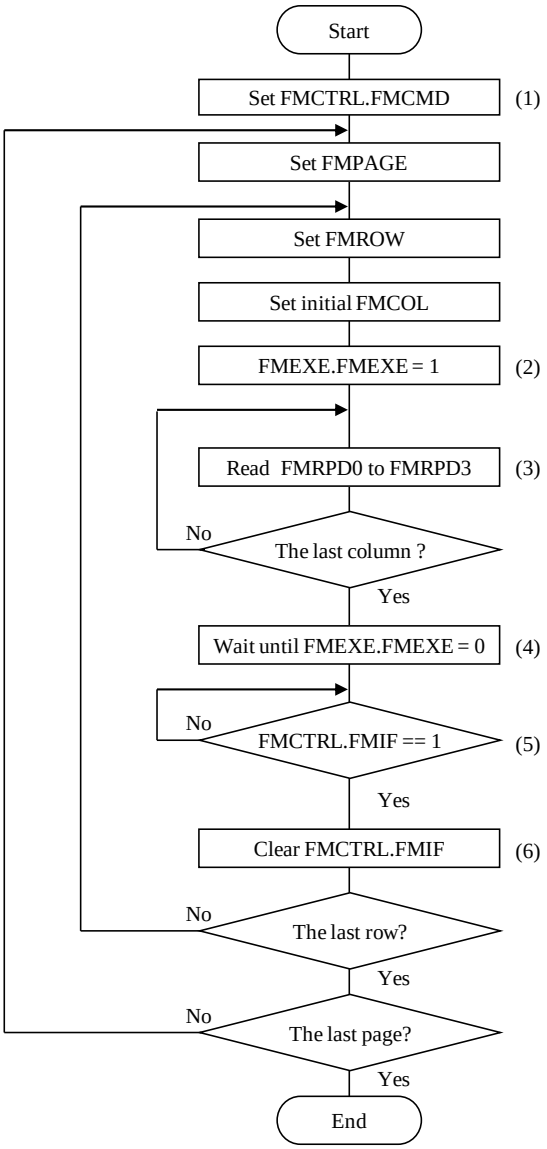


図 13-7　ロウリード動作シーケンス

© SANKEN ELECTRIC CO., LTD. 2017

13.4.2.5. プロテクト解除

プロテクト解除モードとは、現在のプロテクトレベルを下げるモードです。プロテクトレベルを下げるためには、フラッシュメモリのプロテクトをイネーブルにした際のプロテクトコードが必要です。FMCTRL.FMCMD ビットを 0b1111 に設定すると、プロテクト解除モードになります。プロテクトコードを、FMRPD0～FMRPD3 レジスタに設定します。FMEXE.FMEXE ビットを 1 に設定すると、プロテクト解除が実行されます。プロテクト解除が完了すると、FMEXE.FMEXE ビットはクリアされ、同時に、FMCTRL.FMIF ビットが 1 にセットされます。FMCTRL.FMIE ビットが 1 に設定されていると、CPU に割込み要求を出力できます。FMCTRL.FMIF ビットは、割込みルーチン内でクリアしてください。FMRPD0～FMRPD3 レジスタにライトしたプロテクトコードと、フラッシュメモリに書かれているプロテクトコードが一致すると、プロテクトレベルが 2 から 1 に下がります。一時的にプロテクトレベルを 1 にできるので、OCD を用いて LSI 内のリソースにアクセスできるようになります。

図 13-8 にプロテクト解除の動作シーケンスを示します。また、以下にその動作シーケンスの一部について説明します。

(1) FMCTRL.FMCMD ビットを、0b1111（プロテクト解除）に設定します。
(2) レベル 2 のプロテクトコードを、FMRPD0～FMRPD3 レジスタに設定してください。
(3) FMEXE.FMEXE ビットに 1 をライトすると、プロテクト解除が開始されます。
(4) プロテクト解除の完了を待ちます。完了すると、FMCTRL.FMIF ビットが 1 になります。
FMCTRL.FMIE ビットが 1、かつ FMCTRL.FMIF ビットが 1 のとき、CPU に割込み要求を出力します。
(5) FMCTRL.FMIF ビットに 1 をライトして、このフラグをクリアしてください。

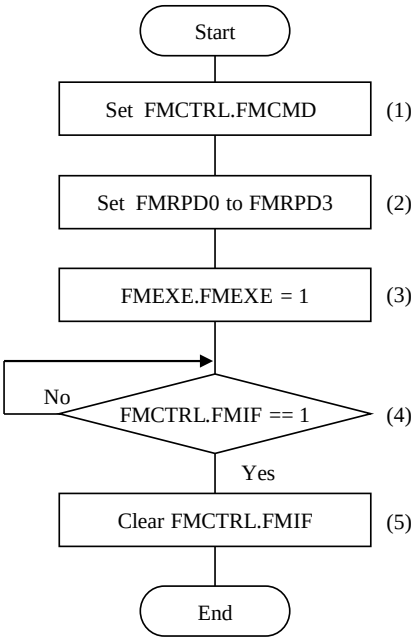


図 13-8 プロテクト解除動作シーケンス

© SANKEN ELECTRIC CO., LTD. 2017

13.4.2.6. 再プロテクト

再プロテクトは、プロテクト解除モードで格下げしたレベルを、再度設定する機能です。再プロテクト後のプロテクトレベルは、フラッシュメモリに書かれているレベル 2 のプロテクトコードの有無で決まります。

FMCTRL.FMCMD ビットを 0b1110 に、FMEXE.FMEXE ビットを 1 に設定すると、再プロテクトモードになります。再プロテクトが完了すると、FMEXE.FMEXE ビットはクリアされます。クリアされると同時に、FMCTRL.FMIF ビットが 1 にセットされます。FMCTRL.FMIE ビットが 1 に設定されていると、CPU に割込み要求を出力できます。FMCTRL.FMIF ビットは、割込みルーチン内でクリアしてください。

図 13-9 に再プロテクトの動作シーケンスを示します。また、以下にその動作シーケンスの一部について説明します。

(1) FMCTRL.FMCMD ビットを、0b1110（再プロテクト）に設定します。
(2) FMEXE.FMEXE ビットに 1 をライトすると、再プロテクトが開始されます。
(3) プロテクトの完了を待ちます。完了すると、FMCTRL.FMIF ビットが 1 になります。FMCTRL.FMIE ビットが 1、かつ FMCTRL.FMIF ビットが 1 のとき、CPU に割込み要求を出力します。
(4) FMCTRL.FMIF ビットに 1 をライトして、このフラグをクリアしてください。

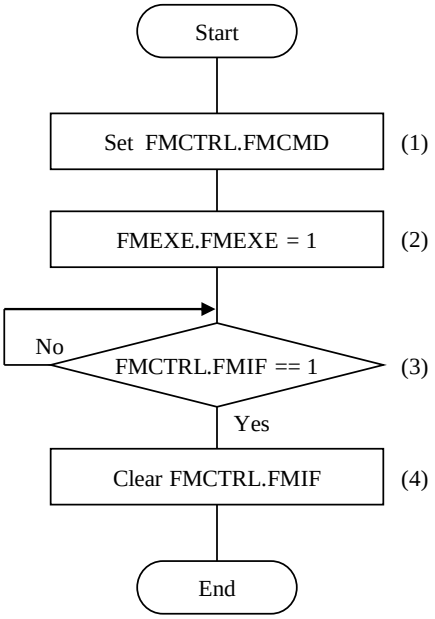


図 13-9 再プロテクト動作シーケンス

© SANKEN ELECTRIC CO., LTD. 2017

13.5. プロテクトレベル制御

プロテクトレベル制御は、悪意のある攻撃からプログラムを保護するために、フラッシュメモリへのプログラム、イレース、リードを制御します。また、OCD から LSI 内のリソースへのアクセスもプロテクトレベルで制限します。

● **プロテクトレベル 1**

以下の制御はできません。

- フラッシュメモリ（インフォメーションブロックとメインブロック）のマスイレース
- インフォメーションブロックのイレース
- インフォメーションブロックのロウ 0～ロウ 3 のプログラム／リード

● **プロテクトレベル 2**

- RAM 上のプログラムからのフラッシュメモリアクセスはできません。
- CPU 動作で（ユーザ使用時）、インフォメーションブロックのプログラム／リードは、ロウ 5～ロウ 7 のみ可能です。
- OCD からは、プロテクト解除モードのみ実行を許可、OCD による命令やデータフェッチなどのアクセスは、DEVER、FMCTRL、FMEXE レジスタのみ可能です。

表 13-4 に、プロテクトレベルごとのフラッシュメモリへの制御可否を示します。

表 13-4　フラッシュメモリへの制御可否

<table>
<tr><th colspan="2" rowspan="2">プロテクトレベル</th><th colspan="2">インフォメーションブロック</th><th colspan="4">メインブロック</th><th rowspan="2">プロテクト解除</th><th rowspan="2">再プロテクト</th><th rowspan="2">命令／データフェッチ</th></tr>
<tr><th>プログラム</th><th>リード</th><th>マスイレース</th><th>イレース</th><th>プログラム</th><th>リード</th></tr>
<tr><td rowspan="3">1</td><td>RAM 上のプログラム(1)</td><td rowspan="3">Yes
ロウ 4
～ロウ 7</td><td rowspan="3">Yes
ロウ 4
～ロウ 7</td><td rowspan="3">Yes</td><td rowspan="3">Yes</td><td rowspan="3">Yes</td><td rowspan="3">Yes</td><td rowspan="3">Yes</td><td rowspan="3">Yes</td><td rowspan="3">Yes</td></tr>
<tr><td>CPU 動作</td></tr>
<tr><td>OCD</td></tr>
<tr><td rowspan="3">2</td><td>RAM 上のプログラム(1)</td><td>No</td><td>No</td><td>No</td><td>No</td><td>No</td><td>No</td><td>No</td><td>No</td><td>No</td></tr>
<tr><td>CPU 動作</td><td>Yes
ロウ 5
～ロウ 7</td><td>Yes
ロウ 5
～ロウ 7</td><td>Yes</td><td>Yes</td><td>Yes</td><td>Yes</td><td>Yes</td><td>Yes</td><td>Yes</td></tr>
<tr><td>OCD</td><td>No</td><td>No</td><td>No</td><td>No</td><td>No</td><td>No</td><td>Yes</td><td>No</td><td>(2)</td></tr>
</table>

(1) MOVC 命令のオペランドリードを含む
(2) FMCTRL、FMEXE レジスタは R/W 可能、それ以外のレジスタにはアクセス不可

© SANKEN ELECTRIC CO., LTD. 2017

13.6. ランタイムフラッシュメモリ動作

フラッシュメモリ上でプログラムを実行している最中でも、フラッシュメモリのリード、プログラム、イレースができます（ランタイムフラッシュメモリ動作）。これは、システムのログをフラッシュメモリに書き込む場合などに有効です。ランタイムフラッシュメモリ動作でフラッシュメモリにアクセスしている間、CPU はウェイトされます。ランタイムフラッシュメモリ動作が終了すると、CPU のウェイトが解除され、CPU はプログラムの実行を再開します。命令バッファとデータバッファに格納されているエントリーは、ランタイムフラッシュメモリ動作が開始された段階で無効になります。

FMCTRL.RFOMD ビットを 1 に設定すると、ランタイムフラッシュメモリ動作がイネーブルになります。ランタイムフラッシュメモリ動作のリード／ライトは、指定された 1 カラムだけ実行します。終了時に、FMCOL レジスタは、自動でインクリメントされません。

図 13-10 にランタイムフラッシュメモリの動作シーケンス（1 カラムライト動作）を示します。また、以下にその動作シーケンスの一部について説明します。

(1) FMCTRL.FMCMD ビットを、0b0101（メインブロックのプログラムモード）か 0b1001（インフォメーションブロックのプログラムモード）に設定します。
(2) FMCTRL.BWSEL ビットで、フラッシュメモリライト時のビット幅を設定します。
(3) FMCTRL.RFOMD ビットを 1 に設定してください。
(4) フラッシュメモリに書き込むデータを、FMRPD0～FMRPD3 レジスタに設定してから、FMEXE.FMEXE ビットを 1 に設定してください。
(5) 書込みが完了すると、FMEXE.FMEXE ビットは自動的にクリアされます。
(6) FMCTRL.FMIF ビットが自動的に 1 になります。FMCTRL.FMIE ビットが 1、かつ FMCTRL.FMIF ビットが 1 のとき、CPU に割込み要求を出力します。
(7) FMCTRL.FMIF ビットに 1 をライトして、このフラグをクリアしてください。

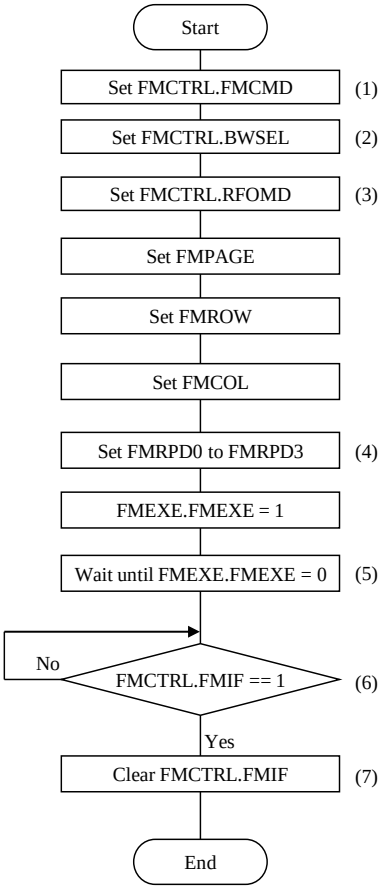


図 13-10　ランタイムフラッシュメモリ動作シーケンス（1 カラムライト動作）

© SANKEN ELECTRIC CO., LTD. 2017

図 13-11 にランタイムフラッシュメモリの動作シーケンス（1 カラムリード動作）を示します。また、以下にその動作シーケンスの一部について説明します。

(1) FMCTRL.FMCMD ビットを、0b0100（メインブロックのリードモード）か 0b1000（インフォメーションブロックのリードモード）に設定します。
(2) FMCTRL.RFOMD ビットを 1 に設定してください。
(3) FMEXE.FMEXE ビットに 1 をライトすると、読出しを開始します。
(4) FMRPD0～FMRPD3 レジスタから読出しをしてください。
(5) 読出しが完了すると、FMEXE.FMEXE ビットは自動的にクリアされます。
(6) FMCTRL.FMIF ビットが自動的に 1 になります。FMCTRL.FMIE ビットが 1、かつ FMCTRL.FMIF ビットが 1 のとき、CPU に割込み要求を出力します。
(7) FMCTRL.FMIF ビットに 1 をライトして、このフラグをクリアしてください。

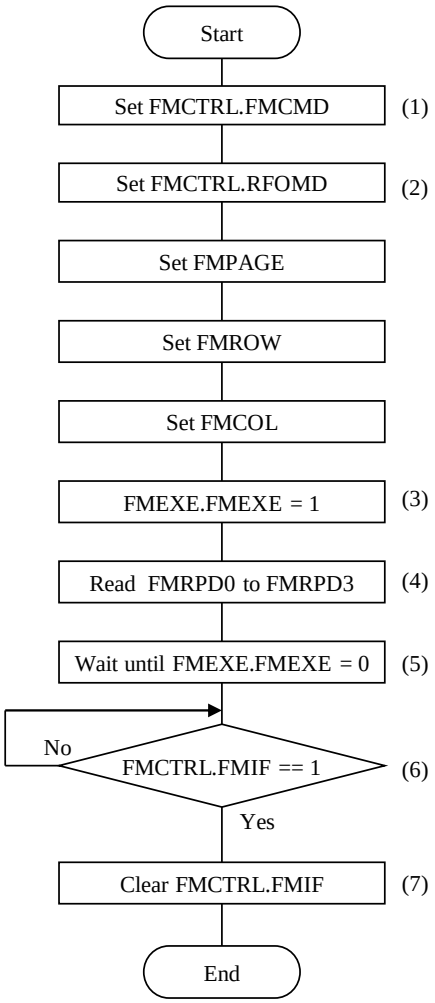


図 13-11　ランタイムフラッシュメモリ動作シーケンス（1 カラムリード動作）

© SANKEN ELECTRIC CO., LTD. 2017

13.7. 注意、制限事項

13.7.1. 低消費電力モードへの遷移

低消費電力モードに遷移する場合は、LPCTRL レジスタにライトした直後に NOP 命令が必要です。詳細は、4 項を参照してください。

13.7.2. ロウプログラム時間

1 ロウのプログラム時間（FMEXE.FMEXE ビットを 1 に保持している時間）は、4 ms 未満に設定してください。

13.7.3. 再プロテクト直後のイレース／プログラム（ライト）実行時の注意事項

フラッシュメモリを再プロテクトした直後のイレースやプログラム（ライト）は、ウェイト期間が入った後に、処理が実行されます。ウェイト期間は、FMTIME レジスタの値*によって決まります。FMTIME レジスタの設定については、13.2.1 項を参照してください。ウェイト期間が入った場合でも、フラッシュメモリ本体へのイレースやプログラム（ライト）は、正常に実行されます。再プロテクトを再度実行しなければ、以降のイレースやプログラム（ライト）時に、ウェイト期間は入りません。

本 LSI では、フラッシュメモリ上のプログラムであれば、プロテクトを解除することなく、フラッシュメモリのイレースやプログラム（ライト）ができます（表 13-4 参照）。フラッシュメモリ上のプログラムで動作する場合、プロテクトの解除処理や再プロテクト処理は不要です。

* たとえば、CLKFAST = 60 MHz のとき、FMTIME = 59 に設定すると、ウェイト期間は 32 ms になります。

© SANKEN ELECTRIC CO., LTD. 2017

14. TinyDSP

14.1. 概要

TinyDSP は、デジタルフィルタを計算するための専用処理ユニットです。CPU に依存しないため、CPU と TinyDSP は各動作を同時に処理できます。本 LSI は、2 つの TinyDSP を内蔵しており、同時に動作できます。

TinyDSP は、16 ビット固定小数点方式に基づいて計算しています。プログラムシーケンスは、乗算、除算、積和演算、シフト演算、ムーブ、ジャンプ、最小／最大飽和などの簡単な命令で構成できます。各 TinyDSP は、16 本の 16 ビットデータレジスタ（係数、一時データ、入出力データを格納）と、8 本の 16 ビット定数レジスタ（定数を格納）と、1 本の 36 ビットアキュムレータを有しています。また、システム性能を向上させるため、TinyDSP はハードウェア除算をサポートしています。

CPU、EPU、DSAC のいずれかからデータレジスタにライトして、計算シーケンスの開始などの制御をします。ユーザは、この計算スキームをすべて構成できます。

例として、スキーム全体を通じて、CPU を介さずに、すべての操作を実行するような構成にできます。DSAC は、本 LSI で発生したイベント（AD 変換完了など）をトリガとして TinyDSP にデータを転送できるため、内部ハードウェアから TinyDSP のトリガを送信できます。TinyDSP は、計算シーケンスを完了すると、DSAC などに対して起動要因となるイベントを生成できます。イベントを受けた DSAC は、TinyDSP の演算結果を PWM デューティとして高分解能 PWM に転送できます。以上のように TinyDSP へのトリガ送信から演算結果の転送まで、CPU から完全に独立させることができます。

表 14-1　TinyDSP 機能概要

項目	説明
ユニット数	2 ユニット
動作	16 ビット固定小数点
プログラムメモリ	48 ステップ（ユニットごとに独立）
データメモリ	16 ビットデータレジスタ：16 本 16 ビット定数レジスタ：8 本 36 ビットアキュムレータ：1 本
命令	乗算、除算、積和演算、シフト演算、ムーブ、ジャンプ、最小／最大飽和
ハードウェア除算器	内蔵
シーケンス制御	内部イベントで制御
イベント出力	任意のタイミングで出力可能（一部例外あり）
パフォーマンス	3P2Z IIR：10 サイクル

© SANKEN ELECTRIC CO., LTD. 2017

14.2. ブロック図

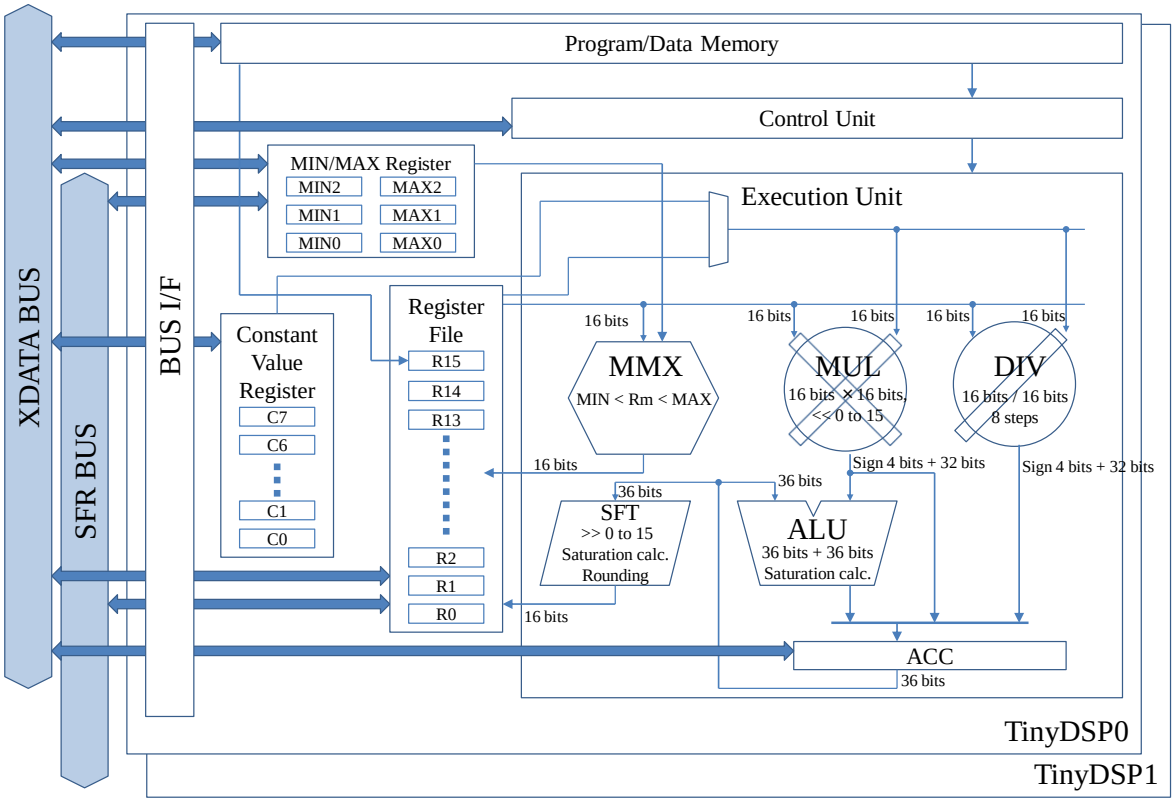


図 14-1 TinyDSP のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

14.3. リソース

● レジスタファイル（データレジスタ：**R0～R15**）

各ユニットには、16 ビットのデータレジスタを 16 本（R0～R15）含むレジスタファイルが、1 つずつあります。R0～R15 は、係数の格納、または内部メモリ（デジタルフィルタの遅延要素）に使用できます。R0～R7 は、SFR BUS を介してアクセスされます。R8～R15 は、XDATA BUS を介してアクセスされます。DSAC は、R0～R7 にしかアクセスできないので、DSAC の転送を有効に行うために、R0～R7 に ADC からの入力値や PWM デューティへの出力値を割り当てることを推奨します。レジスタファイルは、MUL、DIV、MMX の入力ポートに接続されています。

また、レジスタファイルは、ACC からシフト命令を介してデータを受信します。

● **ACC（Accumulator）**

各ユニットには、内部の計算結果を格納する 36 ビットのアキュムレータレジスタ（ACC）が、1 つずつあります。ACC は、ALU、MUL、DIV からの計算結果を受け取ります。ACC には、XDATA BUS からアクセスします。オーバフローした計算結果が ACC に出力される場合、オーバフローした計算結果は、正の最大値か負の最小値で飽和処理されます。

● **MUL（Multiplier）**

各ユニットには、32 ビットの乗算（16 ビット×16 ビット）をする乗算器が、1 つずつあります。MUL は R0～R15 からデータを受け取り、ALU か ACC に結果を出力します。

● **ALU（Arithmetic and Logical Unit）**

各ユニットには、36 ビットの加算（36 ビット＋36 ビット）をする算術論理ユニットが、1 つずつあります。

● **SFT（Shifter）**

各ユニットには、右シフト機能のみを備えたシフタが、1 つずつあります。SFT は ACC から 36 ビットのデータを受け取ります。受け取ったデータのうち 16 ビットを切り取り、切り取った 16 ビットを R0～R15 に出力します。右シフトする場合、オーバフローが発生する可能性があります。オーバフローが発生した場合、飽和処理が行われます。また、右シフトで切り捨てられる結果（LSB）は、最も近い値に丸められます。

● **DIV（Divider）**

各ユニットには、除算器が 1 つずつあります。この除算器の処理は次のとおりです。まず、除数の逆数をニュートンラプソン法により 16 ビット固定小数点数で算出します。次にこの除数の逆数と被除数を乗算して、32 ビットの結果を ACC に格納します。

DIV 操作は、MUL、ALU、ACC などのリソースを使用して処理されるため、内部には DIV の専用ハードウェアはありません。

● **MMX**

各ユニットには、飽和処理を行う MMX ユニットが、1 つずつあります。MMX は、R0～R15 からデータを受け取り、あらかじめ定義された最小値（MIN0～MIN2）と最大値（MAX0～MAX2）で飽和させ、同じレジスタに結果を格納します。TinyDSP には、最大値と最小値の値を保持するレジスタがあります。

● プログラム／データメモリ

各ユニットには、16 ビット長の命令を 48 ワード格納できるメモリが、1 つずつあります。このメモリには、TinyDSP の処理シーケンスを構成するための命令（16 ビット）と、LDR 関数用の定数を格納します。以降、このメモリを「プログラム／データメモリ」と呼びます。

● **CVR（Constant Value Register、C0～C7）**

各ユニットには、定数を格納するための 16 ビット定数レジスタが、8 本ずつあります（C0～C7）。CVR 機能がイネーブルの場合は、MUL 命令、MAC 命令、DIV 命令でこの定数レジスタを引数として使用できます。詳細は 14.9.1 項を参照してください。

● **LDR（Load Data Register）**

LDR 機能がイネーブルの場合、R15 レジスタは、プログラム／データメモリに格納された定数データを読み出すためのウィンドウとして使用できます。LDR 機能でアクセスできるプログラム／データメモリのアドレスは、32～47 です。詳細は 14.9.2 項を参照してください。

© SANKEN ELECTRIC CO., LTD. 2017

14.4. TinyDSP 命令

表 14-3 に TinyDSP 命令を示します。
ユーザは、前もってこれらの命令からシーケンスを構成し、プログラム／データメモリに格納しておく必要があります。MMX、MVS、RSF 以外の命令には、トリガ待機とイベント出力機能があります。

14.4.1. TinyDSP 命令フォーマット

TinyDSP 命令は以下のように構成されています。

● **TRIG_WAIT ビット**
トリガ待機フィールドは、命令の実行前にトリガを待つ場合に使用されます。TRIG_WAIT = 1 の場合はトリガを受けた後に命令を実行し、TRIG_WAIT = 0 の場合はトリガを待たずに命令を実行します。

● **TRIG_WHAT ビット**
トリガ選択フィールドで、TinyDSP レジスタ R0～R7 を選択します（表 14-2 参照）。選択したレジスタへの書込みが、TinyDSP の起動要因になります。

表 14-2　TRIG_WHAT ビット

レジスタ	ビット 14	ビット 13	ビット 12
R0	0	0	0
R1	0	0	1
R2	0	1	0
R3	0	1	1
R4	1	0	0
R5	1	0	1
R6	1	1	0
R7	1	1	1

● **EVENT ビット**
イベントフィールドは、イベント出力制御に使用されます。EVENT = 1 の場合はイベントを出力し、EVENT = 0 の場合はイベントを出力しません。

● **OPCODE ビット**
オペコードフィールドは、TinyDSP が実行する命令を指定します。詳細は 14.4.2 項を参照してください。

● **FIELD A／B ビット**
FIELD A／B フィールドでは命令の Rn、Rm、#n を指定します。Rn、Rm はそれぞれ、データレジスタ R0～R15 から選択されます。#n はシフトビットのサイズです。

© SANKEN ELECTRIC CO., LTD. 2017

表 14-3　TinyDSP 命令

<table>
<tr><th colspan="8">命令フォーマット</th><th rowspan="3">命令</th><th rowspan="3">動作</th><th rowspan="3">実行周期</th></tr>
<tr><th colspan="3">MSB（ビット 15～8）</th><th colspan="5">LSB（ビット 7～0）</th></tr>
<tr><th>TRIG_WAIT</th><th>TRIG_WHAT</th><th>EVENT</th><th colspan="3">OPCODE</th><th colspan="2">FIELD A</th><th>FIELD B</th></tr>
<tr><td>0</td><td>001</td><td>0</td><td rowspan="3">0</td><td rowspan="3">0</td><td rowspan="3">0</td><td colspan="2">Rm</td><td>#n</td><td>#k</td><td>0x0 MMX</td><td>If (Rm > MAXn) Rm ← MAXn;
Else if (Rm < MINk)
Rm ← MINk;
#n > 2 → #n = 0</td><td>1</td></tr>
<tr><td>0</td><td>010</td><td>0</td><td colspan="2">Rm</td><td>MAX/MIN</td><td>#n</td><td>0x0 MVS</td><td>FIELD_B[3] = 0
MAXn ← Rm
FIELD_B[3] = 1
MINn ← Rm
#n > 2: No-operation (NOP)</td><td>1</td></tr>
<tr><td>T</td><td>WHAT</td><td>E</td><td colspan="2">Don’t care</td><td colspan="2">Don’t care</td><td>0x0 NOP</td><td>No-operation (NOP)</td><td>1</td></tr>
<tr><td rowspan="2">T</td><td rowspan="2">WHAT</td><td rowspan="2">E</td><td rowspan="2">0</td><td rowspan="2">0</td><td rowspan="2">1</td><td>0</td><td colspan="3">Next PC</td><td>0x1 JMP</td><td>Jump</td><td>1</td></tr>
<tr><td>1</td><td colspan="3">LoadAddr</td><td>0x1 LDD</td><td>R15 ← Memory[LoadAddr]
LDA = LoadAddr + 1</td><td>1</td></tr>
<tr><td>T</td><td>WHAT</td><td>E</td><td>0</td><td>1</td><td>0</td><td colspan="2">Rm</td><td colspan="2">Rn</td><td>0x2 MUL</td><td>ACC ← Rn × Rm</td><td>1</td></tr>
<tr><td>T</td><td>WHAT</td><td>E</td><td>0</td><td>1</td><td>1</td><td colspan="2">Rm</td><td colspan="2">Rn</td><td>0x3 MAC</td><td>ACC ← ACC + Rn × Rm</td><td>1</td></tr>
<tr><td>T</td><td>WHAT</td><td>E</td><td>1</td><td>0</td><td>0</td><td colspan="2">Rm</td><td colspan="2">Rn</td><td>0x4 DIV</td><td>ACC ← Rn/Rm</td><td>8</td></tr>
<tr><td>T</td><td>WHAT</td><td>E</td><td>1</td><td>0</td><td>1</td><td colspan="2">Rm</td><td colspan="2">#n</td><td>0x5 LSF</td><td>ACC ← Rm << #n</td><td>1</td></tr>
<tr><td>T/#n[4]</td><td>WHAT</td><td>E</td><td>1</td><td>1</td><td>0</td><td colspan="2">Rm</td><td colspan="2">#n[3:0]</td><td>0x6 RSF</td><td>Rm ← ACC >> #n</td><td>1</td></tr>
<tr><td>T</td><td>WHAT</td><td>E</td><td>1</td><td>1</td><td>1</td><td colspan="2">Rm</td><td colspan="2">Rn</td><td>0x7 MVC</td><td>Chain movement (delay element)
Rm ← Rm-1 ←…← Rn+1 ← Rn
Initial Rm is discarded.
Rn is kept at the same value.</td><td>1</td></tr>
</table>

14.4.2. 命令セット

● **0x0**

- **MMX**

MMX 命令が実行されると、Rm を最大値と最小値の両方に飽和処理します。Rm が最大値以上の場合は、Rm に最大値を格納します。Rm が最小値以下の場合は、Rm に最小値を格納します。最大値と最小値はそれぞれ 3 つあります。MMX 命令で使用する最大値と最小値は、命令コードの FIELD B に配置されているビットで指定します。最大値はビット 3～2、最小値はビット 1～0 で、それぞれ指定できます。ビット 3～2 の値を#n、ビット 1～0 の値を#k とします。#n や#k を 2 よりも大きな値に設定した場合、その値はいずれも 0 として処理されます。MMX 命令には、トリガ待機とイベント出力の機能はありません。MMX 命令を使用する場合は、TRIG_WAIT と EVENT フィールドを 0、TRIG_WHAT を 1 に設定してください。

- **MVS**

MVS 命令が実行されると、DSPnMAX レジスタか DSPnMIN レジスタを Rm の値に更新します。どちらのレジスタを更新するかは、命令コードのビット 3～0 で設定します。ビット 3 が 0 の場合は DSPnMAX レジスタが更新され、ビット 3 が 1 の場合は DSPnMIN レジスタが更新されます。また、ビット 2～0 で#n の値を指定します。#n を 2 よりも大きな値に設定した場合、命令コードは NOP 命令と判断されます。MVS 命令を使う場合は、TRIG_WAIT と EVENT フィールドを 0、TRIG_WHAT を 2 に設定してください。

- **NOP**

NOP 命令が実行されると、プログラムカウンタ（PC）を進めます。他は何もしません。MMX 命令でも

© SANKEN ELECTRIC CO., LTD. 2017

MVS 命令でもない場合、命令コードは NOP 命令と判断されます。MMX 命令は、TRIG_WAIT と EVENT フィールドが 0、TRIG_WHAT が 1 の場合、MVS 命令は、TRIG_WAIT と EVENT フィールドが 0、TRIG_WHAT が 2 の場合です。

● **0x1**

- **JMP**

JMP 命令が実行されると、プログラムカウンタ（PC）を特定の位置に変更します。ジャンプアドレスは 7 ビット長ですが、最上位ビットは無視されます。命令のビット 7 が 0 の場合か、LDR 機能がディスエーブルの場合に、命令コードは JMP 命令であると判断されます。

- **LDD**

LDD 命令が実行されると、TinyDSP は、プログラム／データメモリからデータを読み出し、R15 に格納します。LDD の転送元アドレスは 7 ビット長ですが、最上位ビットは無視されます。LDR 機能がイネーブルで、かつ命令のビット 7 が 1 の場合に、命令コードは LDD 命令であると判断されます。LDD 命令の詳細は、14.9.2 項を参照してください。

● **0x2 MUL**

MUL 命令が実行されると、Rn（16 ビット）と Rm（16 ビット）を乗算した 32 ビットの結果を 36 ビットに符号拡張し、ACC に格納します。

● **0x3 MAC**

MAC 命令が実行されると、Rn（16 ビット）と Rm（16 ビット）を乗算した 32 ビットの結果を、36 ビットに符号拡張し、ACC の値（36 ビット）に加算して ACC に格納します。加算した際に、正の方向にオーバフローすると、ACC には 0x7_FFFF_FFFF に飽和した値が格納されます。加算した際に、負の方向にオーバフローすると、ACC には 0x8_0000_0000 に飽和した値が格納されます。

● **0x4 DIV**

DIV 命令が実行されると、最初に 16 ビットの除数 Rm の逆数（1/Rm）を近似的に導出し、その結果を内部で 16 ビットの固定小数点数に変換します。次に、その変換した値に被除数 Rn（16 ビット）を掛け、36 ビットに符号拡張した値を ACC に格納します。DIV 命令には、通常モードと高精度モードの 2 つの計算モードがあります。DIV 命令の計算モードは、DSPnCTRL2.HPDIV ビットで設定します。除数 Rm が大きい場合、高精度モードを使用すると、計算結果の精度が向上します。どちらのモードも 8 サイクルで実行されます。

小数点は、ユーザの想定でのみ存在します。除数 Rm の小数点がビット 1 とビット 0 の間（Q1）にある場合、除数 Rm の逆数（1/Rm）の小数点は、ビット 14 とビット 13 の間（Q14）に位置します。また、Rn の小数点がビット 1 とビット 0 の間（Q1）にある場合、最終的に ACC に格納される値の小数点は、ビット 15 とビット 14 の間（Q1×Q14 = Q15）に位置します。ユーザが選択した ACC 内の任意の 16 ビットフィールドの値を、RSF 命令を使用してレジスタファイル（14.3 項参照）に格納できます。実行に複数のサイクルを必要とするのは、DIV 命令のみです。

● **0x5 LSF**

LSF 命令が実行されると、Rm を n ビット左シフトして、ACC に値を格納します。左シフトする際、Rm の符号を用いて符号拡張されます。下位ビットは 0 で埋められます。

● **0x6 RSF**

RSF 命令が実行されると、ACC を n ビット右シフトして、その値を Rm に格納します。右シフトする量に合わせて 36 ビットの ACC から 16 ビットのデータが切り取られ、Rm に値が出力されます。右シフトした際に、オーバフローが発生した場合は、飽和処理され、その結果が Rm に格納されます。また、右シフトで切り捨てられる結果（LSB）は、最も近い値に丸められます。

RSF 命令には、トリガ機能を使用できるモードとできないモードがあります。トリガ機能を使用できるモードは、右シフトできる範囲は 0～15 です。トリガ機能を使用できないモードは、右シフトできる範囲が 0～31 です。どちらのモードを使用するかは、DSPnCTRL2.EXRSF ビットで設定します。

© SANKEN ELECTRIC CO., LTD. 2017

● **0x7 MVC**

MVC 命令が実行されると、レジスタファイル内のデータを連鎖的に移動（チェーン移動）し、デジタルフィルタの遅延要素を実装します。チェーン移動のターゲットは、連続した番号のデータレジスタです。命令フィールドにおいて、m が n より大きい場合、Rm は Rm−1 から、Rm−1 は Rm−2 から、最後に Rn＋1 は Rn から値を受け取ります。MVC 命令を実行する前の Rm の値は破棄されます。Rn の値は、MVC 命令実行後も変化しません。m が n 以下の場合は、MVC 命令は NOP 命令と同様の動作になります。

14.5. 操作

TinyDSP の操作手順と動作は以下のとおりです。

(1) TinyDSP は、あらかじめ次の設定が必要です。

- プログラム／データメモリにプログラムシーケンスを設定
- R0～R15、C0～C7 の初期値（デジタルフィルタの係数や遅延要素など）を設定

(2) DSPnCTRL.DSPE ビットをセットして TinyDSP をイネーブルにします。
命令シーケンスのプログラムカウンタ（PC）の初期値は、事前に設定できますが、通常は PC = 0x00 からプログラムシーケンスを開始します。

(3) TinyDSP 命令シーケンスが開始されます。TinyDSP 命令の TRIG_WAIT フラグがセットされている場合は、トリガが発生するまで、TinyDSP 命令は実行されません。データレジスタが更新（値の書込み）されると、トリガが発生します。データレジスタは、R0～R7 から選択します。R0～R7 は、TRIG_WHAT フィールドで設定します（表 14-2 参照）。トリガが検出されると、TinyDSP は、トリガに設定されていた命令を実行して次の PC アドレスの処理に進みます。

(4) TinyDSP 命令を再開するためのトリガについては、14.11.11 項の DSPnTRG レジスタの説明を参照してください。例として、表 14-3 の TinyDSP 命令フィールドを TRIG_WAIT = 1、TRIG_WHAT = 3 にした場合を説明します。これは、TinyDSP 命令のトリガ設定により、TinyDSP が、CPU、EPU、DSAC のいずれかによる R3 の更新を待っている状態です。

(5) DSPnTRG.SET_R3 ビットが 0 の場合、命令は実行前に中断されます。CPU、EPU、DSAC のいずれかが R3 に新しい値を書き込むと、DSPnTRG.SET_R3 ビットが自動的にセットされ、TinyDSP 命令の実行が再開されます。このとき、DSPnTRG.SET_R3 ビットは自動的にクリアされます。TinyDSP 命令の実行前に CPU か DSAC が R3 を更新し、DSPnTRG.SET_R3 ビットがセットされた場合、TinyDSP 命令は中断せずに直ちに実行を再開し、DSPnTRG.SET_R3 ビットがクリアされます。TinyDSP 動作中に、CPU が DSPnTRG レジスタにアクセスする必要はありませんが、再度、初期化する場合は、CPU から DSPnTRG レジスタにアクセスできます。

(6) TinyDSP 命令のシーケンスの間に、その PC が最終アドレス（0x2F）に到達すると、PC は 0x00 に戻されます。TinyDSP は命令シーケンスを続行します。

(7) EVENT = 1 の命令が完了すると、TinyDSP 割込みフラグ（DSPnCTRL.DSPIF ビット）が 1 にセットされます。また、内部イベントパルスが他のモジュールに向けて生成されます。DSPnCTRL.DSPIE ビットがセットされている場合は、割込み信号がアサートされます。

(8) TinyDSP 命令実行中に飽和処理が発生した場合は、DSPnCTRL.DSP_SA ビット（ALU 用）か DSPnCTRL.DSP_SS ビット（Shifter 用）が 1 にセットされます。CPU には、飽和処理が発生したことだけ通知されます。各フラグは CPU でクリアできます。

(9) DSPnDBG.DSP_DBG ビットが 1 の場合、TinyDSP はデバッグモードに入ります。デバッグモードでは、DSP は、プログラムシーケンスをステップ動作で実行します。DSPnDBG.DSP_DBG = 1 の状態で、DSPnDBG.DSP_STP ビットに 1 をライトした場合のみ、ステップ動作が実行されます。DSPnDBG.DSP_DBG と DSPnDBG.DSP_STP が同時にセットされた場合は、ステップ動作は実行されません。TinyDSP 命令の TRIG_WAIT フラグがセットされている場合でも、強制的にこのステップ動作の命令を実行します。PC が最終アドレスを指定した場合、PC は 0x00 に戻され、ステップ動作は最初のアドレスから繰り返されます。

(10) CPU、EPU、DSAC のいずれかと TinyDSP からアクセスできるレジスタかストレージリソースに関して、CPU、EPU、DSAC のいずれかと TinyDSP が、同じリソースに同時にアクセスした場合は、CPU、EPU、DSAC のアクセスが優先されます。

© SANKEN ELECTRIC CO., LTD. 2017

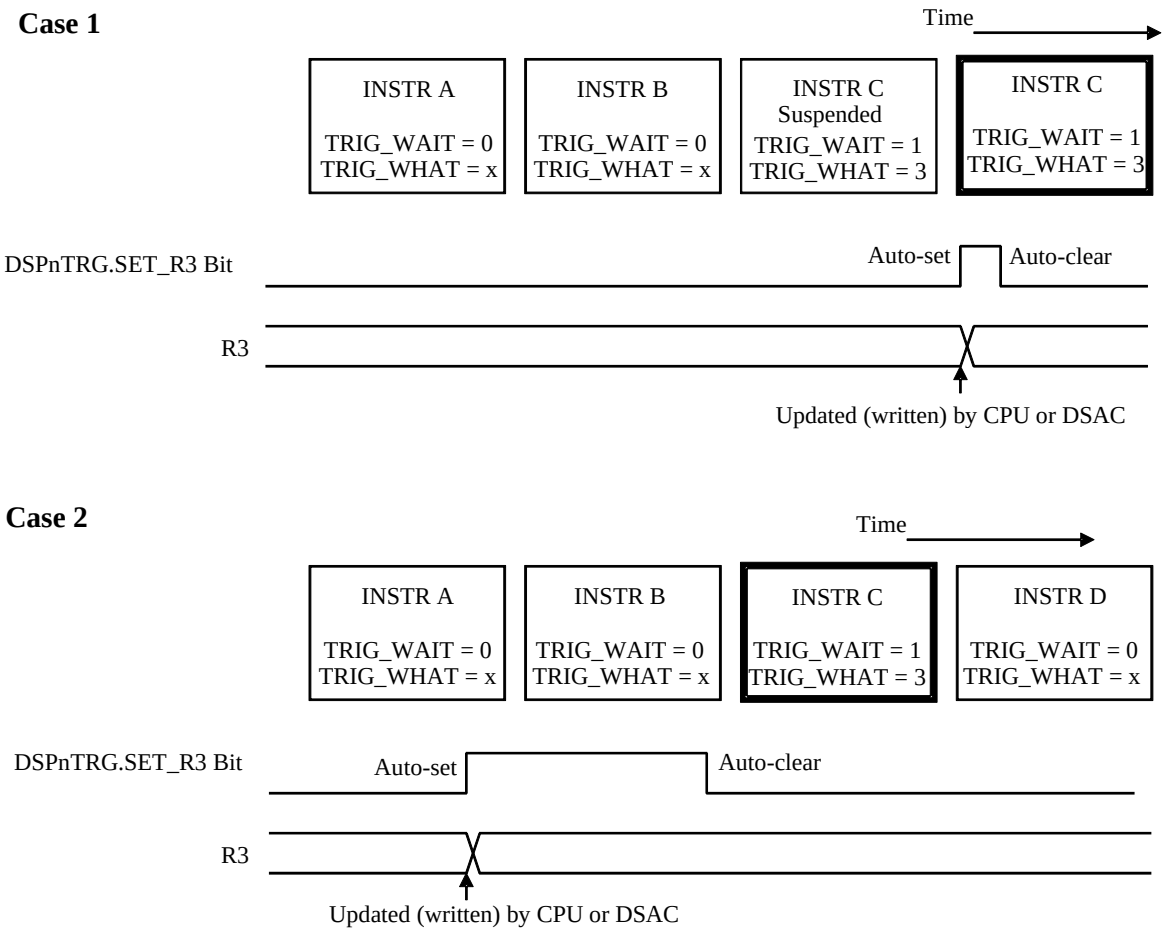


図 14-2　命令シーケンスのトリガ動作

14.6.　16 ビットレジスタアクセス

レジスタファイルのデータレジスタ（R8～R15）と、定数レジスタ（C0～C7、MAX0～MAX2、MIN0～MIN2）は、すべて 16 ビット幅です。これら 16 ビット幅のレジスタは、下位バイト（LSByte）と上位バイト（MSByte）レジスタで構成されています。

データレジスタ（R8～R15）と、すべての定数レジスタには、XDATA BUS 領域にある以下のアドレスから、それぞれ 3 つのアドレスが割り当てられています。

- TinyDSP0：00xF788～0xF78F、0xF798～0xF79F、0xF7A8～0xF7AD
- TinyDSP1：0xF808～0xF80F、0xF818～0xF81F、0xF828～0xF82D

3 つのアドレスうちの 1 つには、LSByte と MSByte が割り当てられています。残りの 2 つのアドレスは連続しており、アドレスの小さい方に LSByte、大きい方に MSByte が割り当てられています。

また、データレジスタ（R0～R7）と定数レジスタ（MAX0～MAX2、MIN0～MIN2）は、SFR 領域にそれぞれ 1 つのアドレスが割り当てられています。同じアドレスに LSByte と MSByte が割り当てられています。

16 ビットレジスタには、LSByte、MSByte の順に連続でライトする必要があります。LSByte をライトすると、LSByte 用の一時レジスタにライトした LSByte の値が格納されます。次に MSByte をライトすると、LSByte 用の一時レジスタの値と MSByte の値が、同時に 16 ビットレジスタにライトされます。16 ビットレジスタからデータをリードする場合も、LSByte、MSByte の順に連続でリードする必要があります。最初に LSByte をリードしたときは、16 ビットレジスタの値のうち、LSByte 値だけリードされ、MSByte 値は専用の一時レジスタに格納されます。次のリード時に、一時レジスタから MSByte 値がリードされます。

© SANKEN ELECTRIC CO., LTD. 2017

DSPnMAXxL／H レジスタと DSPnMINxL／H レジスタは、XDATA BUS 領域と SFR BUS 領域の両方にアドレスを持っています。SFR BUS アクセスと XDATA BUS アクセスが競合した場合は、XDATA BUS の書込みが優先されます。

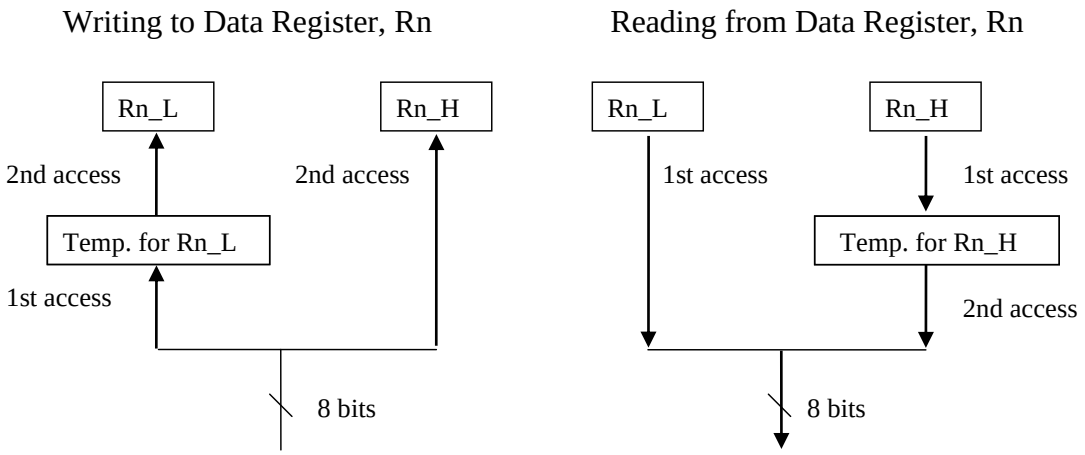


図 14-3　データレジスタアクセス

16 ビットレジスタの LSByte と MSByte のアクセス状態は、それぞれ CPU、DSAC、EPU のアクセスカウンタで以下のように管理されています。

● **CPU**

CPU が 16 ビットレジスタからデータを読み出すと、CPU アクセスカウンタがインクリメントされます。XDATA BUS と SFR BUS には、個別にアクセスカウンタがあります。DSPnRST.CPUACCLA ビットを 1 に設定すると、SFR BUS の CPU アクセスカウンタと XDATA BUS の CPU アクセスカウンタの両方がクリアされ、CPU は LSByte を読み出す状態になります。

● **DSAC**

DSAC が R0～R7、MIN0～MIN2、MAX0～MAX2 のいずれかのレジスタからデータを読み出すと、DSAC アクセスカウンタがインクリメントされます。DSPnRST.DSACACCLA ビットに 1 をセットすると、DSAC アクセスカウンタはクリアされ、DSAC は LSByte を読み出す状態になります。DSAC は、SFR 領域に割り当てられたレジスタに 16 ビットデータを直接読み書きできます。16 ビットデータに直接アクセスする方法については、11 項を参照してください。

● **EPU**

EPU が XDATA BUS を介して 16 ビットレジスタからデータを読み出すと、EPU アクセスカウンタがインクリメントされます。DSPnRST.EPUCACCLA ビットに 1 をセットすると、EPU アクセスカウンタがクリアされ、EPU は LSByte を読み出す状態になります。EPU は、SFR 領域にバッファを持たないため、EPU が SFR BUS を介して TinyDSP の 16 ビットレジスタにアクセスする場合は、必ず 16 ビットでアクセスしてください。

© SANKEN ELECTRIC CO., LTD. 2017

14.7. イベント出力

各 TinyDSP から、それぞれ 2 本のイベント（イベント 0、イベント 1）を DSAC に出力できます。

- TinyDSP0 Event0
- TinyDSP0 Event1
- TinyDSP1 Event0
- TinyDSP1 Event1

イベント出力は、各命令コードのイベントフィールドで制御されます。イベント 0、イベント 1 は、以下のように選択します。TinyDSP がイベント 0 かイベント 1 を出力すると、割込みフラグである DSPnCTRL.DSPIF ビットがセットされます。

- イベント 0：EVENT = 1、TRIG_WHAT != 7
- イベント 1：EVENT = 1、TRIG_WHAT = 7

ここで、イベントは TinyDSP 命令に応じて、以下のように出力されます。

- TRIG_WAIT = 1 かつ EVENT = 1 かつ TRIG_WHAT != 7 場合
  TinyDSP 命令は TRIG_WAIT で指定したレジスタへの書込みを待ちます。レジスタへの書き込みをトリガとして TinyDSP は命令を実行します。命令の処理が完了するとイベント 0 を出力します。
- EVENT = 1 かつ TRIG_WAIT = 1 かつ TRIG_WHAT = 7 の場合
  TinyDSP は R7 への書込みを待ちます。レジスタへの書き込みをトリガとして TinyDSP は命令を実行します。命令の処理が完了するとイベント 1 を出力します。

14.8. プログラム／データメモリ

命令やデータを格納するプログラム／データメモリには、48 命令を格納できます（表 14-4、表 14-5 参照）。プログラム／データメモリは、独自のアドレス空間（0x00～0x2F）を持っています。このアドレスには 1 アドレスに 16 ビット（1 命令、1 データ）が割り当てられています。プログラム／データメモリにデータをライトする場合は、まず、データをライトしたいアドレスを、DSPn_PRG_ADR レジスタにライトします。次に、ライトしたいデータの LSByte を DSPn_PRG_DATL レジスタに、MSByte を DSPn_PRG_DATH レジスタにライトします。バッファ機能はありません。ライトしたデータは、LSByte と MSByte にそれぞれライトした時点で、プログラム／データメモリに反映されます。プログラム／データメモリからデータをリードする場合は、リードしたいアドレスを、DSPn_PRG_ADR レジスタにライトします。これで、リードしたいデータの LSByte を DSPn_PRG_DATL レジスタから、MSByte を DSPn_PRG_DATH レジスタからリードできるようになります。ライトする場合と同様にバッファ機能はありません。

表 14-4　命令を保持するためのプログラム／データメモリ

	MSB（ビット 15）　　LSB（ビット 0）	
Address（PC） （DSPn_PRG_ADR）	命令を保持するためのプログラム／データメモリ（16 ビット幅） （DSPn_PRG_ADR レジスタは CPU データ領域に割り当てられています）	
0x00～0x2F	DSPn_PRG_DATH	DSPn_PRG_DATL

表 14-5　データを保持するためのプログラム／データメモリ

	MSB（ビット 15）　　LSB（ビット 0）	
Address（LDA） （DSPn_PRG_ADR）	LDR 用定数データ（16 ビット幅） （DSPn_PRG_ADR レジスタは CPU データ領域に割り当てられています）	
0x20～0x2F	DSPn_PRG_DATH	DSPn_PRG_DATL

© SANKEN ELECTRIC CO., LTD. 2017

14.9. 係数の保持機能

TinyDSP の係数情報は、R0～R15、C0～C7、およびプログラム／データメモリに保持されます。

14.9.1. CVR 機能

CVR 機能は、C0～C7 に係数を保持する機能です。

命令コード中の FIELD B は、通常モードでは R0～R7 を意味しますが、CVR モードでは C0～C7 を意味します。CVR モードのイネーブルは、DSPnCNSTEN レジスタで設定します。さらに、FIELD B に指定できる値 0～15 のうち、C0～C7 に 0～7 を割り当てるか、8～15 を割り当てるかを、DSPnCTRL2.CNSTSEL ビットで設定できます。MUL 命令、MAC 命令、DIV 命令が実行されると、CVR 機能が動作します。

DSPnCTRL2.CNSTSEL = 0 の場合、FIELD B の 0～7 は R0～R7 に割り当てられ、FIELD B の 8～15 は R8～R15 か C0～C7 に割り当てられます。R8～R15 か C0～C7 は、DSPnCNSTEN レジスタの設定に従います。例として、DSPnCNSTEN レジスタが 0x01 の場合は、FIELD B の 8 のみ C0 に割り当てられます。

DSPnCTRL2.CNSTSEL = 1 の場合、FIELD B の 8～15 は R8～R15 に割り当てられ、FIELD B の 0～7 は R0～R7 か C0～C7 に割り当てられます。R0～R7 か C0～C7 は、DSPnCNSTEN レジスタの設定に従います。例として、DSPnCNSTEN レジスタが 0x01 の場合は、FIELD B の 0 のみ C0 に割り当てられます。

14.9.2. LDR 機能

LDR 機能は、プログラム／データメモリに係数を保持する機能です。

LDR モード（DSPnCTRL2.LDEN = 1）では、MUL 命令、MAC 命令、DIV 命令は、プログラム／データメモリ内の定数データを参照できます。LDR モードを使用する場合は、まず LDD 命令を使用して、LDR 機能を初期化することを推奨します。

LDD 命令を実行すると、LoadAddr フィールドに示されるプログラム／データメモリのアドレスの値を R15 に転送します。これにより、LoadAddr＋1 の値が DSPnLDA レジスタに設定されます。プログラム／データメモリのアドレスのうち、16 本のレジスタ（32～47）を、LDR 機能のデータ領域に使用できます。

MUL 命令、MAC 命令、DIV 命令において、命令コードの FIELD B が 15（0b1111）の場合、各命令は R15 に格納されたプログラム／データメモリの値を使用します。各命令の実行後、DSPnLDA レジスタに示されているアドレスに格納されたプログラム／データメモリを R15 に転送し、DSPnLDA レジスタを 1 だけインクリメントします。LDR 機能は CVR 機能より優先されます。

図 14-4 に LDD 命令のブロック図を、図 14-5 に LDR 機能のブロック図を示します。

14.9.3. CVR 機能と LDR 機能の優先度

LDR の優先度は CVR よりも高く設定されています。LDR 機能がイネーブルで、C7 が FIELD B = 15 に割り当てられている場合、LDR 機能が優先され、R15 に格納されている値が使用されます。

© SANKEN ELECTRIC CO., LTD. 2017

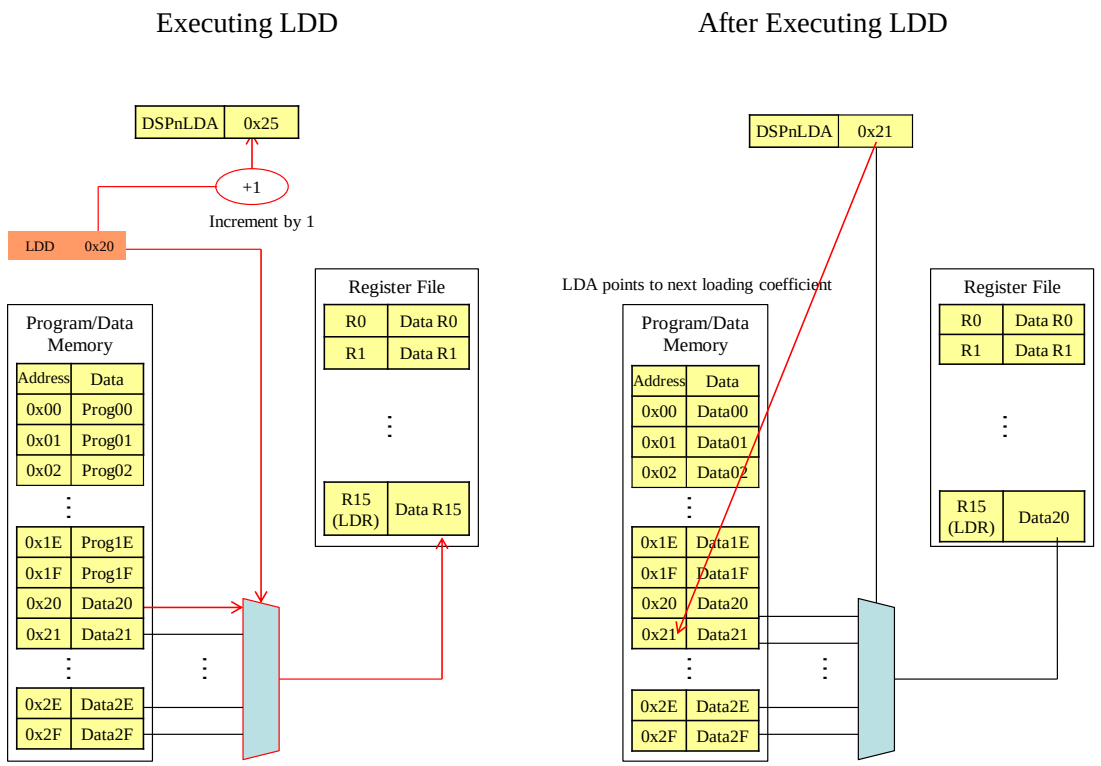


図 14-4　LDD 命令のブロック図

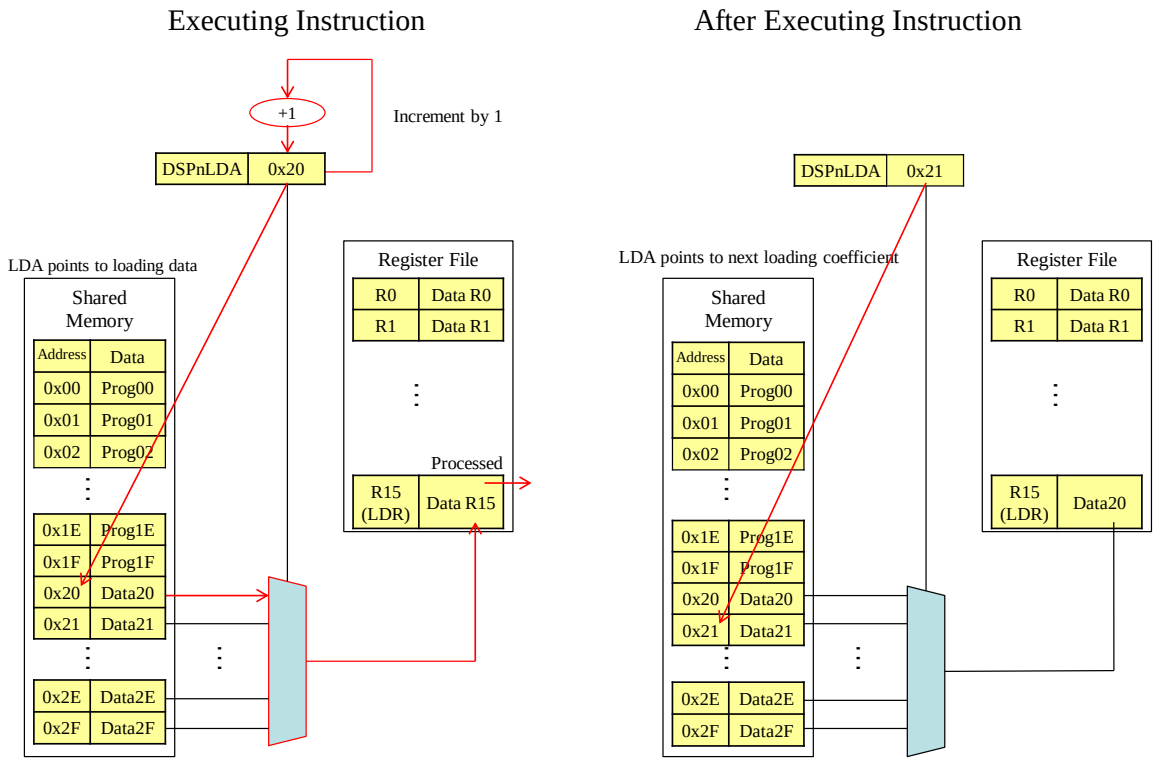


図 14-5　LDR 機能のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

14.10. アプリケーション例

図 14-6 と図 14-7 にデジタルフィルタアプリケーションの実装例を示します。2 つのアプリケーションのフィルタは同じものですが、図 14-6 は LDR 機能を使用しないで実装したアプリケーション例、図 14-7 は LDR 機能を使用して実装したアプリケーション例です。

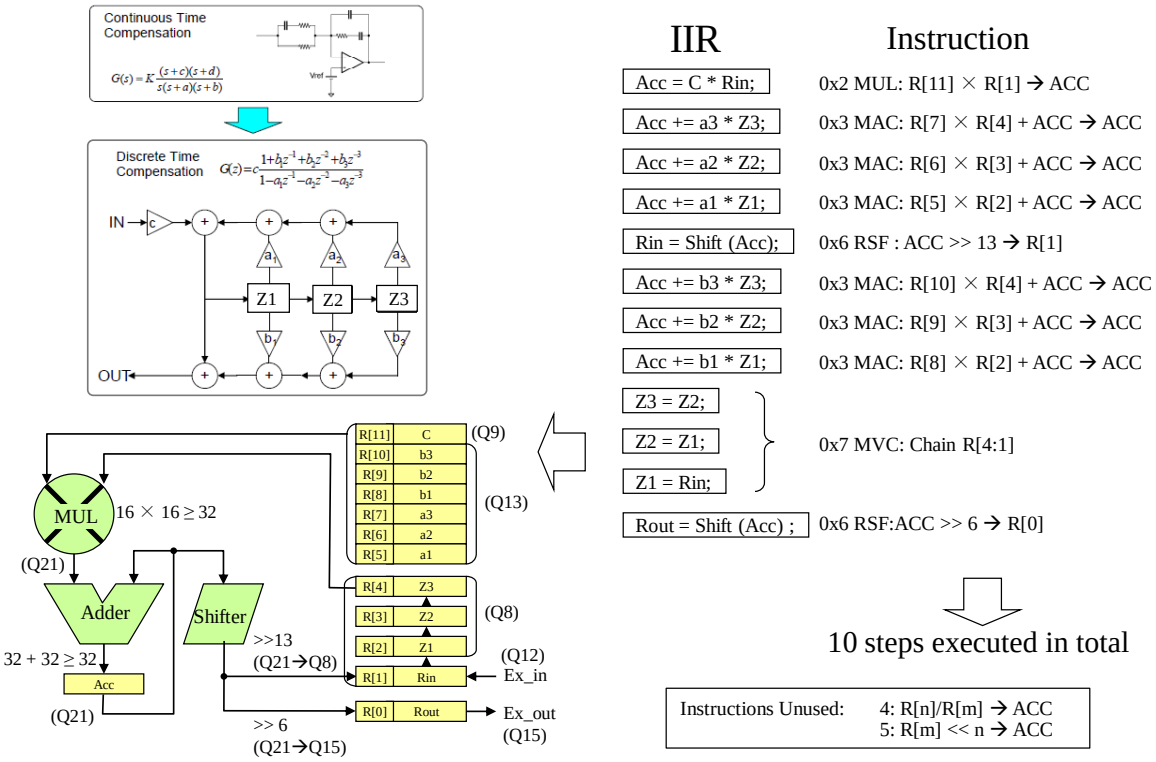
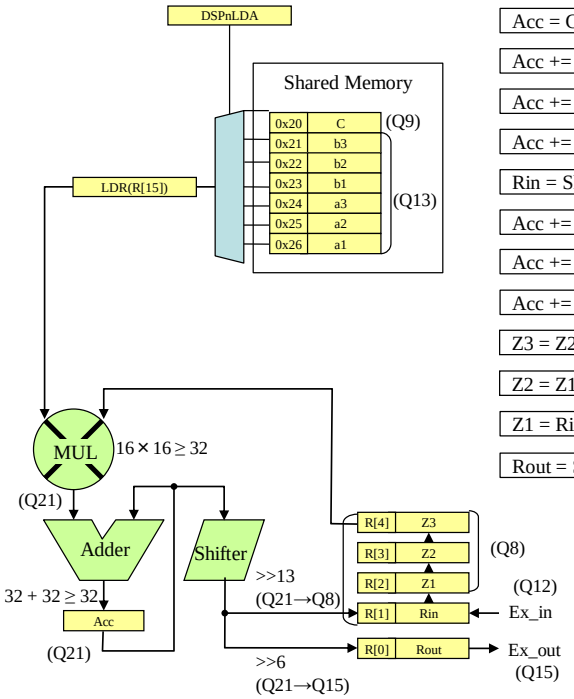


図 14-6　LDR 機能を使用しない場合のアプリケーション例

© SANKEN ELECTRIC CO., LTD. 2017

IIR Example When LDR Enabled



IIR	Instruction	LDR
	0x1 LDD: LDD 0x20	C → R15
Acc = C * Rin;	0x2 MUL: R[15] × R[1] → ACC	b3 → R15
Acc += a3 * Z3;	0x3 MAC: R[15] × R[4] + ACC → ACC	b2 → R15
Acc += a2 * Z2;	0x3 MAC : R[15] × R[3] + ACC → ACC	b1 → R15
Acc += a1 * Z1;	0x3 MAC: R[15] × R[2] + ACC → ACC	a3 → R15
Rin = Shift (Acc);	0x6 RSF: ACC >> 13 => R[1]	
Acc += b3 * Z3;	0x3 MAC: R[15] × R[4] + ACC → ACC	a2 → R15
Acc += b2 * Z2;	0x3 MAC: R[15] × R[3] + ACC → ACC	a1 → R15
Acc += b1 * Z1;	0x3 MAC: R[15] × R[2] + ACC → ACC	
Z3 = Z2;		
Z2 = Z1;	0x7 MVC: Chain R[4:1]	
Z1 = Rin;		
Rout = Shift (Acc) ;	0x6 RSF: ACC >> 6 → R[0]	

図 14-7　LDR 機能を使用した場合のアプリケーション例

© SANKEN ELECTRIC CO., LTD. 2017

14.11. レジスタ説明

表 14-6　XDATA BUS レジスター一覧

Symbol	Name	Address 1	Address 2	Initial Value
DSP0CTRL	TinyDSP0 Control Register	0xF780	—	0x00
DSP0EXEC	TinyDSP0 Execution Register	0xF781	—	0x00
DSP0TRG	TinyDSP0 Execution Trigger Status	0xF782	—	0x00
DSP0RST	TinyDSP0 Access Counter Clear Register	0xF783	—	0x00
DSP0DBG	TinyDSP0 Debug Register	0xF784	—	0x00
DSP0CTRL2	TinyDSP0 Control2 Register	0xF785	—	0x00
DSP0CNSTEN	TinyDSP0 CVR Enable Register	0xF786	—	0x00
DSP0_R8_L	TinyDSP0 R8 LSB Side	0xF788	0xF7C0	0x00
DSP0_R8_H	TinyDSP0 R8 MSB Side	0xF788	0xF7C1	0x00
DSP0_R9_L	TinyDSP0 R9 LSB Side	0xF789	0xF7C2	0x00
DSP0_R9_H	TinyDSP0 R9 MSB Side	0xF789	0xF7C3	0x00
DSP0_R10_L	TinyDSP0 R10 LSB Side	0xF78A	0xF7C4	0x00
DSP0_R10_H	TinyDSP0 R10 MSB Side	0xF78A	0xF7C5	0x00
DSP0_R11_L	TinyDSP0 R11 LSB Side	0xF78B	0xF7C6	0x00
DSP0_R11_H	TinyDSP0 R11 MSB Side	0xF78B	0xF7C7	0x00
DSP0_R12_L	TinyDSP0 R12 LSB Side	0xF78C	0xF7C8	0x00
DSP0_R12_H	TinyDSP0 R12 MSB Side	0xF78C	0xF7C9	0x00
DSP0_R13_L	TinyDSP0 R13 LSB Side	0xF78D	0xF7CA	0x00
DSP0_R13_H	TinyDSP0 R13 MSB Side	0xF78D	0xF7CB	0x00
DSP0_R14_L	TinyDSP0 R14 LSB Side	0xF78E	0xF7CC	0x00
DSP0_R14_H	TinyDSP0 R14 MSB Side	0xF78E	0xF7CD	0x00
DSP0_R15_L	TinyDSP0 R15 LSB Side	0xF78F	0xF7CE	0x00
DSP0_R15_H	TinyDSP0 R15 MSB Side	0xF78F	0xF7CF	0x00
DSP0_ACC_0	TinyDSP0 ACC[7:0]	0xF790	—	0x00
DSP0_ACC_1	TinyDSP0 ACC[15:8]	0xF791	—	0x00
DSP0_ACC_2	TinyDSP0 ACC[23:15]	0xF792	—	0x00
DSP0_ACC_3	TinyDSP0 ACC[31:24]	0xF793	—	0x00
DSP0_ACC_4	TinyDSP0 ACC[36:32]	0xF794	—	0x00
DSP0_C0_L	TinyDSP0 C0 LSB Side	0xF798	0xF7D0	0x00
DSP0_C0_H	TinyDSP0 C0 MSB Side	0xF798	0xF7D1	0x00
DSP0_C1_L	TinyDSP0 C1 LSB Side	0xF799	0xF7D2	0x00
DSP0_C1_H	TinyDSP0 C1 MSB Side	0xF799	0xF7D3	0x00
DSP0_C2_L	TinyDSP0 C2 LSB Side	0xF79A	0xF7D4	0x00
DSP0_C2_H	TinyDSP0 C2 MSB Side	0xF79A	0xF7D5	0x00

© SANKEN ELECTRIC CO., LTD. 2017

Symbol	Name	Address 1	Address 2	Initial Value
DSP0_C3_L	TinyDSP0 C3 LSB Side	0xF79B	0xF7D6	0x00
DSP0_C3_H	TinyDSP0 C3 MSB Side	0xF79B	0xF7D7	0x00
DSP0_C4_L	TinyDSP0 C4 LSB Side	0xF79C	0xF7D8	0x00
DSP0_C4_H	TinyDSP0 C4 MSB Side	0xF79C	0xF7D9	0x00
DSP0_C5_L	TinyDSP0 C5 LSB Side	0xF79D	0xF7DA	0x00
DSP0_C5_H	TinyDSP0 C5 MSB Side	0xF79D	0xF7DB	0x00
DSP0_C6_L	TinyDSP0 C6 LSB Side	0xF79E	0xF7DC	0x00
DSP0_C6_H	TinyDSP0 C6 MSB Side	0xF79E	0xF7DD	0x00
DSP0_C7_L	TinyDSP0 C7 LSB Side	0xF79F	0xF7DE	0x00
DSP0_C7_H	TinyDSP0 C7 MSB Side	0xF79F	0xF7DF	0x00
DSP0_PRG_DATL	TinyDSP0 Program Memory LSB Side	0xF7A0	—	0x00
DSP0_PRG_DATH	TinyDSP0 Program Memory MSB Side	0xF7A1	—	0x00
DSP0_PRG_ADR	TinyDSP0 Program Memory Address	0xF7A2	—	0x00
DSP0LDA	TinyDSP0 LDR Load Address Register	0xF7A3	—	0x20
DSP0MAX0L	TinyDSP0 MAX LSB Side	0xF7A8	0xF7E0	0x00
DSP0MAX0H	TinyDSP0 MAX MSB Side	0xF7A8	0xF7E1	0x00
DSP0MIN0L	TinyDSP0 MIN LSB Side	0xF7A9	0xF7E2	0x00
DSP0MIN0H	TinyDSP0 MIN MSB Side	0xF7A9	0xF7E3	0x00
DSP0MAX1L	TinyDSP0 MAX LSB Side	0xF7AA	0xF7E4	0x00
DSP0MAX1H	TinyDSP0 MAX MSB Side	0xF7AA	0xF7E5	0x00
DSP0MIN1L	TinyDSP0 MIN LSB Side	0xF7AB	0xF7E6	0x00
DSP0MIN1H	TinyDSP0 MIN MSB Side	0xF7AB	0xF7E7	0x00
DSP0MAX2L	TinyDSP0 MAX LSB Side	0xF7AC	0xF7E8	0x00
DSP0MAX2H	TinyDSP0 MAX MSB Side	0xF7AC	0xF7E9	0x00
DSP0MIN2L	TinyDSP0 MIN LSB Side	0xF7AD	0xF7EA	0x00
DSP0MIN2H	TinyDSP0 MIN MSB Side	0xF7AD	0xF7EB	0x00
DSP1CTRL	TinyDSP1 Control Register	0xF800	—	0x00
DSP1EXEC	TinyDSP1 Execution Register	0xF801	—	0x00
DSP1TRG	TinyDSP1 Execution Trigger Status	0xF802	—	0x00
DSP1RST	TinyDSP1 Access Counter Clear Register	0xF803	—	0x00
DSP1DBG	TinyDSP1 Debug Register	0xF804	—	0x00
DSP1CTRL2	TinyDSP1 Control2 Register	0xF805	—	0x00
DSP1CNSTEN	TinyDSP1 CVR Enable Register	0xF806	—	0x00
DSP1_R8_L	TinyDSP1 R8 LSB Side	0xF808	0xF840	0x00
DSP1_R8_H	TinyDSP1 R8 MSB Side	0xF808	0xF841	0x00
DSP1_R9_L	TinyDSP1 R9 LSB Side	0xF809	0xF842	0x00
DSP1_R9_H	TinyDSP1 R9 MSB Side	0xF809	0xF843	0x00

© SANKEN ELECTRIC CO., LTD. 2017

Symbol	Name	Address 1	Address 2	Initial Value
DSP1_R10_L	TinyDSP1 R10 LSB Side	0xF80A	0xF844	0x00
DSP1_R10_H	TinyDSP1 R10 MSB Side	0xF80A	0xF845	0x00
DSP1_R11_L	TinyDSP1 R11 LSB Side	0xF80B	0xF846	0x00
DSP1_R11_H	TinyDSP1 R11 MSB Side	0xF80B	0xF847	0x00
DSP1_R12_L	TinyDSP1 R12 LSB Side	0xF80C	0xF848	0x00
DSP1_R12_H	TinyDSP1 R12 MSB Side	0xF80C	0xF849	0x00
DSP1_R13_L	TinyDSP1 R13 LSB Side	0xF80D	0xF84A	0x00
DSP1_R13_H	TinyDSP1 R13 MSB Side	0xF80D	0xF84B	0x00
DSP1_R14_L	TinyDSP1 R14 LSB Side	0xF80E	0xF84C	0x00
DSP1_R14_H	TinyDSP1 R14 MSB Side	0xF80E	0xF84D	0x00
DSP1_R15_L	TinyDSP1 R15 LSB Side	0xF80F	0xF84E	0x00
DSP1_R15_H	TinyDSP1 R15 MSB Side	0xF80F	0xF84F	0x00
DSP1_ACC_0	TinyDSP1 ACC[7:0]	0xF810	—	0x00
DSP1_ACC_1	TinyDSP1 ACC[15:8]	0xF811	—	0x00
DSP1_ACC_2	TinyDSP1 ACC[23:15]	0xF812	—	0x00
DSP1_ACC_3	TinyDSP1 ACC[31:24]	0xF813	—	0x00
DSP1_ACC_4	TinyDSP1 ACC[36:32]	0xF814	—	0x00
DSP1_C0_L	TinyDSP1 C0 LSB Side	0xF818	0xF850	0x00
DSP1_C0_H	TinyDSP1 C0 MSB Side	0xF818	0xF851	0x00
DSP1_C1_L	TinyDSP1 C1 LSB Side	0xF819	0xF852	0x00
DSP1_C1_H	TinyDSP1 C1 MSB Side	0xF819	0xF853	0x00
DSP1_C2_L	TinyDSP1 C2 LSB Side	0xF81A	0xF854	0x00
DSP1_C2_H	TinyDSP1 C2 MSB Side	0xF81A	0xF855	0x00
DSP1_C3_L	TinyDSP1 C3 LSB Side	0xF81B	0xF856	0x00
DSP1_C3_H	TinyDSP1 C3 MSB Side	0xF81B	0xF857	0x00
DSP1_C4_L	TinyDSP1 C4 LSB Side	0xF81C	0xF858	0x00
DSP1_C4_H	TinyDSP1 C4 MSB Side	0xF81C	0xF859	0x00
DSP1_C5_L	TinyDSP1 C5 LSB Side	0xF81D	0xF85A	0x00
DSP1_C5_H	TinyDSP1 C5 MSB Side	0xF81D	0xF85B	0x00
DSP1_C6_L	TinyDSP1 C6 LSB Side	0xF81E	0xF85C	0x00
DSP1_C6_H	TinyDSP1 C6 MSB Side	0xF81E	0xF85D	0x00
DSP1_C7_L	TinyDSP1 C7 LSB Side	0xF81F	0xF85E	0x00
DSP1_C7_H	TinyDSP1 C7 MSB Side	0xF81F	0xF85F	0x00
DSP1_PRG_DATL	TinyDSP1 Program Memory LSB Side	0xF820	—	0x00
DSP1_PRG_DATH	TinyDSP1 Program Memory MSB Side	0xF821	—	0x00
DSP1_PRG_ADR	TinyDSP1 Program Memory Address	0xF822	—	0x00
DSP1LDA	TinyDSP1 LDR Load Address Register	0xF823	—	0x20

© SANKEN ELECTRIC CO., LTD. 2017

Symbol	Name	Address 1	Address 2	Initial Value
DSP1MAX0L	TinyDSP1 MAX0 LSB Side	0xF828	0xF860	0x00
DSP1MAX0H	TinyDSP1 MAX0 MSB Side	0xF828	0xF861	0x00
DSP1MIN0L	TinyDSP1 MIN0 LSB Side	0xF829	0xF862	0x00
DSP1MIN0H	TinyDSP1 MIN0 MSB Side	0xF829	0xF863	0x00
DSP1MAX1L	TinyDSP1 MAX1 LSB Side	0xF82A	0xF864	0x00
DSP1MAX1H	TinyDSP1 MAX1 MSB Side	0xF82A	0xF865	0x00
DSP1MIN1L	TinyDSP1 MIN1 LSB Side	0xF82B	0xF866	0x00
DSP1MIN1H	TinyDSP1 MIN1 MSB Side	0xF82B	0xF867	0x00
DSP1MAX2L	TinyDSP1 MAX2 LSB Side	0xF82C	0xF868	0x00
DSP1MAX2H	TinyDSP1 MAX2 MSB Side	0xF82C	0xF869	0x00
DSP1MIN2L	TinyDSP1 MIN2 LSB Side	0xF82D	0xF86A	0x00
DSP1MIN2H	TinyDSP1 MIN2 MSB Side	0xF82D	0xF86B	0x00

© SANKEN ELECTRIC CO., LTD. 2017

表 14-7　SFR BUS レジスター一覧

Symbol	Name	Address	Initial Value
DSP0_R0_L	TinyDSP0 R0 LSB Side	0xC4	0x00
DSP0_R0_H	TinyDSP0 R0 MSB Side	0xC4	0x00
DSP0_R1_L	TinyDSP0 R1 LSB Side	0xC5	0x00
DSP0_R1_H	TinyDSP0 R1 MSB Side	0xC5	0x00
DSP0_R2_L	TinyDSP0 R2 LSB Side	0xC6	0x00
DSP0_R2_H	TinyDSP0 R2 MSB Side	0xC6	0x00
DSP0_R3_L	TinyDSP0 R3 LSB Side	0xC7	0x00
DSP0_R3_H	TinyDSP0 R3 MSB Side	0xC7	0x00
DSP0_R4_L	TinyDSP0 R4 LSB Side	0xCC	0x00
DSP0_R4_H	TinyDSP0 R4 MSB Side	0xCC	0x00
DSP0_R5_L	TinyDSP0 R5 LSB Side	0xCD	0x00
DSP0_R5_H	TinyDSP0 R5 MSB Side	0xCD	0x00
DSP0_R6_L	TinyDSP0 R6 LSB Side	0xCE	0x00
DSP0_R6_H	TinyDSP0 R6 MSB Side	0xCE	0x00
DSP0_R7_L	TinyDSP0 R7 LSB Side	0xCF	0x00
DSP0_R7_H	TinyDSP0 R7 MSB Side	0xCF	0x00
DSP0MIN0L	TinyDSP0 MIN0 LSB Side	0x24	0x00
DSP0MIN0H	TinyDSP0 MIN0 MSB Side	0x24	0x00
DSP0MAX0L	TinyDSP0 MAX0 LSB Side	0x25	0x00
DSP0MAX0H	TinyDSP0 MAX0 MSB Side	0x25	0x00
DSP0MIN1L	TinyDSP0 MIN1 LSB Side	0x2C	0x00
DSP0MIN1H	TinyDSP0 MIN1 MSB Side	0x2C	0x00
DSP0MAX1L	TinyDSP0 MAX1 LSB Side	0x2D	0x00
DSP0MAX1H	TinyDSP0 MAX1 MSB Side	0x2D	0x00
DSP0MIN2L	TinyDSP0 MIN2 LSB Side	0x34	0x00
DSP0MIN2H	TinyDSP0 MIN2 MSB Side	0x34	0x00
DSP0MAX2L	TinyDSP0 MAX2 LSB Side	0x35	0x00
DSP0MAX2H	TinyDSP0 MAX2 MSB Side	0x35	0x00
DSP1_R0_L	TinyDSP1 R0 LSB Side	0xD4	0x00
DSP1_R0_H	TinyDSP1 R0 MSB Side	0xD4	0x00
DSP1_R1_L	TinyDSP1 R1 LSB Side	0xD5	0x00
DSP1_R1_H	TinyDSP1 R1 MSB Side	0xD5	0x00
DSP1_R2_L	TinyDSP1 R2 LSB Side	0xD6	0x00
DSP1_R2_H	TinyDSP1 R2 MSB Side	0xD6	0x00
DSP1_R3_L	TinyDSP1 R3 LSB Side	0xD7	0x00
DSP1_R3_H	TinyDSP1 R3 MSB Side	0xD7	0x00

© SANKEN ELECTRIC CO., LTD. 2017

Symbol	Name	Address	Initial Value
DSP1_R4_L	TinyDSP1 R4 LSB Side	0xDC	0x00
DSP1_R4_H	TinyDSP1 R4 MSB Side	0xDC	0x00
DSP1_R5_L	TinyDSP1 R5 LSB Side	0xDD	0x00
DSP1_R5_H	TinyDSP1 R5 MSB Side	0xDD	0x00
DSP1_R6_L	TinyDSP1 R6 LSB Side	0xDE	0x00
DSP1_R6_H	TinyDSP1 R6 MSB Side	0xDE	0x00
DSP1_R7_L	TinyDSP1 R7 LSB Side	0xDF	0x00
DSP1_R7_H	TinyDSP1 R7 MSB Side	0xDF	0x00
DSP1MIN0L	TinyDSP1 MIN LSB Side	0x26	0x00
DSP1MIN0H	TinyDSP1 MIN MSB Side	0x26	0x00
DSP1MAX0L	TinyDSP1 MAX LSB Side	0x27	0x00
DSP1MAX0H	TinyDSP1 MAX MSB Side	0x27	0x00
DSP1MIN1L	TinyDSP1 MIN LSB Side	0x2E	0x00
DSP1MIN1H	TinyDSP1 MIN MSB Side	0x2E	0x00
DSP1MAX1L	TinyDSP1 MAX LSB Side	0x2F	0x00
DSP1MAX1H	TinyDSP1 MAX MSB Side	0x2F	0x00
DSP1MIN2L	TinyDSP1 MIN LSB Side	0x36	0x00
DSP1MIN2H	TinyDSP1 MIN MSB Side	0x36	0x00
DSP1MAX2L	TinyDSP1 MAX LSB Side	0x37	0x00
DSP1MAX2H	TinyDSP1 MAX MSB Side	0x37	0x00

© SANKEN ELECTRIC CO., LTD. 2017

14.11.1. DSPnCTRL (TinyDSP n Control Register) (n = 0 to 1)

Register	DSP0CTRL	TinyDSP0 Control Register	Address	0xF780
Register	DSP1CTRL	TinyDSP1 Control Register	Address	0xF800

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSPE	R/W	0	TinyDSP イネーブル 0：TinyDSP をディスエーブル 1：TinyDSP をイネーブル TinyDSP がディスエーブルであっても、すべてのレジスタにアクセスできます。ただし、TinyDSP シーケンスの開始トリガなどは無視されます。TinyDSP がイネーブルになると、TinyDSP は、開始トリガ（Rn への書込み）を待ちます。	
6	DSPIE	R/W	0	TinyDSP 割込みイネーブル 0：TinyDSP 割込みをディスエーブル 1：TinyDSP 割込みをイネーブル	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	DSP_SS	R/C	0	SFT での飽和検出 リード 0：SFT での飽和の検出なし リード 1：SFT での飽和を検出 ライト 0：変化なし ライト 1：本ビットをクリア	
1	DSP_SA	R/C	0	ALU での飽和検出 リード 0：ALU での飽和の検出なし リード 1：ALU での飽和を検出 ライト 0：変化なし ライト 1：本ビットをクリア	
0	DSPIF	R/C	0	TinyDSP 割込みフラグ（イベント出力） リード 0：TinyDSP 割込み要求なし リード 1：TinyDSP 割込みイベント発生 ライト 0：変化なし ライト 1：本ビットをクリア イベント条件が成立すると、DSPIE = 0 でもイベント出力パルスが発生します。 TinyDSP 割込み信号のイネーブル／ディスエーブルにかかわらず、割込みフラグはアサートされます。	

© SANKEN ELECTRIC CO., LTD. 2017

14.11.2. DSPnEXEC (TinyDSP n Execution Register) (n = 0 to 1)

Register	DSP0EXEC	TinyDSP0 Execution Register	Address	0xF781
Register	DSP1EXEC	TinyDSP1 Execution Register	Address	0xF801

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	DSP_PC	R/W	0	TinyDSP プログラムカウンタ プログラムカウンタ（PC）は次に実行する命令の位置を指定します。CPU は、いつでも強制的に PC を変更できます。	
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

14.11.3. DSPnDBG (TinyDSP n Debug Register) (n = 0 to 1)

Register	DSP0DBG	TinyDSP0 Debug Register	Address	0xF784
Register	DSP1DBG	TinyDSP1 Debug Register	Address	0xF804

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSP_DBG	R/W	0	デバッグモード 0：通常モード 1：デバッグモード デバッグモードの場合、TinyDSP はプログラムシーケンスをステップ動作で実行します。DSP_STP ビットに 1 をライトした場合のみ、ステップ動作が実行されます	
6	DSP_STP	R/W	0	ステップ実行 ライト 0：効果なし ライト 1：ステップ実行 リード値は常に 0 です。 DSP_DBG = 1 の状態で、DSP_STP ビットに 1 をライトした場合のみ、ステップ動作が実行されます。命令がトリガを待っている場合でも、ステップ動作は強制的に実行されます。DSP_DBG と DSP_STP が同時にセットされた場合は、ステップ動作は実行されません。 実行時にプログラムカウンタ（PC）がアドレス 0x2F を指定している場合、命令を実行した後に PC の値を 0x00 に戻します。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

14.11.4. DSPn_Rx_L (TinyDSP n Rx LSB Side) (n = 0 to 1, x = 0 to 7)

Register	DSP0_R0_L	TinyDSP0 R0 LSB Side	Address	0xC4
Register	DSP0_R1_L	TinyDSP0 R1 LSB Side	Address	0xC5
Register	DSP0_R2_L	TinyDSP0 R2 LSB Side	Address	0xC6
Register	DSP0_R3_L	TinyDSP0 R3 LSB Side	Address	0xC7
Register	DSP0_R4_L	TinyDSP0 R4 LSB Side	Address	0xCC
Register	DSP0_R5_L	TinyDSP0 R5 LSB Side	Address	0xCD
Register	DSP0_R6_L	TinyDSP0 R6 LSB Side	Address	0xCE
Register	DSP0_R7_L	TinyDSP0 R7 LSB Side	Address	0xCF
Register	DSP1_R0_L	TinyDSP1 R0 LSB Side	Address	0xD4
Register	DSP1_R1_L	TinyDSP1 R1 LSB Side	Address	0xD5
Register	DSP1_R2_L	TinyDSP1 R2 LSB Side	Address	0xD6
Register	DSP1_R3_L	TinyDSP1 R3 LSB Side	Address	0xD7
Register	DSP1_R4_L	TinyDSP1 R4 LSB Side	Address	0xDC
Register	DSP1_R5_L	TinyDSP1 R5 LSB Side	Address	0xDD
Register	DSP1_R6_L	TinyDSP1 R6 LSB Side	Address	0xDE
Register	DSP1_R7_L	TinyDSP1 R7 LSB Side	Address	0xDF

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSP_REG	R/W	0	TinyDSP データレジスタの LSB 側 本ビットへのアクセス手順は、14.6 項を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

14.11.5. DSPn_Rx_H (TinyDSP n Rx MSB Side) (n = 0 to 1, x = 0 to 7)

Register	DSP0_R0_H	TinyDSP0 R0 MSB Side	Address	0xC4
Register	DSP0_R1_H	TinyDSP0 R1 MSB Side	Address	0xC5
Register	DSP0_R2_H	TinyDSP0 R2 MSB Side	Address	0xC6
Register	DSP0_R3_H	TinyDSP0 R3 MSB Side	Address	0xC7
Register	DSP0_R4_H	TinyDSP0 R4 MSB Side	Address	0xCC
Register	DSP0_R5_H	TinyDSP0 R5 MSB Side	Address	0xCD
Register	DSP0_R6_H	TinyDSP0 R6 MSB Side	Address	0xCE
Register	DSP0_R7_H	TinyDSP0 R7 MSB Side	Address	0xCF
Register	DSP1_R0_H	TinyDSP1 R0 MSB Side	Address	0xD4
Register	DSP1_R1_H	TinyDSP1 R1 MSB Side	Address	0xD5
Register	DSP1_R2_H	TinyDSP1 R2 MSB Side	Address	0xD6
Register	DSP1_R3_H	TinyDSP1 R3 MSB Side	Address	0xD7
Register	DSP1_R4_H	TinyDSP1 R4 MSB Side	Address	0xDC
Register	DSP1_R5_H	TinyDSP1 R5 MSB Side	Address	0xDD
Register	DSP1_R6_H	TinyDSP1 R6 MSB Side	Address	0xDE
Register	DSP1_R7_H	TinyDSP1 R7 MSB Side	Address	0xDF

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSP_REG	R/W	0	TinyDSP データレジスタの MSB 側 本ビットへのアクセス手順は、14.6 項を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

14.11.6. DSPn_Rx_L (TinyDSP n Rx LSB Side) (n = 0 to 1, x = 8 to 15)

Register	DSP0_R8_L	TinyDSP0 R8 LSB Side	Address	0xF788	0xF7C0
Register	DSP0_R9_L	TinyDSP0 R9 LSB Side	Address	0xF789	0xF7C2
Register	DSP0_R10_L	TinyDSP0 R10 LSB Side	Address	0xF78A	0xF7C4
Register	DSP0_R11_L	TinyDSP0 R11 LSB Side	Address	0xF78B	0xF7C6
Register	DSP0_R12_L	TinyDSP0 R12 LSB Side	Address	0xF78C	0xF7C8
Register	DSP0_R13_L	TinyDSP0 R13 LSB Side	Address	0xF78D	0xF7CA
Register	DSP0_R14_L	TinyDSP0 R14 LSB Side	Address	0xF78E	0xF7CC
Register	DSP0_R15_L	TinyDSP0 R15 LSB Side	Address	0xF78F	0xF7CE
Register	DSP1_R8_L	TinyDSP1 R8 LSB Side	Address	0xF808	0xF840
Register	DSP1_R9_L	TinyDSP1 R9 LSB Side	Address	0xF809	0xF842
Register	DSP1_R10_L	TinyDSP1 R10 LSB Side	Address	0xF80A	0xF844
Register	DSP1_R11_L	TinyDSP1 R11 LSB Side	Address	0xF80B	0xF846
Register	DSP1_R12_L	TinyDSP1 R12 LSB Side	Address	0xF80C	0xF848
Register	DSP1_R13_L	TinyDSP1 R13 LSB Side	Address	0xF80D	0xF84A
Register	DSP1_R14_L	TinyDSP1 R14 LSB Side	Address	0xF80E	0xF84C
Register	DSP1_R15_L	TinyDSP1 R15 LSB Side	Address	0xF80F	0xF84E

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSP_REG	R/W	0	TinyDSP データレジスタの LSB 側 本ビットへのアクセス手順は、14.6 項を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

14.11.7. DSPn_Rx_H (TinyDSP n Rx MSB Side) (n = 0 to 1, x = 8 to 15)

Register	DSP0_R8_H	TinyDSP0 R8 MSB Side	Address	0xF788	0xF7C1
Register	DSP0_R9_H	TinyDSP0 R9 MSB Side	Address	0xF789	0xF7C3
Register	DSP0_R10_H	TinyDSP0 R10 MSB Side	Address	0xF78A	0xF7C5
Register	DSP0_R11_H	TinyDSP0 R11 MSB Side	Address	0xF78B	0xF7C7
Register	DSP0_R12_H	TinyDSP0 R12 MSB Side	Address	0xF78C	0xF7C9
Register	DSP0_R13_H	TinyDSP0 R13 MSB Side	Address	0xF78D	0xF7CB
Register	DSP0_R14_H	TinyDSP0 R14 MSB Side	Address	0xF78E	0xF7CD
Register	DSP0_R15_H	TinyDSP0 R15 MSB Side	Address	0xF78F	0xF7CF
Register	DSP1_R8_H	TinyDSP1 R8 MSB Side	Address	0xF808	0xF841
Register	DSP1_R9_H	TinyDSP1 R9 MSB Side	Address	0xF809	0xF843
Register	DSP1_R10_H	TinyDSP1 R10 MSB Side	Address	0xF80A	0xF845
Register	DSP1_R11_H	TinyDSP1 R11 MSB Side	Address	0xF80B	0xF847
Register	DSP1_R12_H	TinyDSP1 R12 MSB Side	Address	0xF80C	0xF849
Register	DSP1_R13_H	TinyDSP1 R13 MSB Side	Address	0xF80D	0xF84B
Register	DSP1_R14_H	TinyDSP1 R14 MSB Side	Address	0xF80E	0xF84D
Register	DSP1_R15_H	TinyDSP1 R15 MSB Side	Address	0xF80F	0xF84F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSP_REG	R/W	0	TinyDSP データレジスタの MSB 側 本ビットへのアクセス手順は、14.6 項を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

14.11.8. DSPn_ACC_x (TinyDSP n ACC) (n = 0 to 1, x = 0 to 4)

Register	DSP0_ACC_0	TinyDSP0 ACC[7:0]	Address	0xF790
Register	DSP0_ACC_1	TinyDSP0 ACC[15:8]	Address	0xF791
Register	DSP0_ACC_2	TinyDSP0 ACC[23:15]	Address	0xF792
Register	DSP0_ACC_3	TinyDSP0 ACC[31:24]	Address	0xF793
Register	DSP0_ACC_4	TinyDSP0 ACC[36:32]	Address	0xF794
Register	DSP1_ACC_0	TinyDSP1 ACC[7:0]	Address	0xF810
Register	DSP1_ACC_1	TinyDSP1 ACC[15:8]	Address	0xF811
Register	DSP1_ACC_2	TinyDSP1 ACC[23:15]	Address	0xF812
Register	DSP1_ACC_3	TinyDSP1 ACC[31:24]	Address	0xF813
Register	DSP1_ACC_4	TinyDSP1 ACC[36:32]	Address	0xF814

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSP_ACC	R/W	0	TinyDSP アキュムレータ（ACC） 各 TinyDSP のアキュムレータ（ACC）を構成するレジスタです。ACC の各バイトレーンは、独立したアドレスに割り当てられています。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

14.11.9. DSPn_PRG_DATL/H (TinyDSP n Program Memory LSB/MSB Side) (n = 0 to 1)

Register	DSP0_PRG_DATL	TinyDSP0 Program Memory LSB Side	Address	0xF7A0
Register	DSP0_PRG_DATH	TinyDSP0 Program Memory MSB Side	Address	0xF7A1
Register	DSP1_PRG_DATL	TinyDSP1 Program Memory LSB Side	Address	0xF820
Register	DSP1_PRG_DATH	TinyDSP1 Program Memory MSB Side	Address	0xF821

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSP_PRG_D	R/W	0	TinyDSP プログラム／データメモリウィンドウ 読出し／書込みは DSPn_PRG_ADR レジスタと対応して行われます。 例として、DSPn_PRG_ADR = 0x10 に設定すると、プログラム／データメモリ上のアドレス 0x10 にあるデータの、LSB 側のビット[7:0]を、DSPn_PRG_DATL レジスタから読み出します。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

14.11.10. DSPn_PRG_ADR (TinyDSP n Program/Data Memory Address) (n = 0 to 1)

Register	DSP0_PRG_ADR	TinyDSP0 Program/Data Memory Address	Address	0xF7A2
Register	DSP1_PRG_ADR	TinyDSP1 Program/Data Memory Address	Address	0xF822

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	DSP_PRG_A	R/W	0	TinyDSP プログラム／データメモリアドレス DSPn_PRG_DATL／H レジスタは、本ビットの値を使用してプログラム／データメモリにアクセスします。	
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

14.11.11. DSPnTRG (TinyDSP n Execution Trigger Status) (n = 0 to 1)

TRIG_WAIT フラグが設定されている TinyDSP 命令は、その実行前に一時停止します。その間、トリガ選択 TRIG_WHAT に従って SET_R0～SET_R7 ビットを監視します。DSPnTRG レジスタに対応するビットがセットされると（R0～R7 の更新を検出すると）、TinyDSP 命令が実行され、次のシーケンスに移動します。このとき、対応する SET_Rx ビットは、自動的にクリアされます。

DSPnTRG レジスタは、基本的にトリガステータスのみを表示しており、CPU がアクセスする必要性はありません。ただし、デバッグや再初期化のために、CPU はこのレジスタに書込み／読出しのアクセスができるようになっています。

Register	DSP0TRG	TinyDSP0 Execution Trigger Status	Address	0xF782
Register	DSP1TRG	TinyDSP1 Execution Trigger Status	Address	0xF802

Bit	Bit Name	R/W	Initial	Description	Remarks
7	SET_R7	R/W	0	TinyDSP 実行トリガ状態 各ビットは、対応するデータレジスタ（R0～R7）が書き込まれているかどうかを示します。DSPnCTRL.DSPE = 1 の状態で、CPU、DSAC、または EPU が R0～R7 に値を書き込むと、対応するビットが自動的にセットされます。 詳細は 14.5 項を参照してください。	
6	SET_R6	R/W	0		
5	SET_R5	R/W	0		
4	SET_R4	R/W	0		
3	SET_R3	R/W	0		
2	SET_R2	R/W	0		
1	SET_R1	R/W	0		
0	SET_R0	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

14.11.12. DSPnRST (TinyDSP n Access Counter Clear Register) (n = 0 to 1)

Register	DSP0RST	TinyDSP0 Access Counter Clear Register	Address	0xF783
Register	DSP1RST	TinyDSP1 Access Counter Clear Register	Address	0xF803

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CPUACCLA	R/C	0	SFR BUS の CPU アクセスカウンタと XDATA BUS の CPU アクセスカウンタをクリア ライト 0：変化なし ライト 1：SFR BUS と XDATA BUS の CPU アクセスカウンタをクリア リード値は常に 0 です	
6	DSACACCLA	R/C	0	SFR BUS の DSAC アクセスカウンタをクリア ライト 0：変化なし ライト 1：SFR BUS の DSAC アクセスカウンタをクリア リード値は常に 0 です	
5	EPUCACCLA	R/C	0	SFR BUS の EPU アクセスカウンタをクリア ライト 0：変化なし ライト 1：SFR BUS の EPU アクセスカウンタをクリア リード値は常に 0 です	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

14.11.13. DSPnCTRL2 (TinyDSP n Control2 Register) (n = 0 to 1)

Register	DSP0CTRL2	TinyDSP0 Control2 Register	Address	0xF785
Register	DSP1CTRL2	TinyDSP1 Control2 Register	Address	0xF805

Bit	Bit Name	R/W	Initial	Description	Remarks
7	HPDIV	R/W	0	DIV モード設定 0：通常モード 1：高精度モード	
6	EXRSF	R/W	0	RSF 命令拡張 0：トリガ機能をイネーブル 右シフトできる範囲は 0～15 1：トリガ機能をディスエーブル 右シフトできる範囲は 0～31	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	LDEN	R/W	0	LDR 機能と LDD 命令のイネーブル 0：LDR 機能と LDD 命令をディスエーブル 1：LDR 機能と LDD 命令をイネーブル	
0	CNSTSEL	R/W	0	CVR 範囲設定 0：C0～C7 を FIELD B = 8～15 に割り当てる 1：C0～C7 を FIELD B = 0～7 に割り当てる CVR モードのイネーブルは、DSPnCNSTEN レジスタで設定します。詳細は 14.9.1 項を参照してください。	

© SANKEN ELECTRIC CO., LTD. 2017

14.11.14. DSPnCNSTEN (TinyDSP n CVR Enable Register) (n = 0 to 1)

Register	DSP0CNSTEN	TinyDSP0 CVR Enable Register	Address	0xF786
Register	DSP1CNSTEN	TinyDSP1 CVR Enable Register	Address	0xF806

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CNSTEN7	R/W	0	CVR 機能の C7 のイネーブル 0：CVR 機能の C7 をディスエーブル 1：CVR 機能の C7 をイネーブル	
6	CNSTEN6	R/W	0	CVR 機能の C6 のイネーブル 0：CVR 機能の C6 をディスエーブル 1：CVR 機能の C6 をイネーブル	
5	CNSTEN5	R/W	0	CVR 機能の C5 のイネーブル 0：CVR 機能の C5 をディスエーブル 1：CVR 機能の C5 をイネーブル	
4	CNSTEN4	R/W	0	CVR 機能の C4 のイネーブル 0：CVR 機能の C4 をディスエーブル 1：CVR 機能の C4 をイネーブル	
3	CNSTEN3	R/W	0	CVR 機能の C3 のイネーブル 0：CVR 機能の C3 をディスエーブル 1：CVR 機能の C3 をイネーブル	
2	CNSTEN2	R/W	0	CVR 機能の C2 のイネーブル 0：CVR 機能の C2 をディスエーブル 1：CVR 機能の C2 をイネーブル	
1	CNSTEN1	R/W	0	CVR 機能の C1 のイネーブル 0：CVR 機能の C1 をディスエーブル 1：CVR 機能の C1 をイネーブル	
0	CNSTEN0	R/W	0	CVR 機能の C0 のイネーブル 0：CVR 機能の C0 をディスエーブル 1：CVR 機能の C0 をイネーブル	

© SANKEN ELECTRIC CO., LTD. 2017

14.11.15. DSPn_Cx_L (TinyDSP n Cx LSB Side) (n = 0 to 1, x = 0 to 7)

Register	DSP0_C0_L	TinyDSP0 C0 LSB Side	Address	0xF798	0xF7D0
Register	DSP0_C1_L	TinyDSP0 C1 LSB Side	Address	0xF799	0xF7D2
Register	DSP0_C2_L	TinyDSP0 C2 LSB Side	Address	0xF79A	0xF7D4
Register	DSP0_C3_L	TinyDSP0 C3 LSB Side	Address	0xF79B	0xF7D6
Register	DSP0_C4_L	TinyDSP0 C4 LSB Side	Address	0xF79C	0xF7D8
Register	DSP0_C5_L	TinyDSP0 C5 LSB Side	Address	0xF79D	0xF7DA
Register	DSP0_C6_L	TinyDSP0 C6 LSB Side	Address	0xF79E	0xF7DC
Register	DSP0_C7_L	TinyDSP0 C7 LSB Side	Address	0xF79F	0xF7DE
Register	DSP1_C0_L	TinyDSP1 C0 LSB Side	Address	0xF818	0xF850
Register	DSP1_C1_L	TinyDSP1 C1 LSB Side	Address	0xF819	0xF852
Register	DSP1_C2_L	TinyDSP1 C2 LSB Side	Address	0xF81A	0xF854
Register	DSP1_C3_L	TinyDSP1 C3 LSB Side	Address	0xF81B	0xF856
Register	DSP1_C4_L	TinyDSP1 C4 LSB Side	Address	0xF81C	0xF858
Register	DSP1_C5_L	TinyDSP1 C5 LSB Side	Address	0xF81D	0xF85A
Register	DSP1_C6_L	TinyDSP1 C6 LSB Side	Address	0xF81E	0xF85C
Register	DSP1_C7_L	TinyDSP1 C7 LSB Side	Address	0xF81F	0xF85E

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSP_REG	R/W	0	TinyDSP 定数レジスタの LSB 側 本ビットへのアクセス手順は、14.6 項を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

14.11.16. DSPn_Cx_H (TinyDSP n C x MSB Side) (n = 0 to 1, x = 0 to 7)

Register	DSP0_C0_H	TinyDSP0 C0 MSB Side	Address	0xF798	0xD7D1
Register	DSP0_C1_H	TinyDSP0 C1 MSB Side	Address	0xF799	0xD7D3
Register	DSP0_C2_H	TinyDSP0 C2 MSB Side	Address	0xF79A	0xD7D5
Register	DSP0_C3_H	TinyDSP0 C3 MSB Side	Address	0xF79B	0xD7D7
Register	DSP0_C4_H	TinyDSP0 C4 MSB Side	Address	0xF79C	0xD7D9
Register	DSP0_C5_H	TinyDSP0 C5 MSB Side	Address	0xF79D	0xD7DB
Register	DSP0_C6_H	TinyDSP0 C6 MSB Side	Address	0xF79E	0xD7DD
Register	DSP0_C7_H	TinyDSP0 C7 MSB Side	Address	0xF79F	0xD7DF
Register	DSP1_C0_H	TinyDSP1 C0 MSB Side	Address	0xF818	0xD851
Register	DSP1_C1_H	TinyDSP1 C1 MSB Side	Address	0xF819	0xD853
Register	DSP1_C2_H	TinyDSP1 C2 MSB Side	Address	0xF81A	0xD855
Register	DSP1_C3_H	TinyDSP1 C3 MSB Side	Address	0xF81B	0xD857
Register	DSP1_C4_H	TinyDSP1 C4 MSB Side	Address	0xF81C	0xD859
Register	DSP1_C5_H	TinyDSP1 C5 MSB Side	Address	0xF81D	0xD85B
Register	DSP1_C6_H	TinyDSP1 C6 MSB Side	Address	0xF81E	0xD85D
Register	DSP1_C7_H	TinyDSP1 C7 MSB Side	Address	0xF81F	0xD85F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DSP_REG	R/W	0	TinyDSP 定数レジスタの MSB 側 本ビットへのアクセス手順は、14.6 項を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

14.11.17. DSPnLDA (TinyDSP n LDR Load Address) (n = 0 to 1)

Register	DSP0LDA	TinyDSP0 LDR Load Address	Address	0xF7A3
Register	DSP1LDA	TinyDSP1 LDR Load Address	Address	0xF823

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	LDADR5	R	1	リード値は 1 です。また、必ず 1 をライトしてください。	
4	LDADR4	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	LDADR	R/W	0	LDR 機能で、次にロードするデータのアドレスを格納するポインタのビット 0～3	
2		R/W	0		
1		R/W	0		
0		R/W	0		

14.11.18. DSPnMAXxL (TinyDSP n MAX x LSB Side) (n = 0 to 1, x = 0 to 2)

Register	DSP0MAX0L	TinyDSP0 MAX0 LSB Side	Address	0xF7A8	0xF7E0	0x25
Register	DSP0MAX1L	TinyDSP0 MAX1 LSB Side	Address	0xF7AA	0xF7E4	0x2D
Register	DSP0MAX2L	TinyDSP0 MAX2 LSB Side	Address	0xF7AC	0xF7E8	0x35
Register	DSP1MAX0L	TinyDSP1 MAX0 LSB Side	Address	0xF828	0xF860	0x27
Register	DSP1MAX1L	TinyDSP1 MAX1 LSB Side	Address	0xF82A	0xF864	0x2F
Register	DSP1MAX2L	TinyDSP1 MAX2 LSB Side	Address	0xF82C	0xF868	0x37

Bit	Bit Name	R/W	Initial	Description	Remarks
7	MAX	R/W	0	MMX 命令の最大値の LSB 側 本ビットへのアクセス手順は、14.6 項を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

14.11.19. DSPnMAXxH (TinyDSP n MAX x MSB Side) (n = 0 to 1, x = 0 to 2)

Register	DSP0MAX0H	TinyDSP0 MAX0 MSB Side	Address	0xF7A8	0xF7E1	0x25
Register	DSP0MAX1H	TinyDSP0 MAX1 MSB Side	Address	0xF7AA	0xF7E5	0x2D
Register	DSP0MAX2H	TinyDSP0 MAX2 MSB Side	Address	0xF7AC	0xF7E9	0x35
Register	DSP1MAX0H	TinyDSP1 MAX0 MSB Side	Address	0xF828	0xF861	0x27
Register	DSP1MAX1H	TinyDSP1 MAX1 MSB Side	Address	0xF82A	0xF865	0x2F
Register	DSP1MAX2H	TinyDSP1 MAX2 MSB Side	Address	0xF82C	0xF869	0x37

Bit	Bit Name	R/W	Initial	Description	Remarks
7	MAX	R/W	0	MMX 命令の最大値の MSB 側 本ビットへのアクセス手順は、14.6 項を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

14.11.20. DSPnMINxL (TinyDSP n MIN x LSB Side) (n = 0 to 1, x = 0 to 2)

Register	DSP0MIN0L	TinyDSP0 MIN0 LSB Side	Address	0xF7A9	0xF7E2	0x24
Register	DSP0MIN1L	TinyDSP0 MIN1 LSB Side	Address	0xF7AB	0xF7E6	0x2C
Register	DSP0MIN2L	TinyDSP0 MIN2 LSB Side	Address	0xF7AD	0xF7EA	0x34
Register	DSP1MIN0L	TinyDSP1 MIN0 LSB Side	Address	0xF829	0xF862	0x26
Register	DSP1MIN1L	TinyDSP1 MIN1 LSB Side	Address	0xF82B	0xF866	0x2E
Register	DSP1MIN2L	TinyDSP1 MIN2 LSB Side	Address	0xF82D	0xF86A	0x36

Bit	Bit Name	R/W	Initial	Description	Remarks
7	MIN	R/W	0	MMX 命令の最小値の LSB 側 本ビットへのアクセス手順は、14.6 項を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

14.11.21. DSPnMINxH (TinyDSP n MIN x MSB Side) (n = 0 to 1, x = 0 to 2)

Register	DSP0MIN0H	TinyDSP0 MIN0 MSB Side	Address	0xF7A9	0xF7E3	0x24
Register	DSP0MIN1H	TinyDSP0 MIN1 MSB Side	Address	0xF7A9	0xF7E7	0x2C
Register	DSP0MIN2H	TinyDSP0 MIN2 MSB Side	Address	0xF7AB	0xF7EB	0x34
Register	DSP1MIN0H	TinyDSP1 MIN0 MSB Side	Address	0xF82B	0xF863	0x26
Register	DSP1MIN1H	TinyDSP1 MIN1 MSB Side	Address	0xF82D	0xF867	0x2E
Register	DSP1MIN2H	TinyDSP1 MIN2 MSB Side	Address	0xF82D	0xF86B	0x36

Bit	Bit Name	R/W	Initial	Description	Remarks
7	MIN	R/W	0	MMX 命令の最小値の MSB 側 本ビットへのアクセス手順は、14.6 項を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

14.12. 注意、制限事項

14.12.1. DIV 命令でアサートされる DSP_SS

DIV 命令では、SFT を Rm の逆数算出に使用しています。そのため、除数 Rm の値が 1 の場合は、DSPnCTRL.DSP_SS ビットがアサートされます。

14.12.2. DIV 命令実行時の引数書換えの禁止

DIV 命令を実行しているときに、DIV 命令の引数を書き換えないでください。DIV 命令の実行時に引数を書き換えると、TinyDSP は期待どおりの解を計算できない場合があります。DIV 命令の引数に CPU や DSAC から書き込まれた値を直接使用する場合は、DIV 命令の前に MVC 命令を実行してください。

14.12.3. MMX 命令の設定

MMX 命令を使用する場合は、DSPnMAX レジスタに DSPnMIN レジスタ以上の値を設定してください。DSPnMIN レジスタが DSPnMAX レジスタより大きい場合、MMX 命令において、Rn は、DSPnMAX レジスタおよび DSPnMIN レジスタと正しく比較されません。

© SANKEN ELECTRIC CO., LTD. 2017

15. 高分解能 PWM

15.1. 概要

表 15-1 に、高分解能 PWM の機能概要を示します。PWM モジュールは、高分解能な 8 本（4 ペア）の PWM（Pulse Width Modulation）信号を生成します。各ペアは、“H”レベルが重複しない PWM 信号を形成できます。PWM モジュールは、他のモジュールからの内部イベント信号を受け、出力信号かカウンタ動作のリトリガに使用できます。また、PWM モジュールは、内部のコンペアマッチの状態に応じて、割込みや LSI 内部のイベントを生成します。

表 15-1　高分解能 PWM 機能概要

項目	説明
チャネル数	4 チャネル
PWM 出力	8 本（2 本／チャネル）
最小分解能	1.04 ns
最小周期分解能	8.32 ns
最小周期	16.64 ns
デューティ設定範囲	0%～100%
波形生成用カウンタ	ビット数：16 ビット カウント方向：アップ、アップダウン 異なるチャネルのカウンタ間で同期開始
コンペアマッチレジスタ	汎用レジスタ：4 本（A、B、C、D） 周期設定レジスタ：2 本（MIN、MAX）
モード	2 モード コンペアマッチ／デッドタイム挿入
イベント出力数	汎用イベント：2 本（チャネルごと） TMR 専用イベント：1 本（チャネルごと）
割込み	2 本（チャネルごと）
イベント／割込み出力要因	コンペアマッチによる端子変化イベントか、リトリガ発生 1 つのイベントに対して複数の要因を設定可能
リトリガ動作	リトリガソース： 　エッジイベント 29 本（CMP、CPU、EPU など） 　レベルイベント 11 本（CMP、CMPLUT、GPIO） 動作：5 種類（A、B、C、D、リトリガマスク動作）

© SANKEN ELECTRIC CO., LTD. 2017

15.2. ブロック図

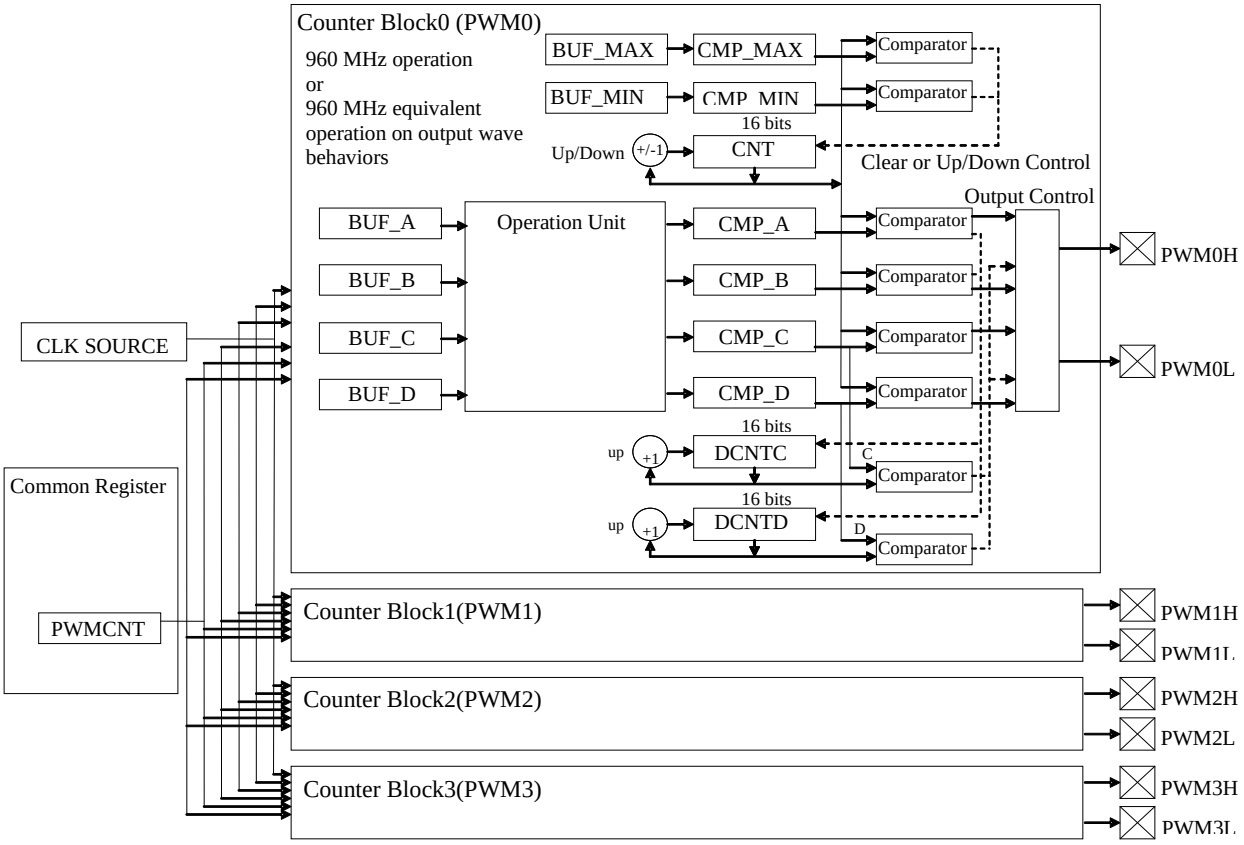


図 15-1　高分解能 PWM のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

15.3. リソース

図 15-1 に示すように、PWM モジュールには 4 つのカウンタブロックがあります。各ブロックには、以下のリソースがあります。

● **16 ビットのアップ／アップダウンカウンタ（CNT）**

各カウンタの最大周波数は、960 MHz です。カウンタブロック間の複数のカウンタは、互いに同期できます。カウンタ動作には 2 つのモード（アップモード、アップダウンモード）があります。アップモードの場合、カウンタは常にカウントアップします。カウンタ値が CMP_MAX レジスタの値になると、CMP_MIN レジスタからカウンタ値をリロードします。アップダウンモードの場合、カウンタ値が CMP_MAX レジスタの値になるまで、カウントアップします。カウンタ値が CMP_MAX レジスタの値になると、カウンタ値が CMP_MIN レジスタの値になるまでカウントダウンします。カウンタ値が CMP_MIN レジスタの値になると、再びカウンタはカウントアップします。CMP_MIN レジスタの値と CMP_MAX レジスタの値が存在するため、ユーザは、カウンタ値を符号なしの値だけでなく、符号付きの値とみなすこともできます。

CMP_MIN レジスタの下位 3 ビットは 0b000 に、CMP_MAX レジスタの下位 3 ビットは 0b111 に設定する必要があります。さらに、すべてのチャネルの CMP_MIN レジスタと CMP_MAX レジスタの値の差は、8 以上である必要があります（すなわち、$\mathrm{CMP_MAX} - \mathrm{CMP_MIN} \geq 8$）。これより、PWM モジュールの性能は以下のようになります。

- 最小 PWM 周期：16.64 ns
- PWM 周期の最小分解能：8.32 ns
- PWM デューティの最小分解能（PWMnL／PWMnH 出力のエッジ差）：1.04 ns

● **コンペアマッチレジスタ A、B（CMP_A、CMP_B）**

CMP_A、CMP_B レジスタは、PWMnH／PWMnL 信号の動作を制御します。CNT が各コンペアマッチレジスタと一致すると、PWMnH か PWMnL の出力信号が、設定に従ってセット／リセットされます。CMP_A、CMP_B レジスタは、必要に応じていつでも書換えができますが、レジスタの更新には、バッファモードの使用を推奨します。

● **コンペアマッチレジスタ C、D（CMP_C、CMP_D）**

- PWM モード 0 の場合：CMP_C、CMP_D レジスタで PWMnH／PWMnL 信号の動作を制御します。
- PWM モード 1 の場合：CMP_C、CMP_D レジスタは、デッドタイムカウンタ（DCNTC、DCNTD）と比較されます。デッドタイムカウンタは、デッドタイムを自動的に挿入するために使用されます。

● **コンペアマッチレジスタ MAX、MIN（CMP_MAX、CMP_MIN）**

CMP_MAX、CMP_MIN レジスタで、カウンタの周期とカウンタ値の範囲を指定します。アップモードの場合、カウンタ値が CMP_MAX レジスタの値になると、CMP_MIN レジスタからカウンタ値をリロードします。アップダウンモードの場合、カウンタ値が CMP_MAX レジスタの値になると、アップモードからダウンカウントモードになり、カウンタ値が CMP_MIN レジスタの値になると、アップモードになります。CMP_MAX レジスタと CMP_MIN レジスタは、必要に応じていつでも書き換えられますが、レジスタの更新には、バッファモードの使用を推奨します。CMP_MAX レジスタの下位 3 ビットは 0b111 に固定され、CMP_MIN レジスタの下位 3 ビットは 0b000 に固定されています。PWM 周期は 8 の倍数です。

● **バッファレジスタ A、B、C、D、MAX、MIN（BUF_A、BUF_B、BUF_C、BUF_D、BUF_MAX、BUF_MIN）**

これらのレジスタは、バッファモード用です。ある特定のタイミングで、各バッファレジスタの値がコンペアマッチレジスタに転送されます（動作の詳細は、15.4 項参照）。

BUF_MAX レジスタの下位 3 ビットは 0b111 に、BUF_MIN レジスタの下位 3 ビットは 0b000 に固定する必要があります。PWM 周期は 8 の倍数です。

● **16 ビットデッドタイムカウンタ（DCNTC、DCNTD）**

DCNTC、DCNTD カウンタは、PWMnH と PWMnL の出力変更時、オートデッドタイム期間を生成するために用意されています。デッドタイム期間は、CMP_C レジスタと CMP_D レジスタの値で設定されます。

© SANKEN ELECTRIC CO., LTD. 2017

15.4. 動作

表 15-2 に高分解能 PWM の動作モード、表 15-3 にバッファモードにおける次のコンペアマッチレジスタ(CMP_xx)の決定方法を示します。また、高分解能 PWM の動作モードの概略は以下のとおりです。

- PWM モードは 2 つの動作モード（PWM モード 0、PWM モード 1）があります。
- コンペアマッチレジスタで、ダイレクトモードかバッファモードを選択できます。
- 2 つの PWM モードの概略動作は、次のとおりです。

- PWM モード 0：デッドタイムカウンタを使用せずに、PWM 信号を生成
- PWM モード 1：デッドタイムカウンタ（DCNTC、DCNTD）を使用して、デッドタイムを自動的に挿入した PWM 信号を生成

バッファモードでは、コンペアマッチレジスタの更新タイミングの前に、一定の期間（3 CPU クロックサイクル＋40 PWM クロックサイクル以上）を空けて、バッファレジスタを設定する必要があります。

表 15-2　高分解能 PWM の動作モード

モード			CMP_xx の更新タイミング	次の CMP_xx	DCNTC の動作	DCNTD の動作	設定値に出力レベルを変更する条件	
							PWMnH	PWMnL
PWM モード 0	ダイレクトモード	アップモード	CPU のライト時	CPU のライト値で更新	停止	停止	VH0 (CNT==CMP_C) または VH1 (CNT==CMP_B)	VL0 (CNT==CMP_A) または VL1 (CNT==CMP_D)
		アップダウンモード			停止	停止	VH0 (CNT(UP)==CMP_C) または VH1 (CNT(DN)==CMP_C)	VL0 (CNT(UP)==CMP_A) または VL1 (CNT(DN)==CMP_A)
	バッファモード	アップモード	CNT が CMP_MAX に達するとき(1)	表 15-3 参照	停止	停止	VH0 (CNT==CMP_C) または VH1 (CNT==CMP_B)	VL0 (CNT==CMP_A) または VL1 (CNT==CMP_D)
		アップダウンモード	カウント方向変更時(2)		停止	停止	VH0 (CNT(UP)==CMP_C) または VH1 (CNT(DN)==CMP_C)	VL0 (CNT(UP)==CMP_A) または VL1 (CNT(DN)==CMP_A)
PWM モード 1	ダイレクトモード	アップモード	CPU のライト時	CPU のライト値で更新	スタート時 (CNT==CMP_A) 停止、クリア時 (DCNTC==CMP_C)	スタート時 (CNT==CMP_B) 停止、クリア時 (DCNTD==CMP_D)	VH0 (DCNTC==CMP_C) または VH1 (CNT==CMP_B)	VL0 (CNT==CMP_A) または VL1 (DCNTD==CMP_D)
		アップダウンモード			スタート時 (CNT(UP)==CMP_A) 停止、クリア時 (DCNTC==CMP_C)	スタート時 (CNT(DN)==CMP_A) 停止、クリア時 (DCNTD==CMP_D)	VH0 (DCNTC==CMP_C) または VH1 (CNT(DN)==CMP_A)	VL0 (CNT(UP)==CMP_A) または VL1 (DCNTD==CMP_D)
	バッファモード	アップモード	CNT が CMP_MAX に達するとき(1)	表 15-3 参照	スタート時 (CNT==CMP_A) 停止、クリア時 (DCNTC==CMP_C)	スタート時 (CNT==CMP_B) 停止、クリア時 (DCNTD==CMP_D)	VH0 (DCNTC==CMP_C) または VH1 (CNT==CMP_B)	VL0 (CNT==CMP_A) または VL1 (DCNTD==CMP_D)
		アップダウンモード	カウント方向変更時(2)		スタート時 (CNT(UP)==CMP_A) 停止、クリア時 (DCNTC==CMP_C)	スタート時 (CNT(DN)==CMP_A) 停止、クリア時 (DCNTD==CMP_D)	VH0 (DCNTC==CMP_C) または VH1 (CNT(DN)==CMP_A)	VL0 (CNT(UP)==CMP_A) または VL1 (DCNTD==CMP_D)

(1) この時点で CNT は、CMP_MIN レジスタをリロードします。
(2) CNT==CMP_MAX または CNT==CMP_MIN の、両方またはどちらかを選択できます。

© SANKEN ELECTRIC CO., LTD. 2017

表 15-3　各 PWM モードのバッファモードにおける次のコンペアマッチレジスタの決定

PWM モード	次の CMP_MAX CMP_MIN	次の CMP_A	次の CMP_B	次の CMP_C	次の CMP_D
0	BUF_MAX BUF_MIN	BUF_A	BUF_B	BUF_C	BUF_D
1	BUF_MAX BUF_MIN	BUF_A	BUF_B	BUF_C	BUF_D

15.4.1. ダイレクトモードとバッファモード

15.4.1.1.　ダイレクトモード

すべてのコンペアマッチレジスタの内容は、CPU、EPU、DSAC で直接更新する必要があります。CPU などでコンペアマッチレジスタを書き換えた場合、その値はすぐに CNT、DCNTC、DCNTD のいずれかと比較されます。したがって、書換えのタイミングによっては、意図しない動作を引き起こす可能性があるため、注意が必要です。ダイレクトモードの場合、バッファレジスタの設定は PWM の動作に影響を与えません。

15.4.1.2.　バッファモード

アップモードの場合、CNT が CMP_MAX レジスタの値と一致して、CMP_MIN レジスタの値をリロードすると、すべてのバッファレジスタの値が対応するコンペアマッチレジスタに転送されます。

アップダウンモードの場合、CNT が CMP_MAX レジスタの値と一致してカウントダウン動作に入るか、CNT が CMP_MIN レジスタの値と一致してカウントアップ動作に入ると、すべてのバッファレジスタの値が対応するコンペアマッチレジスタに転送されます。バッファレジスタの値がコンペアマッチレジスタに転送されるタイミングは 2 つあり、ユーザはその両方、またはどちらかを選択できます。

通常はバッファモードの使用を推奨します。バッファモードでも、コンペアマッチレジスタを直接書き換えることができ、ダイレクトモードと同じように、その値は、すぐに CNT と比較されます。

© SANKEN ELECTRIC CO., LTD. 2017

15.4.2. PWM モード 0

すべての PWM 出力波形の変化タイミングを指定してください。

PWM モード 0 は、デッドタイムカウンタを使用しません。また、PWM モード 0 は、ダイレクトモードとバッファモードの両方で動作できます。

15.4.2.1. PWM モード 0（アップモード）

CNT は、CNT の初期値から CMP_MAX レジスタの値までカウントアップします。CNT と CMP_MAX レジスタの値が一致すると、CNT は CMP_MIN レジスタの値をロードし、CMP_MIN レジスタの値から CMP_MAX レジスタの値までカウントアップします。

以下に CNT とコンペアマッチレジスタが一致した場合の動作を示します。各レベル（VH0、VH1、VL0、VL1）は、変化なし、“L”状態、“H”状態、トグル動作から選択します。

- CNT と CMP_A レジスタの値が一致すると、PWMnL 出力は PWMnLCR1.VL0 ビットで指定したレベルに変更されます。
- CNT と CMP_C レジスタの値が一致すると、PWMnH 出力は PWMnHCR1.VH0 ビットで指定したレベルに変更されます。
- CNT と CMP_B レジスタの値が一致すると、PWMnH 出力は PWMnHCR1.VH1 ビットで指定したレベルに変更されます。
- CNT と CMP_D レジスタの値が一致すると、PWMnL 出力は PWMnLCR1.VL1 ビットで指定したレベルに変更されます。

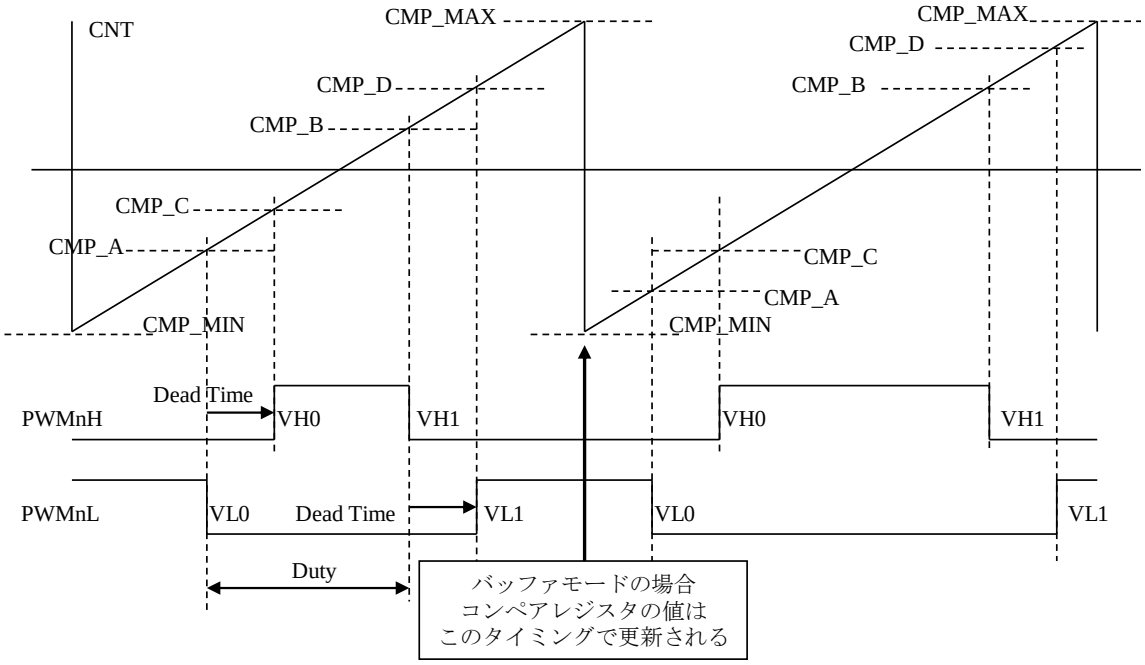


図 15-2　PWM モード 0（アップモード）

© SANKEN ELECTRIC CO., LTD. 2017

15.4.2.2. PWM モード 0（アップダウンモード）

CNT は、CNT の初期値から CMP_MAX レジスタの値までカウントアップします。CNT と CMP_MAX レジスタの値が一致すると、CNT は CMP_MIN レジスタの値までカウントダウンします。CNT と CMP_MIN レジスタの値が一致すると、CNT が CMP_MAX レジスタの値までカウントアップします。PWMCNTS.PWMCSn ビットをクリアして、カウントを停止した場合、カウント再開時の CNT は、停止前のカウントの向きにかかわらず、カウントアップします。

以下に CNT とコンペアマッチレジスタが一致した場合の動作を示します。各レベル（VH0、VH1、VL0、VL1）は、変化なし、“L”状態、“H”状態、トグル動作から選択します。

- カウントアップ時に CNT と CMP_A レジスタの値が一致すると、PWMnL 出力は PWMnLCR1.VL0 ビットで指定したレベルに変更されます。
- カウントアップ時に CNT と CMP_C レジスタの値が一致すると、PWMnH 出力は PWMnHCR1.VH0 ビットで指定したレベルに変更されます。
- カウントダウン時に CNT と CMP_C レジスタの値が一致すると、PWMnH 出力は PWMnHCR1.VH1 ビットで指定したレベルに変更されます。
- カウントダウン時に CNT と CMP_A レジスタの値が一致すると、PWMnL 出力は PWMnLCR1.VL1 ビットで指定したレベルに変更されます。

バッファモードでアップダウンモードを使用する場合、バッファレジスタの値がコンペアマッチレジスタに転送されるタイミングは 2 つあり、タイミングは、そのどちらか、または両方から選択できます。

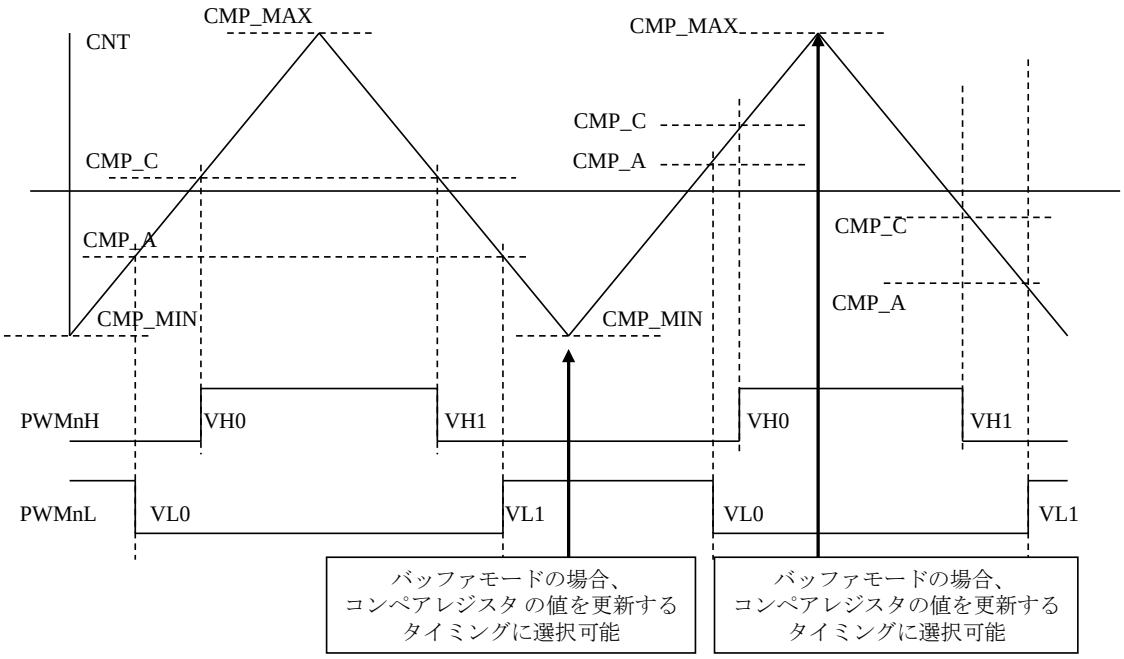


図 15-3　PWM モード 0（アップダウンモード）

15.4.3. PWM モード 1（オートデッドタイム）

デッドタイムは、デッドタイムカウンタ（DCNTC、DCNTD）を使用して、自動的に設定されます。デッドタイムの値は、CMP_C レジスタと CMP_D レジスタの両方で設定する必要があります。CMP_C レジスタと CMP_D レジスタの設定方法は PWM モード 0 とは異なります。

© SANKEN ELECTRIC CO., LTD. 2017

15.4.3.1. PWM モード 1（アップモード）

CNT は、CNT の初期値から CMP_MAX レジスタの値までカウントアップします。CNT と CMP_MAX レジスタの値が一致すると、CNT は CMP_MIN レジスタの値をロードし、CMP_MIN レジスタの値から CMP_MAX レジスタの値までカウントアップします。

以下に PWM モード 1 のアップモードの動作を示します。

- CNT と CMP_A レジスタの値が一致すると、PWMnL 出力は PWMnLCR1.VL0 ビットで指定したレベルに変更され、DCNTC は 0 からカウントアップします。
- DCNTC と CMP_C レジスタの値が一致すると、PWMnH 出力は PWMnHCR1.VH0 ビットで指定したレベルに変更され、DCNTC をクリアしてカウントを停止します。
- CNT と CMP_B レジスタの値が一致すると、PWMnH 出力は PWMnHCR1.VH1 ビットで指定したレベルに変更され、DCNTD は 0 からカウントアップします。
- DCNTD と CMP_D レジスタの値が一致すると、PWMnL 出力は PWMnLCR1.VL1 ビットで指定したレベルに変更され、DCNTD をクリアして、カウントを停止します。

ダイレクトモードの場合、コンペアマッチが発生する前に、一定期間（3 CPU クロックサイクル＋40 PWM カウントサイクル以上）を空けて、コンペアマッチレジスタを変更する必要があります。バッファモードの場合、各コンペアマッチレジスタは、CNT が CMP_MIN レジスタの値をロードするときに変更されます。

DCNTC／D がカウントアップしている間に、CNT が CMP_A／B レジスタの値と一致すると、DCNTC／D は 0 からカウントアップを再開します。その結果、デッドタイムは設定した値よりも長くなります。CMP_C = 0 または CMP_D = 0 の場合、デッドタイムは 1 PWM カウンタサイクルです。

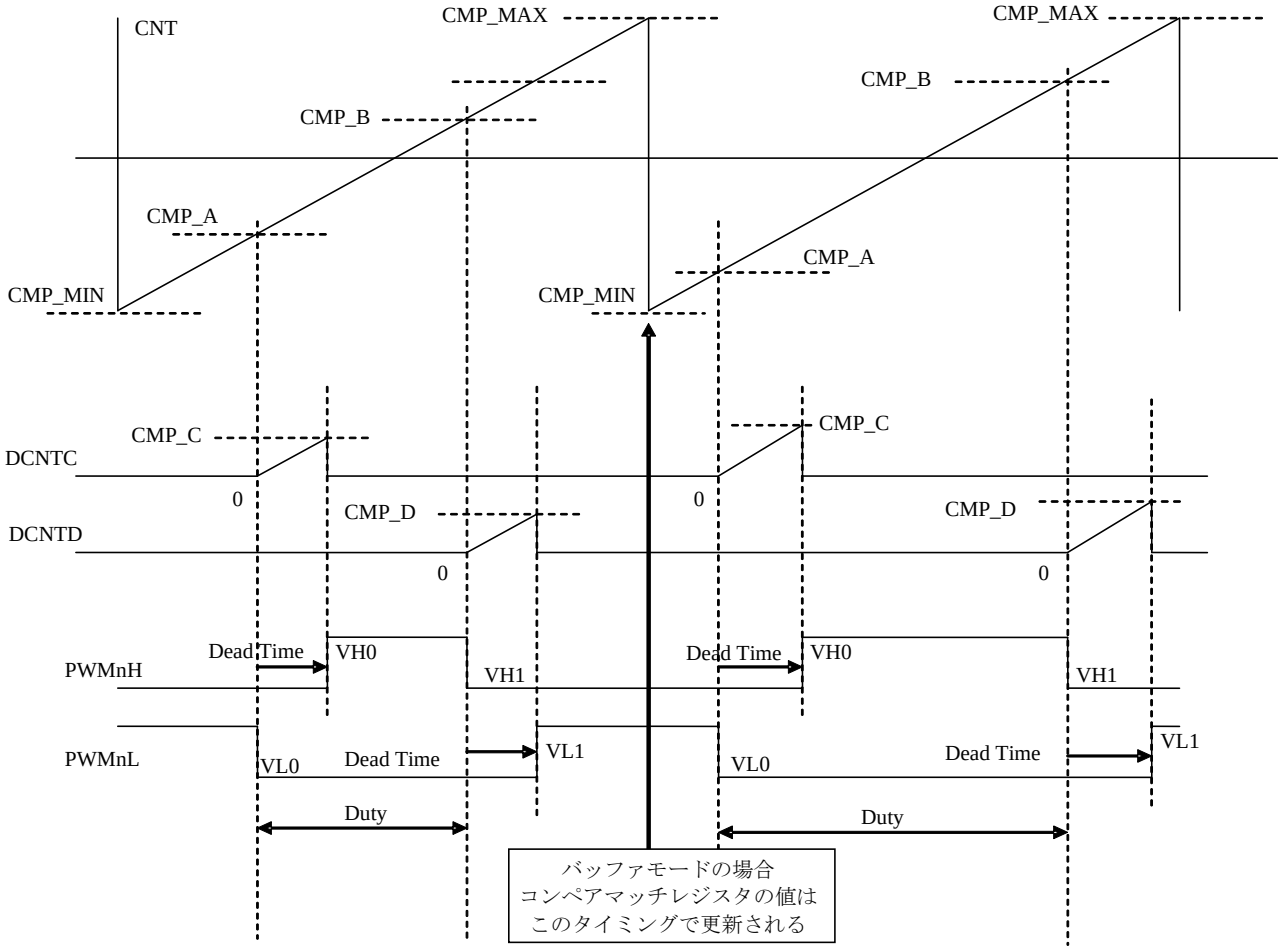


図 15-4　PWM モード 1（アップモード）

© SANKEN ELECTRIC CO., LTD. 2017

15.4.3.2. PWM モード 1（アップダウンモード）

CNT は、CNT の初期値から CMP_MAX レジスタの値までカウントアップします。CNT と CMP_MAX レジスタの値が一致すると、CNT は CMP_MIN レジスタの値までカウントダウンします。CNT と CMP_MIN レジスタのが一致すると、CNT は CMP_MAX レジスタの値までカウントアップします。PWMCNTS.PWMCSn ビットをクリアして、カウントを停止した場合、カウント再開時の CNT は、停止前のカウントの向きにかかわらず、カウントアップします。

以下に PWM モード 1 のアップダウンモードの動作を示します。各レベル（VH0、VH1、VL0、VL1）は、変化なし、“L”状態、“H”状態、トグル動作から選択します。

- CNT（アップカウント）と CMP_A レジスタの値が一致すると、PWMnL 出力は PWMnLCR1.VL0 ビットで指定したレベルに変更され、DCNTC は 0 からカウントアップします。
- DCNTC と CMP_C レジスタの値が一致すると、PWMnH 出力は PWMnHCR1.VH0 ビットで指定したレベルに変更され、DCNTC をクリアして、カウントを停止します。
- CNT（ダウンカウント）と CMP_A レジスタの値が一致すると、PWMnH 出力は PWMnHCR1.VH1 ビットで指定したレベルに変更され、DCNTD は 0 からカウントアップします。
- DCNTD と CMP_D レジスタの値が一致すると、PWMnL 出力は PWMnLCR1.VL1 ビットで指定したレベルに変更され、DCNTD をクリアして、カウントを停止します。

ダイレクトモードの場合、コンペアマッチが発生する前に、一定期間（3 CPU クロックサイクル＋40 PWM カウントサイクル以上）を空けて、コンペアマッチレジスタを変更する必要があります。バッファモードの場合、バッファレジスタの値がコンペアマッチレジスタに転送されるタイミングは 2 つあり、ユーザはその両方、またはどちらかを選択できます。

DCNTC／D がカウントアップしている間に、CNT が CMP_A レジスタの値と一致した場合、DCNTC／D は 0 からカウントアップを再開します。その結果、デッドタイムは設定した値よりも長くなります。CMP_C = 0 または CMP_D = 0 の場合、デッドタイムは 1 PWM カウンタサイクルです。

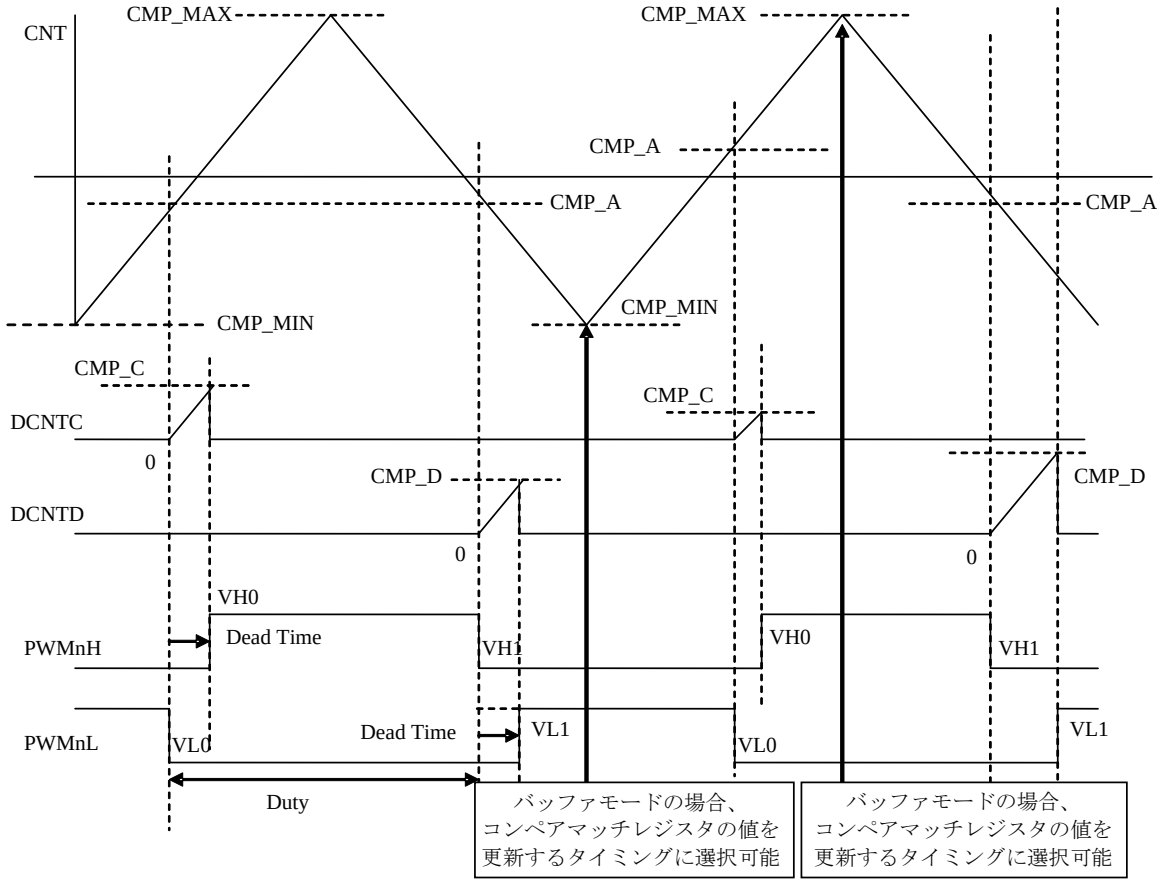


図 15-5 PWM モード 1（アップダウンモード）

© SANKEN ELECTRIC CO., LTD. 2017

15.5. 競合または出力制御条件

表 15-4 に、出力制御動作と複数の比較の一致が同時に発生した場合の優先度を示します。各オートデッドタイムモードで、このような競合が発生した場合は、DCNTC と DCNTD は定義された条件で起動します。

表 15-4　出力制御条件の優先度

モード	PWMnH 出力制御の優先度		PWMnL 出力制御の優先度	
PWM モード 0 (アップモード)	高	VTH イベント	高	VTL イベント
	↑	VH1 イベント	↑	VL1 イベント
		VH0 イベント		VL0 イベント
	低	CMP_MAX のコンペアマッチイベント	低	CMP_MAX のコンペアマッチイベント
PWM モード 0 (アップダウンモード)	高	VTH イベント	高	VTL イベント
	↑	VH1 イベント	↑	VL1 イベント
		VH0 イベント		VL0 イベント
		CMP_MAX のコンペアマッチイベント		CMP_MAX のコンペアマッチイベント
	低	CMP_MIN のコンペアマッチイベント	低	CMP_MIN のコンペアマッチイベント
PWM モード 1 (アップモード)	高	VTH イベント	高	VTL イベント
	↑	VH1 イベント	↑	VL1 イベント
		VH0 イベント		VL0 イベント
	低	CMP_MAX のコンペアマッチイベント	低	CMP_MAX のコンペアマッチイベント
PWM モード 1 (アップダウンモード)	高	VTH イベント	高	VTL イベント
	↑	VH1 イベント	↑	VL1 イベント
		VH0 イベント		VL0 イベント
		CMP_MAX のコンペアマッチイベント		CMP_MAX のコンペアマッチイベント
	低	CMP_MIN のコンペアマッチイベント	低	CMP_MIN のコンペアマッチイベント

バスからのコンペアマッチレジスタか CNT の更新と、コンペアマッチが競合した場合は、以下のように動作します。

- コンペアマッチ発生時に、コンペアマッチレジスタが別の値に更新される場合、更新前のコンペアマッチによる動作が実行されます。
- コンペアマッチレジスタの更新時に、更新後の値でコンペアマッチが発生する場合、更新後の値によるコンペアマッチの動作は実行されません。
- コンペアマッチ発生時に、CNT を強制的に別の値に書き換えた場合、書き換える前のコンペアマッチによる動作が実行されます。
- CNT を強制的に別の値に書き換えたときに、書き換えた値とコンペアマッチレジスタの値が一致する場合、書き換えた後のコンペアマッチによる動作は、実行されません。

© SANKEN ELECTRIC CO., LTD. 2017

15.6. 動作タイミング

15.6.1. コンペアマッチタイミング

図 15-6 にコンペアマッチのタイミングを示します。図 15-6 に示す例の条件は、以下のとおりです。

- モジュールシステムクロック：960 MHz
- カウントアップ／カウントダウンタイミング：960 MHz

960 MHz のカウントアップ／カウントダウンのタイミングで CNT が更新されます。コンペアマッチレジスタ(CMP_xx)が CNT と一致し、次の CNT を更新するタイミングでコンペアマッチが発生します。

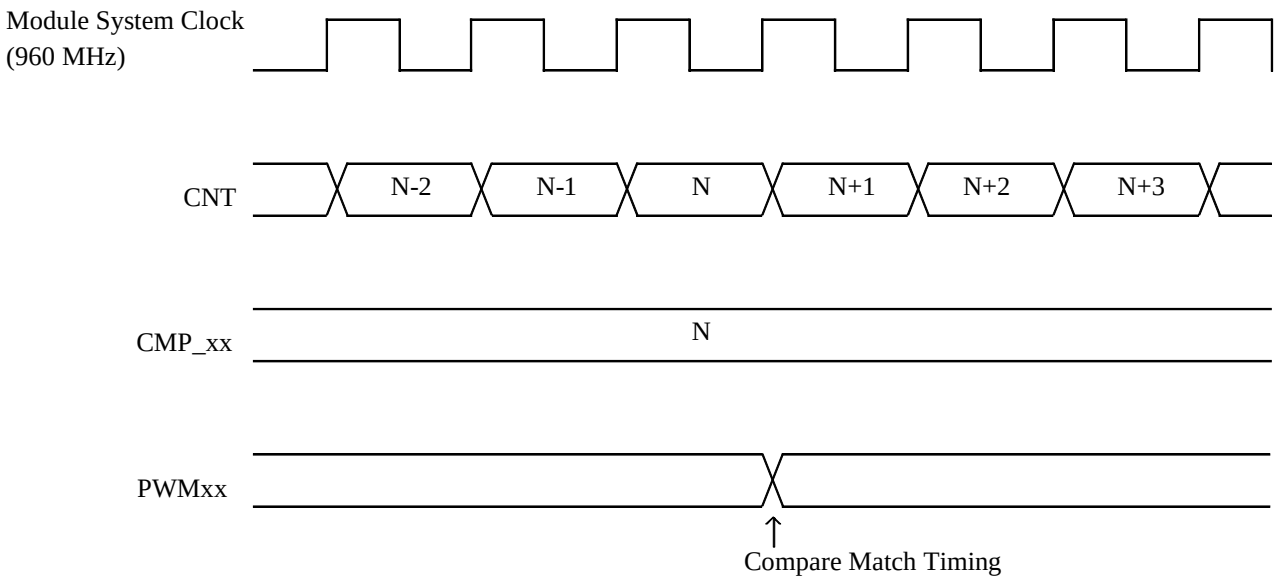


図 15-6　コンペアマッチタイミング

© SANKEN ELECTRIC CO., LTD. 2017

15.6.2. アップモードにおける CNT クリアタイミング

図 15-7 にアップモードの CNT クリアタイミングを示します。図 15-7 に示す例の条件は、以下のとおりです。

- モジュールシステムクロック：960 MHz
- カウントアップタイミング：960 MHz

CMP_MAX レジスタの値が CNT と一致し、次の CNT を更新するタイミングで CNT が CMP_MIN レジスタの値をリロードします。

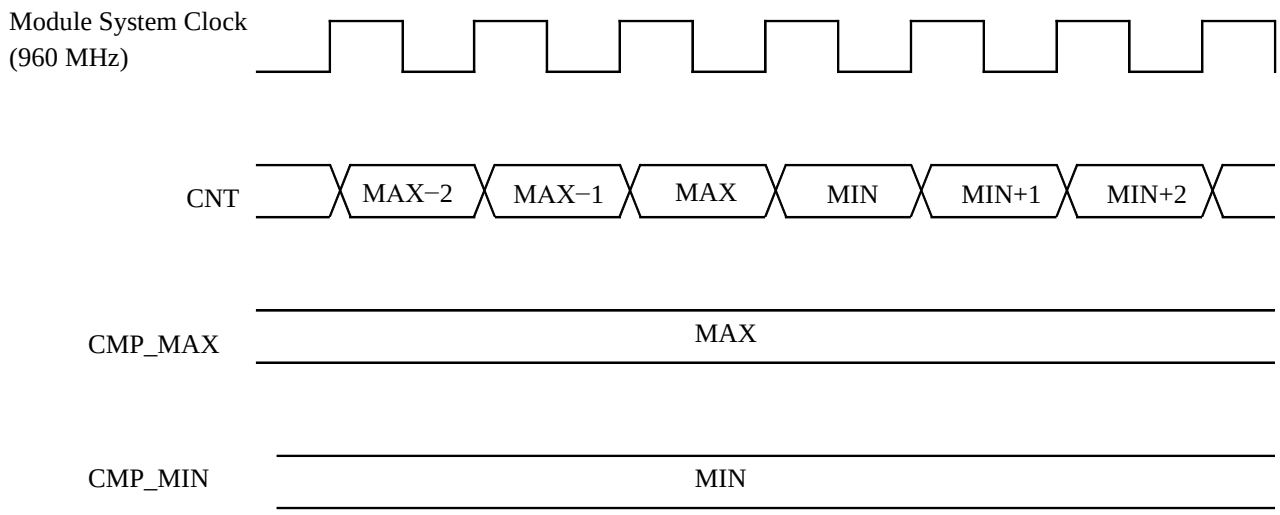


図 15-7　アップモードのカウンタクリア（CNT の CMP_MIN リロード）タイミング

© SANKEN ELECTRIC CO., LTD. 2017

15.6.3. アップダウンモードにおけるアップダウンカウンタのカウントアップからカウントダウンへの変更

図 15-8 にカウントアップからカウントダウンに変更するタイミングを示します。図 15-8 の例の条件は、以下のとおりです。

- モジュールシステムクロック：960 MHz
- カウントアップ／カウントダウンタイミング：960 MHz

カウントダウン動作の CNT の最初の値は、カウントアップ動作の CNT の最後の値と同じです。これは、CMP_MAX レジスタの値が CNT のカウントアップ／カウントダウンのタイミングの 2 サイクル間で保持されることを意味します。

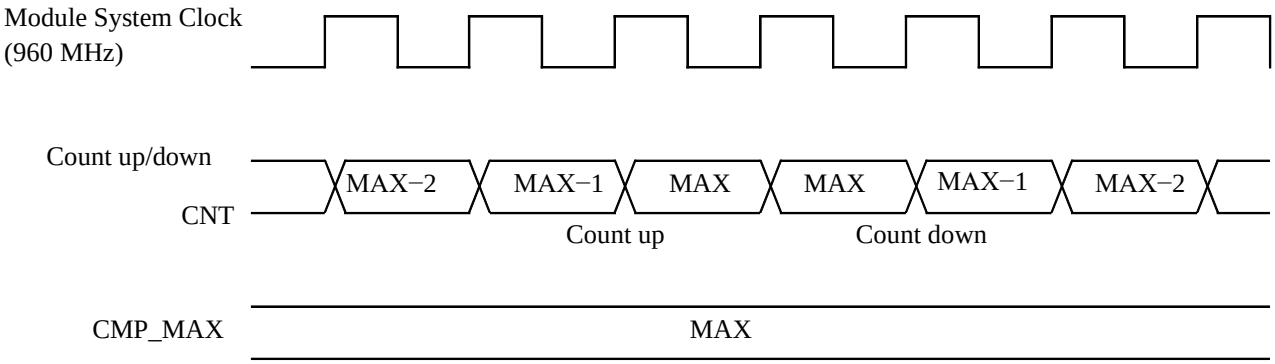


図 15-8　アップダウンモードでのカウントアップからカウントダウンへの変更タイミング

© SANKEN ELECTRIC CO., LTD. 2017

15.6.4. アップダウンモードにおけるアップダウンカウンタのカウントダウンからカウントアップへの変更

図 15-9 にカウントダウンからカウントアップに変更するタイミングを示します。図 15-9 に示す例の条件は、以下のとおりです。

- モジュールシステムクロック：960 MHz
- カウントアップ／ダウンタイミング：960 MHz

カウントダウンからカウントアップに切り換わるとき、CNT の最初の値は、カウントダウン動作における CNT の最後の値と同じです。これは、CNT カウントアップ／カウントダウンのタイミングの 2 サイクル間で、CMP_MIN レジスタの値が保持されていることを意味します。

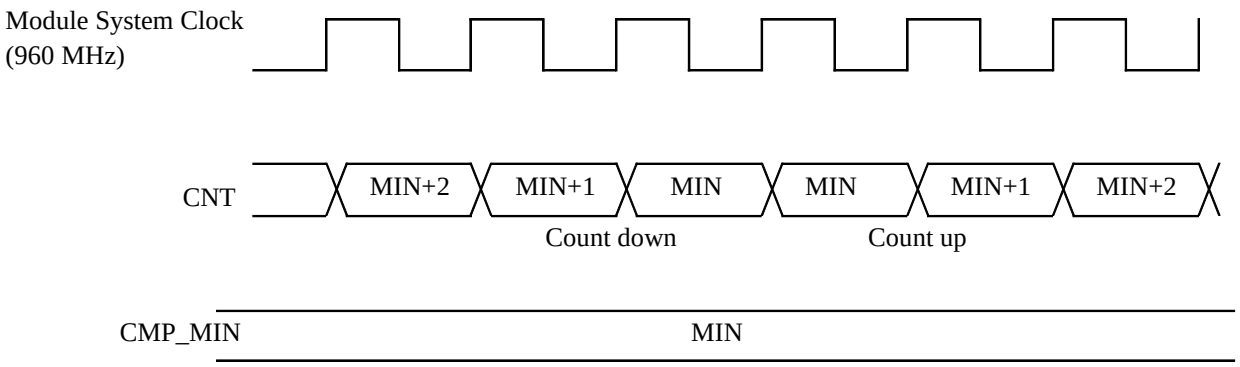


図 15-9　アップダウンモードでのカウントダウンからカウントアップへの変更タイミング

CNT をリロードした直後でも、コンペアマッチの判定は毎回実行されます。

最小パルス幅は、カウンタ更新周期（960 MHz で 1.096 ns）と一致します。しかし、非常に狭いパルス幅の場合、そのパルスは、端子の立ち上がり／立ち下がり時間によって消失する可能性があります。

コンペアマッチイベント後、PWMnH と PWMnL のトグル動作が発生するまでに、内部遅延があります。

© SANKEN ELECTRIC CO., LTD. 2017

15.7. リトリガ動作

各カウンタブロックは、リトリガ動作モードを設定できます。各出力信号またはカウンタ値は、指定されたイベントで再設定できます。リトリガには、5 つの動作モード（A、B、C、D、リトリガマスク動作）があり、5 つの動作モードで PWMnH と PWMnL の両方の出力レベルを制御できます。

15.7.1. リトリガイベント

エッジイベントとレベルイベントで、リトリガを指定できます。表 15-5 にエッジイベント、表 15-6 にレベルイベントの概要を示します。PWMnRTRS.PWMRTS ビットに、イベントに対応する数字をライトして、PWM のリトリガイベントを選択します。

以下に設定例を示します。

- EPU のチャネル 0 から出力されるイベント 0 をリトリガイベントにする場合：
  PWMnRTRS.PWMRTS = 0b010100
- LUT0 の出力をリトリガイベントに使用する場合：
  PWMnRTRS.PWMRTS = 0b100110

リトリガのエッジイベントは、PWM がモジュールからのイベントパルスを受けるか、特定の信号のエッジを検出すると、発生します。リトリガをエッジイベントに設定した場合、PWM はイベント発生の有無だけを管理します。リトリガのエッジイベントを使用する場合は、PWMnRTRG.RTRGPLS ビットを 0b000 に設定してください。

リトリガのレベルイベントは、PWM で信号のレベルを管理します。イベントの発生タイミングは、信号の立ち上がりエッジ、立ち下がりエッジ、両エッジ、“H”レベル、“L”レベルから、いずれか 1 つを選択できます。レベルイベントの発生タイミングの設定は、PWMnRTRG レジスタの説明（15.12.15 項）を参照してください。レベルイベントの発生タイミングを“L”レベルか“H”レベルに設定した場合、リトリガ動作モード C は選択できません。

エッジイベントとレベルイベントは、リトリガマスク動作時の処理が異なります。詳細は 15.7.8 項を参照してください。

© SANKEN ELECTRIC CO., LTD. 2017

表 15-5　リトリガ用エッジイベント

番号	ソース	備考
0	CPU アクセス	
1	リザーブ	
2	Timer0_CMA からのトリガパルス	
3	Timer1_CMA からのトリガパルス	
4	CMP0 からのトリガパルス	
5	CMP1 からのトリガパルス	
6	CMP2 からのトリガパルス	
7	CMP3 からのトリガパルス	
8	GPIO0 からのポジティブエッジ信号イベント	
9	GPIO1 からのポジティブエッジ信号イベント	
10	GPIO2 からのポジティブエッジ信号イベント	
11	リザーブ	
12	GPIO0 からのネガティブエッジ信号イベント	
13	GPIO1 からのネガティブエッジ信号イベント	
14	GPIO2 からのネガティブエッジ信号イベント	
15	リザーブ	
16	Timer2_CMA からのトリガパルス	
17	Timer3_CMA からのトリガパルス	
18	CMP4 からのトリガパルス	
19	CMP5 からのトリガパルス	
20	EPU のチャネル 0 イベント 0	
21	EPU のチャネル 0 イベント 1	
22	EPU のチャネル 1 イベント 0	
23	EPU のチャネル 1 イベント 1	
24	EPU のチャネル 2 イベント 0	
25	EPU のチャネル 2 イベント 1	
26	EPU のチャネル 3 イベント 0	
27	EPU のチャネル 3 イベント 1	
28	EPU のチャネル 4 イベント 0	
29	EPU のチャネル 4 イベント 1	
30	EPU のチャネル 5 イベント 0	
31	EPU のチャネル 5 イベント 1	

© SANKEN ELECTRIC CO., LTD. 2017

表 15-6　リトリガ用レベルイベント

番号	ソース	備考
32	CMP0 出力	
33	CMP1 出力	
34	CMP2 出力	
35	CMP3 出力	
36	CMP4 出力	
37	CMP5 出力	
38	LUT0 出力	
39	LUT1 出力	
40	GPIO0 イベントレベル	
41	GPIO1 イベントレベル	
42	GPIO2 イベントレベル	
43～63	リザーブ	

© SANKEN ELECTRIC CO., LTD. 2017

15.7.2. リトリガモード A の動作

リトリガモード A で、指定したイベントを検出すると、各 PWM 出力信号を指定したレベルに変更します（変更方法の詳細は 15.7.7 項を参照）。この状態は、カウンタ（CNT）が停止されるまで継続し、この期間、PWM は CNT とコンペアマッチレジスタの比較による PWM 出力の変更やイベント出力を停止します。この期間を Non-comparison 期間と呼びます。

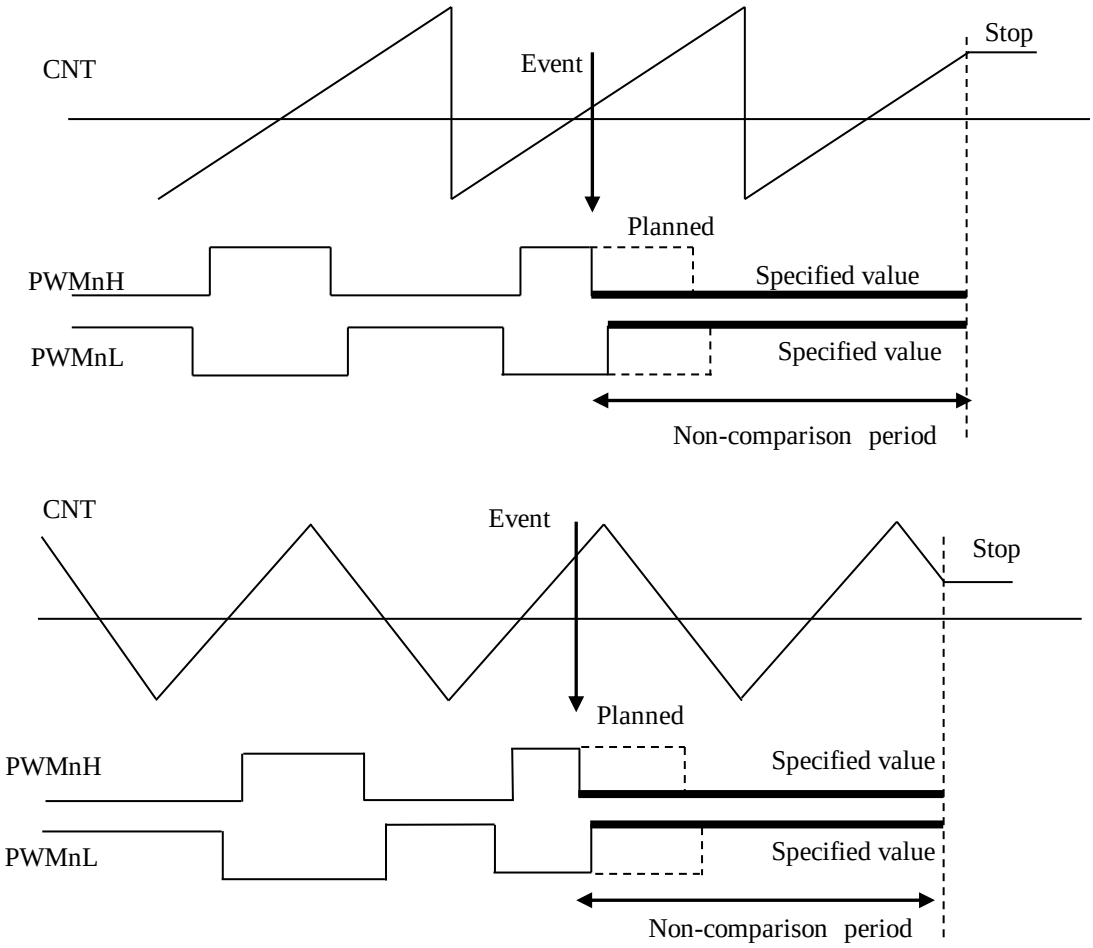


図 15-10　リトリガモード A

© SANKEN ELECTRIC CO., LTD. 2017

15.7.3. リトリガモード B の動作

リトリガモード B で、指定したイベントを検出すると、各 PWM 出力信号を指定したレベルに変更します（変更方法の詳細は 15.7.7 を参照）。この状態は、カウンタ（CNT）が、CMP_MIN レジスタの値をロードするまで継続します。イベントを検出してから CMP_MIN レジスタの値をロードするまでの期間は、Non-comparison 期間です。

CNT = CMP_MIN になると、通常の比較動作を再開します。

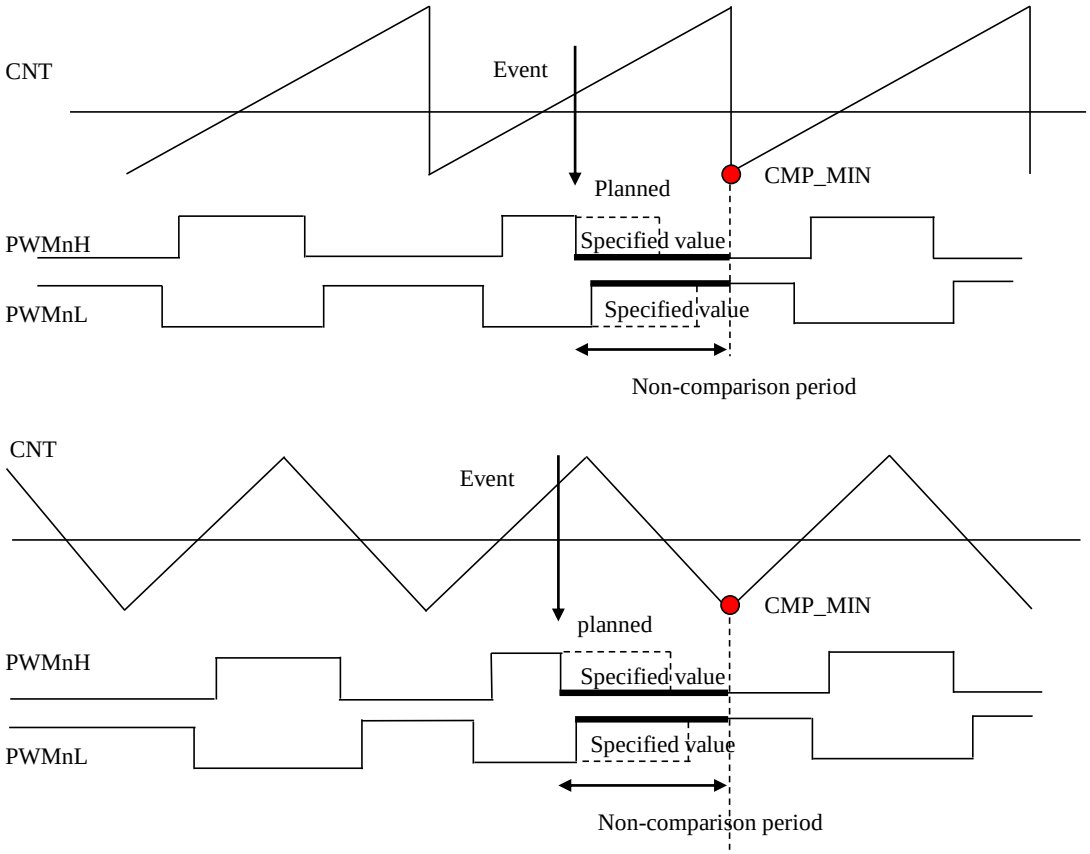


図 15-11　リトリガモード B

© SANKEN ELECTRIC CO., LTD. 2017

15.7.4. リトリガモード C の動作

リトリガモード C で、指定したイベントを検出すると、各 PWM 出力信号を指定したレベルに変更します。その後、カウンタ（CNT）は、次のように動作します。

- アップモードの場合：CNT は、CMP_MIN レジスタの値をロードして、ロードした値からカウントアップ
- アップダウンモードのカウントアップ中の場合：CNT は、CMP_MAX レジスタの値をロードして、ロードした値からカウントダウン
- アップダウンモードのカウントダウン中の場合：CNT は、CMP_MIN レジスタの値をロードして、ロードした値からカウントアップ

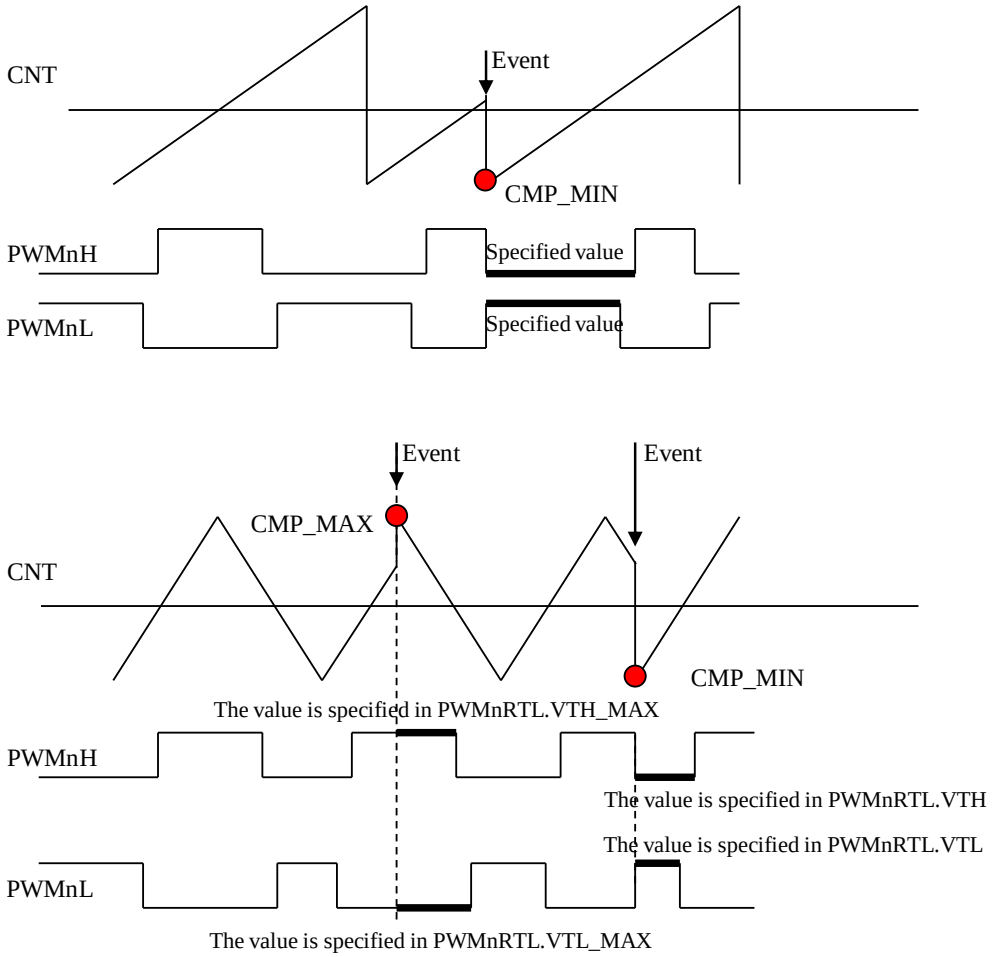


図 15-12　リトリガモード C

15.7.5. リトリガモード C 動作開始時のバッファ更新

リトリガモード C の場合、リトリガ動作開始イベントをトリガにして、コンペアマッチレジスタをバッファレジスタのデータに更新できます。PWM カウンタのカウントの向きで、設定の方法が異なります。詳細は、PWMnRTRS レジスタのビット 6、ビット 7 を参照してください。

© SANKEN ELECTRIC CO., LTD. 2017

15.7.6. リトリガモード D の動作

リトリガモード D で、指定したイベントを検出すると、イベント検出後にカウンタ（CNT）が CMP_MIN レジスタの値をロードしてから、その次に CMP_MIN レジスタの値をロードするまで、Non-comparison 期間になります。

Non-comparison 期間中に、再度指定したイベントを検出した場合、Non-comparison 期間は次の PWM 周期まで延長されます。

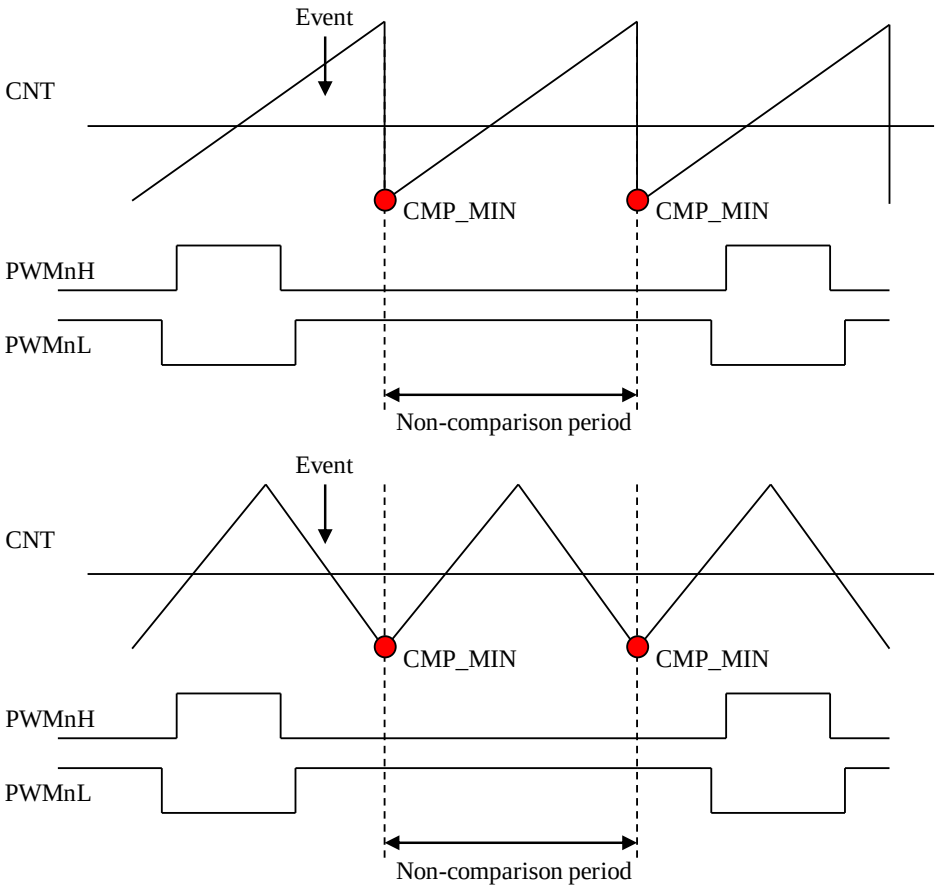


図 15-13　リトリガモード D

© SANKEN ELECTRIC CO., LTD. 2017

15.7.7. リトリガマスク動作

リトリガマスクを選択すると、リトリガイベントをマスク（無視）できます。マスク期間の開始タイミングは、PWM 出力信号の各エッジ（PWMnH／PWMnL の立ち上がりエッジか立ち下がりエッジ）から選択できます。マスク期間を測定するカウンタの分周は、Count Clock Frequency/8、Count Clock Frequency/16、Count Clock Frequency/32のいずれかから選択できます。

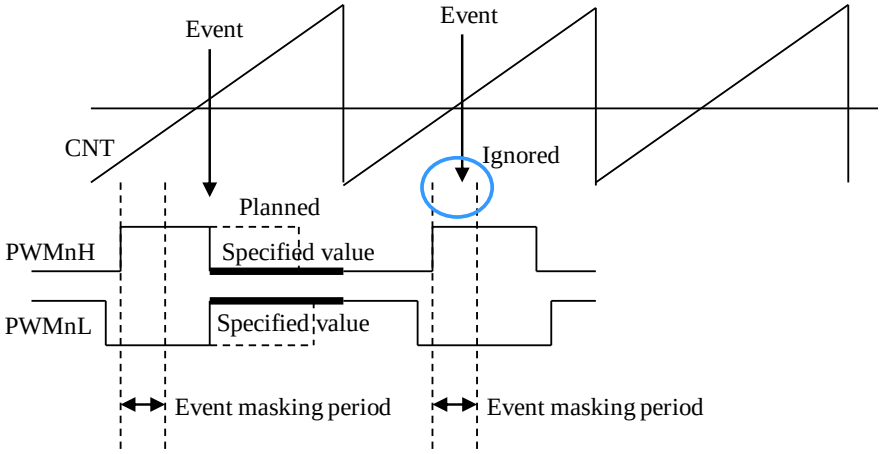


図 15-14　リトリガマスク動作

15.7.8. マスク解除時のエッジイベントとレベルイベントの解釈

リトリガのイベントにエッジイベントを選択した場合と、レベルイベントを選択した場合で、リトリガマスク設定時の動作が異なります。

エッジイベントを選択した場合、PWM はイベントをパルスで受け取るため、マスク期間中のエッジイベントは無視されます。

レベルイベントを選択した場合、PWM はイベント信号のレベルを管理しています。したがって、レベルイベントにイベントマスクを使用すると、イベント動作中にイベント信号のレベルをネゲート側に固定します。例として、レベル信号の立ち下がりエッジをリトリガのレベルイベントに設定し、レベル信号がマスク期間終了時に“L”の場合を考えます。マスク期間中は、レベル信号はマスク処理で“H”に固定されていますが、マスク期間が終了すると、レベル信号が“L”になるため、立ち下がりエッジが発生します。この結果、リトリガ動作イベントが発生し、PWM はリトリガ動作をします。

図 15-15 に、リトリガ検知回路の概要を示します。

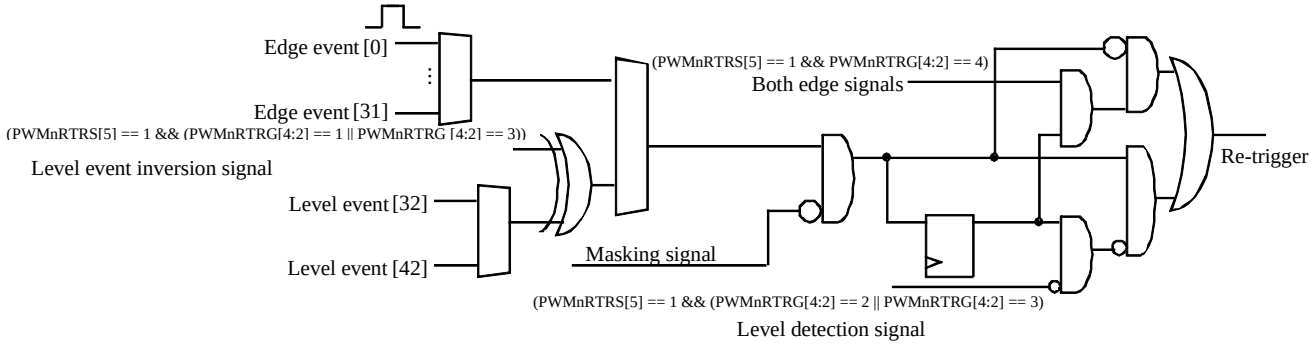


図 15-15　リトリガ検知回路

© SANKEN ELECTRIC CO., LTD. 2017

15.7.9. リトリガ動作で出力波形を変更する方法

PWM のリトリガ動作を実行すると、出力波形は表 15-7 のように変更されます。表 15-7 の内容は、アップモードとアップダウンモードの両方に適用されます。

PWMnH の出力レベルは、PWMnRTL.VTH ビットで設定し、PWMnL の出力レベルは、PWMnRTL.VTL ビットで設定します。

表 15-7　リトリガ動作による出力波形

モード	PWMnH の出力レベル	PWMnL の出力レベル
PWM モード 0	すぐに PWMnRTL.VTH ビットで指定した値に変更する	すぐに PWMnRTL.VTL ビットで指定した値に変更する
PWM モード 1	すぐに PWMnRTL.VTH ビットで指定値に変更し、同時に DCNTD を CMP_D レジスタの値までカウントアップする	DCNTD と CMP_D がコンペアマッチしたタイミングで、PWMnRTL.VTL ビットで指定した値に変更し、同時に DCNTD をクリアする

15.8. イベント出力

各カウンタブロックには、以下の 3 本のイベント出力があります。

- PWMn Event0
- PWMn Event1
- PWMn TIMERSYNC（タイマ（17 項参照）のカウント値をリセットするイベント）

各イベントは、イベントの発生要因を、以下の PWM 内部イベントから選択できます。このとき、1 本のイベントに対して、複数の PWM 内部イベントを選択できます。複数の PWM 内部イベントを選択した場合、PWM 内部イベントが 1 本でも発生すると、そのタイミングで PWM イベントを出力します。

- EVT_MIN：CNT と CMP_MIN レジスタの値のコンペアマッチイベント
- EVT_MAX：CNT と CMP_MAX レジスタの値のコンペアマッチイベント
- EVT_VH1：PWMnH 端子が端子状態 VH1 に遷移するイベント
- EVT_VH0：PWMnH 端子が端子状態 VH0 に遷移するイベント
- EVT_VL1：PWMnL 端子が端子状態 VL1 に遷移するイベント
- EVT_VL0：PWMnL 端子が端子状態 VL0 に遷移するイベント
- EVT_T：リトリガ動作開始イベントの検知

アップモードの場合、EVT_MIN のイベントは発生しません。

EVT_VH0／1、EVT_VL0／1 のイベントは、端子状態が VH0／1、VL0／1 に遷移したときにのみ発生します。例として、VL0 を“L”に設定したときに、PWMnLCR0 レジスタへのアクセスで PWMnL が“L”になった場合、EVT_VL0 のイベントは発生しません。これは、端子のレベルと VL0 で指定したレベルが偶然一致しただけであり、PWMnL 端子が VL0 の制御状態に移行していないためです。EVT_VH1、EVT_VH0、EVT_VL1、EVT_VL0 のイベントは、カウンタとコンペアマッチレジスタのコンペアマッチでのみ発生します。

© SANKEN ELECTRIC CO., LTD. 2017

15.9. 割込み出力

各カウンタブロックには、以下の 2 本の割込み出力があります。

- PWMn INT0
- PWMn INT1

各割込みは、割込みの発生要因を、以下の PWM 内部イベントから選択できます。このとき、1 本の割込みに対して、複数の PWM 内部イベントを選択できます。複数の PWM 内部イベントを選択した場合、PWM 内部イベントが 1 本でも発生すると、そのタイミングで割込みが発生します。

- INT_MIN：CNT と CMP_MIN レジスタの値のコンペアマッチイベント
- INT_MAX：CNT と CMP_MAX レジスタの値のコンペアマッチイベント
- INT_VH1：PWMnH 端子が端子状態 VH1 に遷移するイベント
- INT_VH0：PWMnH 端子が端子状態 VH0 に遷移するイベント
- INT_VL1：PWMnL 端子が端子状態 VL1 に遷移するイベント
- INT_VL0：PWMnL 端子が端子状態 VL0 に遷移するイベント
- INT_T：リトリガ動作開始イベントの検知

アップモードの場合、INT_MIN のイベントは発生しません。

INT_VH0／1、INT_VL0／1 のイベントは、端子状態が VH0／1、VL0／1 に遷移したときにのみ発生します。例として、VL0 を“L”に設定したときに、PWMnLCR0 レジスタへのアクセスで PWMnL が“L”になった場合、INT_VL0 のイベントは発生しません。これは、端子のレベルと VL0 で指定したレベルが偶然一致しただけであり、PWMnL 端子が VL0 の制御状態に移行していないためです。INT_VH1、INT_VH0、INT_VL1、INT_VL0 のイベントは、カウンタとコンペアマッチレジスタのコンペアマッチでのみ発生します。

15.10. リトリガ動作時のイベント、割込み出力

リトリガ A、リトリガ B、リトリガ D が発生すると、リトリガ動作が解除されるまでコンペアマッチを行わない期間が発生します。デフォルトの場合も、コンペアマッチによるイベントや割込みは出力されません。

例として、PWM モード 0 のアップモードで、PWMnH が VH0 になったときに PWMn の Event0 を出力するように設定した場合（PWMnEVO0.EVT_VH0 = 1）、CNT が CMP_C レジスタの値と一致すると、PWMnH が VH0 に変化して、PWMn の Event0 が発生します。CNT が CMP_C レジスタの値と一致する前に PWM がリトリガ動作を開始した場合は、PWMn の Event0 は発生しません。これは、CNT と CMP_C レジスタの値が一致しても、PWMnH 端子が VH0 の制御状態に移行していないためです。

リトリガ動作中に、CNT とコンペアマッチレジスタの値のコンペアマッチのタイミングで発生するイベントや割込みを出力するには、PWMnRTRG.RTMSKD ビットを 1 に設定します。これにより、上記の例のようなリトリガ動作の間でも、CNT と CMP_C レジスタの値が一致したタイミングで PWMn の Event0 が出力されます。

15.11. レジスタアクセス

PWM モジュールには、バッファレジスタ、コンペアマッチレジスタ、カウンタ（CNT）などの 16 ビットレジスタがあります。CPU や DSAC からこれらのレジスタにライトする場合は、LSB 側のレジスタを先にライトしてください。

ライトアクセスの場合、1 回目のアクセスで書込みデータが LSB 側のテンポラリレジスタに格納されます。その後、2 回目のアクセスで MSB 側にデータが書き込まれます。2 回目のアクセスと同時に、テンポラリレジスタのデータがレジスタの LSB 側に転送されます。

リードアクセスの場合は、1 回目のアクセスで LSB 側のデータを取得します。同時に MSB 側のデータがテンポラリレジスタに格納されます。その後、2 回目のアクセス時に、テンポラリレジスタから MSB 側のデータを取得します。

SFR 領域に割り当てられた PWM の 16 ビット幅レジスタは、同じアドレスに 16 ビット値の LSB 側レジ

© SANKEN ELECTRIC CO., LTD. 2017

スタと MSB 側レジスタが割り当てられています。

XDATA BUS 領域に割り当てられた PWM の 16 ビット幅レジスタは、16 ビット値の LSB 側レジスタと MSB 側レジスタに、それぞれ独立したアドレスが割り当てられています。アドレスの割り当ては、リトルエンディアン方式（LSB 側は下位アドレス、MSB 側は上位アドレス）に従います。

SFR 領域にマッピングされているバッファレジスタに対して、DSAC は 16 ビットデータを 1 ワードアクセスモードで一度に読み書きできます。

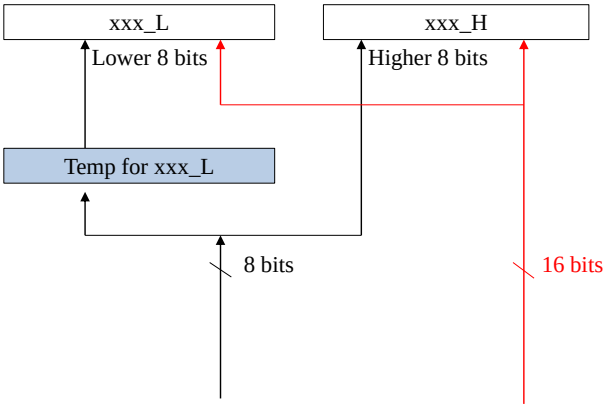


図 15-16　16 ビットレジスタ書込み方式

PWMnACSTS.XREGACS ビットは、XDATA BUS に属するレジスタのブロックごとの書込みアクセスフラグです。PWMnACSTS.XREGACS ビットは、次のどちらかにライトした場合にアサートされます。

- XDATA BUS に属する 8 ビットのレジスタにライト
  （PWMCNTS、PWMnEVO0／1／T、PWMnINTS0／1、PWMnACCLR 以外）
- XDATA BUS に属する 16 ビットのデータ幅を持つレジスタの MSB 側のデータにライト

PWMnACSTS.XREGACS = 1 のとき、上記の XDATA BUS に属する 8 ビットのレジスタへの書込みが進行中です。この間は、新規の書込みは、受け付けません。書込み動作が終了すると、PWMnACSTS.XREGACS ビットはネゲートされ、次の書込みができる状態になります。書込みは、PWMnACSTS.XREGACS = 0 のときのみ受け付けます。

PWMnACSTS.SFRACS ビットは、SFR の書込みアクセスフラグです。PWMnACSTS.SFRACS = 1 は、SFR の書込み動作が進行中であることを示します。BUF_A／B／C／D レジスタの MSB 側にデータが書き込まれると、PWMnACSTS.SFRACS ビットが 1 にセットされます。BUF_A／B／C／D レジスタは、PWMnACSTS.SFRACS = 1 のときに 1 回だけ連続でライトできます。例として、BUF_An_L → BUF_An_H → BUF_Bn_L → BUF_Bn_H → BUF_Cn_L → BUF_Cn_H → BUF_Dn_L → BUF_Dn_H とライトできます。BUF_A／B／C／D レジスタの書込み動作後、再度 BUF_A／B／C／D レジスタに再度ライトする場合、PWMnACSTS.SFRACS = 0 を確認してからライトしてください。

PWMnACSTS.CNTSACS ビットは、PWMCNTS レジスタへのアクセスを管理するフラグです。PWMCNTS レジスタにライトするとアサートされます。PWMCNTS レジスタに再度ライトする場合は、PWMnACSTS.CNTSACS = 0 を確認してからライトしてください。

PWMnACSTS レジスタがアクセスを管理するレジスタにライトする場合は、6 CPU クロックサイクル＋24 PWM カウントサイクル必要です。

SFR BUS に属するレジスタのうち、アドレスが 0x60～0x7F に割り当てられているレジスタに SFR BUS からアクセスする場合は、ライトのみ有効です。該当するレジスタのデータを、SFR_BUS からリードした場合、読み出したデータはすべて 0 になります。

© SANKEN ELECTRIC CO., LTD. 2017

15.12. レジスタ説明

表 15-8　XDATA BUS 共通レジスタ

Symbol	Address	Initial Value
PWMCNTS	0xF903	0x00

表 15-9　XDATA BUS レジスタ一覧（各チャネル）

Symbol (Channel n)	Address (Channel0)	Address (Channel1)	Address (Channel2)	Address (Channel3)	Initial Value
PWMnEVO0	0xF905	0xF945	0xF985	0xF9C5	0x00
PWMnEVO1	0xF906	0xF946	0xF986	0xF9C6	0x00
PWMnEVOT	0xF907	0xF947	0xF987	0xF9C7	0x00
PWMnINTS0	0xF908	0xF948	0xF988	0xF9C8	0x00
PWMnINTS1	0xF909	0xF949	0xF989	0xF9C9	0x00
PWMnINTF	0xF90A	0xF94A	0xF98A	0xF9CA	0x00
PWMnACCLR	0xF90B	0xF94B	0xF98B	0xF9CB	0x00
PWMnACSTS	0xF90C	0xF94C	0xF98C	0xF9CC	0x00
CNTn_L	0xF910	0xF950	0xF990	0xF9D0	0x00
CNTn_H	0xF911	0xF951	0xF991	0xF9D1	0x00
CMP_An_L	0xF912	0xF952	0xF992	0xF9D2	0x00
CMP_An_H	0xF913	0xF953	0xF993	0xF9D3	0x00
CMP_Bn_L	0xF914	0xF954	0xF994	0xF9D4	0x00
CMP_Bn_H	0xF915	0xF955	0xF995	0xF9D5	0x00
CMP_Cn_L	0xF916	0xF956	0xF996	0xF9D6	0x00
CMP_Cn_H	0xF917	0xF957	0xF997	0xF9D7	0x00
CMP_Dn_L	0xF918	0xF958	0xF998	0xF9D8	0x00
CMP_Dn_H	0xF919	0xF959	0xF999	0xF9D9	0x00
CMP_MINn_L	0xF91A	0xF95A	0xF99A	0xF9DA	0x00
CMP_MINn_H	0xF91B	0xF95B	0xF99B	0xF9DB	0x00
CMP_MAXn_L	0xF91C	0xF95C	0xF99C	0xF9DC	0x00
CMP_MAXn_H	0xF91D	0xF95D	0xF99D	0xF9DD	0x00
PWMnCNTMD	0xF920	0xF960	0xF9A0	0xF9E0	0x00
PWMnHCR0	0xF921	0xF961	0xF9A1	0xF9E1	0x00
PWMnLCR0	0xF922	0xF962	0xF9A2	0xF9E2	0x00
PWMnHCR1	0xF923	0xF963	0xF9A3	0xF9E3	0x00
PWMnLCR1	0xF924	0xF964	0xF9A4	0xF9E4	0x00
PWMnMODE	0xF925	0xF965	0xF9A5	0xF9E5	0x00
PWMnRTRG	0xF926	0xF966	0xF9A6	0xF9E6	0x00
PWMnRTRS	0xF927	0xF967	0xF9A7	0xF9E7	0x00
PWMnRTGC	0xF928	0xF968	0xF9A8	0xF9E8	0x00
PWMnRTL	0xF929	0xF969	0xF9A9	0xF9E9	0x00
PWMnRTMC	0xF92A	0xF96A	0xF9AA	0xF9EA	0x00
PWMnRTMP	0xF92B	0xF96B	0xF9AB	0xF9EB	0x00
BUF_MINn_L	0xF92C	0xF96C	0xF9AC	0xF9EC	0x00
BUF_MINn_H	0xF92D	0xF96D	0xF9AD	0xF9ED	0x00
BUF_MAXn_L	0xF92E	0xF96E	0xF9AE	0xF9EE	0x00
BUF_MAXn_H	0xF92F	0xF96F	0xF9AF	0xF9EF	0x00

© SANKEN ELECTRIC CO., LTD. 2017

表 15-10　SFR レジスター覧（各チャネル）

Symbol (Channel n)	Address (Channel0)	Address (Channel1)	Address (Channel2)	Address (Channel3)	Initial Value
BUF_An_L	0xE4	0xEC	0xF4	0xFC	0x00
BUF_An_H	0xE4	0xEC	0xF4	0xFC	0x00
BUF_Bn_L	0xE5	0xED	0xF5	0xFD	0x00
BUF_Bn_H	0xE5	0xED	0xF5	0xFD	0x00
BUF_Cn_L	0xE6	0xEE	0xF6	0xFE	0x00
BUF_Cn_H	0xE6	0xEE	0xF6	0xFE	0x00
BUF_Dn_L	0xE7	0xEF	0xF7	0xFF	0x00
BUF_Dn_H	0xE7	0xEF	0xF7	0xFF	0x00
CMP_An_L	0x64	0x6C	0x74	0x7C	0x00
CMP_An_H	0x64	0x6C	0x74	0x7C	0x00
CMP_Bn_L	0x65	0x6D	0x75	0x7D	0x00
CMP_Bn_H	0x65	0x6D	0x75	0x7D	0x00
CMP_Cn_L	0x66	0x6E	0x76	0x7E	0x00
CMP_Cn_H	0x66	0x6E	0x76	0x7E	0x00
CMP_Dn_L	0x67	0x6F	0x77	0x7F	0x00
CMP_Dn_H	0x67	0x6F	0x77	0x7F	0x00
BUF_MINn_L	0x60	0x68	0x70	0x78	0x00
BUF_MINn_H	0x60	0x68	0x70	0x78	0x00
BUF_MAXn_L	0x61	0x69	0x71	0x79	0x00
BUF_MAXn_H	0x61	0x69	0x71	0x79	0x00
CMP_MINn_L	0x62	0x6A	0x72	0x7A	0x00
CMP_MINn_H	0x62	0x6A	0x72	0x7A	0x00
CMP_MAXn_L	0x63	0x6B	0x73	0x7B	0x00
CMP_MAXn_H	0x63	0x6B	0x73	0x7B	0x00

© SANKEN ELECTRIC CO., LTD. 2017

15.12.1. PWMCNTS (PWM Counter Start)

各 PWM チャネルのカウンタは、同時に（同期して）開始できます。PWMCSn ビットに 1 をライトすると、すべてのカウンタは、カウントを開始します。

Register	PWMCNTS		PWM Counter Start		Address	0xF903
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	PWMCS3	R/W	0	PWM3 カウンタスタート／ストップ 0：PWM3 カウンタストップ 1：PWM3 カウンタスタート		
2	PWMCS2	R/W	0	PWM2 カウンタスタート／ストップ 0：PWM2 カウンタストップ 1：PWM2 カウンタスタート		
1	PWMCS1	R/W	0	PWM1 カウンタスタート／ストップ 0：PWM1 カウンタストップ 1：PWM1 カウンタスタート		
0	PWMCS0	R/W	0	PWM0 カウンタスタート／ストップ 0：PWM0 カウンタストップ 1：PWM0 カウンタスタート		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.2. PWMnEVO0/1/T (PWM Event0/1 Output/ to Timer for Block n) (n = 0 to 3)

Register	PWM0EVO0	PWM Event0 Output for Block0	Address	0xF905
Register	PWM1EVO0	PWM Event0 Output for Block1	Address	0xF945
Register	PWM2EVO0	PWM Event0 Output for Block2	Address	0xF985
Register	PWM3EVO0	PWM Event0 Output for Block3	Address	0xF9C5
Register	PWM0EVO1	PWM Event1 Output for Block0	Address	0xF906
Register	PWM1EVO1	PWM Event1 Output for Block1	Address	0xF946
Register	PWM2EVO1	PWM Event1 Output for Block2	Address	0xF986
Register	PWM3EVO1	PWM Event1 Output for Block3	Address	0xF9C6
Register	PWM0EVOT	PWM Event to Timer for Block0	Address	0xF907
Register	PWM1EVOT	PWM Event to Timer for Block1	Address	0xF947
Register	PWM2EVOT	PWM Event to Timer for Block2	Address	0xF987
Register	PWM3EVOT	PWM Event to Timer for Block3	Address	0xF9C7

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	EVT_T	R/W	0	イベント出力要因 イベントに対応するビットを 1 にセットして、PWM 内部イベントを選択してください。複数の PWM 内部イベントを選択した場合、PWM 内部イベントが 1 つでも発生すると、そのタイミングで PWM イベントを出力します。 PWM イベント信号は、1 パルスです。	
5	EVT_VH1	R/W	0		
4	EVT_VH0	R/W	0		
3	EVT_VL1	R/W	0		
2	EVT_VL0	R/W	0		
1	EVT_MAX	R/W	0		
0	EVT_MIN	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.3. PWMnINTS0/1 (PWM Interrupt0/1 Select for Block n) (n = 0 to 3)

Register	PWM0INTS0	PWM Interrupt0 Select for Block0	Address	0xF908
Register	PWM1INTS0	PWM Interrupt0 Select for Block1	Address	0xF948
Register	PWM2INTS0	PWM Interrupt0 Select for Block2	Address	0xF988
Register	PWM3INTS0	PWM Interrupt0 Select for Block3	Address	0xF9C8
Register	PWM0INTS1	PWM Interrupt1 Select for Block0	Address	0xF909
Register	PWM1INTS1	PWM Interrupt1 Select for Block1	Address	0xF949
Register	PWM2INTS1	PWM Interrupt1 Select for Block2	Address	0xF989
Register	PWM3INTS1	PWM Interrupt1 Select for Block3	Address	0xF9C9

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	INT_T	R/W	0	割込み要因 イベントに対応するビットを 1 にセットして、PWM 内部イベントを選択してください。複数の PWM 内部イベントを選択した場合、PWM 内部イベントが 1 つでも発生すると、そのタイミングで割込みフラグがセットされます。	
5	INT_VH1	R/W	0		
4	INT_VH0	R/W	0		
3	INT_VL1	R/W	0		
2	INT_VL0	R/W	0		
1	INT_MAX	R/W	0		
0	INT_MIN	R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.4. PWMnINTF (PWM Interrupt Flag for Block n) (n = 0 to 3)

Register	PWM0INTF	PWM Interrupt Flag for Block0	Address	0xF90A
Register	PWM1INTF	PWM Interrupt Flag for Block1	Address	0xF94A
Register	PWM2INTF	PWM Interrupt Flag for Block2	Address	0xF98A
Register	PWM3INTF	PWM Interrupt Flag for Block3	Address	0xF9CA

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	PWMIE1	R/W	0	PWM 割込み 1 イネーブル 0：PWM 割込み 1 をディスエーブル 1：PWM 割込み 1 をイネーブル PWMIE1 = 1 かつ PEMIF1 = 1 の場合、割込み要求が発生します。	
4	PWMIE0	R/W	0	PWM 割込み 0 イネーブル 0：PWM 割込み 0 をディスエーブル 1：PWM 割込み 0 をイネーブル PWMIE0 = 1 かつ PEMIF0 = 1 の場合、割込み要求が発生します。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	PWMIF1	R/C	0	PWM 割込みフラグ 1 リード 0：変化なし リード 1：PWMnINTS1 レジスタで選択された割込みイベントを検出 ライト 0：変化なし ライト 1：本ビットをクリア	
0	PWMIF0	R/C	0	PWM 割込みフラグ 0 リード 0：変化なし リード 1：PWMnINTS0 レジスタで選択された割込みイベントを検出 ライト 0：変化なし ライト 1：本ビットをクリア	

© SANKEN ELECTRIC CO., LTD. 2017

15.12.5. PWMnACCLR (PWM Access Counter Clear Register for Block n) (n = 0 to 3)

Register	PWM0ACCLR	PWM Access Counter Clear Register for Block0	Address	0xF90B
Register	PWM1ACCLR	PWM Access Counter Clear Register for Block1	Address	0xF94B
Register	PWM2ACCLR	PWM Access Counter Clear Register for Block2	Address	0xF98B
Register	PWM3ACCLR	PWM Access Counter Clear Register for Block3	Address	0xF9CB

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CLRCPUACC	W	0	CPU の SFR アクセスカウンタクリア ライト 0 ：変化なし ライト 1 ：CPU アクセスカウンタレジスタをクリア リード値は常に 0 です。	
6	CLRDSAACC	W	0	DSAC の SFR アクセスカウンタクリア ライト 0 ：変化なし ライト 1 ：DSAC アクセスカウンタレジスタをクリア リード値は常に 0 です。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

15.12.6. PWMnACSTS (PWM Access Status Register for Block n) (n = 0 to 3)

Register	PWM0ACSTS	PWM Access Status Register for Block0	Address	0xF90C
Register	PWM1ACSTS	PWM Access Status Register for Block1	Address	0xF94C
Register	PWM2ACSTS	PWM Access Status Register for Block2	Address	0xF98C
Register	PWM3ACSTS	PWM Access Status Register for Block3	Address	0xF9CC

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	CNTSACS	R	0	PWMCNTS レジスタへのアクセスステータス 0：PWMCNTS レジスタへのアクセスなし 1：PWMCNTS レジスタに書き込み中 PWMCNTS レジスタに書き込む前に、CNTSACS = 0 を確認してください。	
1	SFRACS	R	0	SFR BUS へのアクセスステータス 0：SFR BUS レジスタへのアクセスなし 1：SFR BUS レジスタに書き込み中 同じ SFR BUS レジスタに連続して書き込む場合は、次の書き込みをする前に、SFRACS = 0 を確認してください。	
0	XREGACS	R	0	XDATA BUS レジスタへのアクセスステータス 0：XDATA BUS レジスタへのアクセスなし 1：XDATA BUS レジスタに書き込み中 XDATA BUS レジスタに書き込む前に、XREGACS = 0 を確認してください。	

© SANKEN ELECTRIC CO., LTD. 2017

15.12.7. CNTn_L/H (Counter n LSB/MSB Side) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	CNT0_L	Counter0 LSB Side	Address	0xF910
Register	CNT1_L	Counter1 LSB Side	Address	0xF950
Register	CNT2_L	Counter2 LSB Side	Address	0xF990
Register	CNT3_L	Counter3 LSB Side	Address	0xF9D0

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CNT	R/W	0	LSB 側のカウンタ	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

Register	CNT0_H	Counter0 MSB Side	Address	0xF911
Register	CNT1_H	Counter1 MSB Side	Address	0xF951
Register	CNT2_H	Counter2 MSB Side	Address	0xF991
Register	CNT3_H	Counter3 MSB Side	Address	0xF9D1

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CNT	R/W	0	MSB 側のカウンタ	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.8. CMP_xxxn_L/H (CMP_xxx for Block n LSB/MSB Side) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに XDATA BUS から書込みをしないでください。

Register	CMP_MIN0_L	CMP_MIN for Block0 LSB Side	Address	0xF91A
Register	CMP_MIN1_L	CMP_MIN for Block1 LSB Side	Address	0xF95A
Register	CMP_MIN2_L	CMP_MIN for Block2 LSB Side	Address	0xF99A
Register	CMP_MIN3_L	CMP_MIN for Block3 LSB Side	Address	0xF9DA

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_MIN	R/W	0	CMP_MIN[7:3]	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R	0	CMP_MIN[2:0] リード値は 0 です。また、必ず 0 をライトしてください。	
1		R	0		
0		R	0		

Register	CMP_MIN0_L	CMP_MIN for Block0 LSB Side	Address	0x62
Register	CMP_MIN1_L	CMP_MIN for Block1 LSB Side	Address	0x6A
Register	CMP_MIN2_L	CMP_MIN for Block2 LSB Side	Address	0x72
Register	CMP_MIN3_L	CMP_MIN for Block3 LSB Side	Address	0x7A

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_MIN	W	0	CMP_MIN[7:3] リード値は常に 0 です。	
6		W	0		
5		W	0		
4		W	0		
3		W	0		
2		W	0	CMP_MIN[2:0] リード値は 0 です。また、必ず 0 をライトしてください。	
1		W	0		
0		W	0		

© SANKEN ELECTRIC CO., LTD. 2017

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに XDATA BUS から書込みをしないでください。

Register	CMP_MIN0_H	CMP_MIN for Block0 MSB Side	Address	0xF91B
Register	CMP_MIN1_H	CMP_MIN for Block1 MSB Side	Address	0xF95B
Register	CMP_MIN2_H	CMP_MIN for Block2 MSB Side	Address	0xF99B
Register	CMP_MIN3_H	CMP_MIN for Block3 MSB Side	Address	0xF9DB

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_MIN	R/W	0	CMP_MIN の MSB 側	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

Register	CMP_MIN0_H	CMP_MIN for Block0 MSB Side	Address	0x62
Register	CMP_MIN1_H	CMP_MIN for Block1 MSB Side	Address	0x6A
Register	CMP_MIN2_H	CMP_MIN for Block2 MSB Side	Address	0x72
Register	CMP_MIN3_H	CMP_MIN for Block3 MSB Side	Address	0x7A

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_MIN	W	0	CMP_MIN の MSB 側 リード値は常に 0 です。	
6		W	0		
5		W	0		
4		W	0		
3		W	0		
2		W	0		
1		W	0		
0		W	0		

© SANKEN ELECTRIC CO., LTD. 2017

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに XDATA BUS から書込みをしないでください。

Register	CMP_MAX0_L	CMP_MAX for Block0 LSB Side	Address	0xF91C
Register	CMP_MAX1_L	CMP_MAX for Block1 LSB Side	Address	0xF95C
Register	CMP_MAX2_L	CMP_MAX for Block2 LSB Side	Address	0xF99C
Register	CMP_MAX3_L	CMP_MAX for Block3 LSB Side	Address	0xF9DC

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_MAX	R/W	0	CMP_MAX[7:3]	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R	1	CMP_MAX[2:0] リード値は 7 です。また、必ず 7 をライトしてください。	
1		R	1		
0		R	1		

Register	CMP_MAX0_L	CMP_MAX for Block0 LSB Side	Address	0x63
Register	CMP_MAX1_L	CMP_MAX for Block1 LSB Side	Address	0x6B
Register	CMP_MAX2_L	CMP_MAX for Block2 LSB Side	Address	0x73
Register	CMP_MAX3_L	CMP_MAX for Block3 LSB Side	Address	0x7B

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_MAX	W	0	CMP_MAX[7:3] リード値は常に 0 です。	
6		W	0		
5		W	0		
4		W	0		
3		W	0		
2		W	1	CMP_MAX[2:0] リード値は 0 です。また、必ず 7 をライトしてください。	
1		W	1		
0		W	1		

© SANKEN ELECTRIC CO., LTD. 2017

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに XDATA BUS から書込みをしないでください。

Register	CMP_MAX0_H	CMP_MAX for Block0 MSB Side	Address	0xF91D
Register	CMP_MAX1_H	CMP_MAX for Block1 MSB Side	Address	0xF95D
Register	CMP_MAX2_H	CMP_MAX for Block2 MSB Side	Address	0xF99D
Register	CMP_MAX3_H	CMP_MAX for Block3 MSB Side	Address	0xF9DD

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_MAX	R/W	0	CMP_MAX の MSB 側	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	1		
1		R/W	1		
0		R/W	1		

Register	CMP_MAX0_H	CMP_MAX for Block0 MSB Side	Address	0x63
Register	CMP_MAX1_H	CMP_MAX for Block1 MSB Side	Address	0x6B
Register	CMP_MAX2_H	CMP_MAX for Block2 MSB Side	Address	0x73
Register	CMP_MAX3_H	CMP_MAX for Block3 MSB Side	Address	0x7B

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_MAX	W	0	CMP_MAX の MSB 側 リード値は常に 0 です。	
6		W	0		
5		W	0		
4		W	0		
3		W	0		
2		W	0		
1		W	0		
0		W	0		

© SANKEN ELECTRIC CO., LTD. 2017

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに XDATA BUS から書込みをしないでください。

Register	CMP_A0_L	CMP_A for Block0 LSB Side	Address	0xF912
Register	CMP_A1_L	CMP_A for Block1 LSB Side	Address	0xF952
Register	CMP_A2_L	CMP_A for Block2 LSB Side	Address	0xF992
Register	CMP_A3_L	CMP_A for Block3 LSB Side	Address	0xF9D2
Register	CMP_B0_L	CMP_B for Block0 LSB Side	Address	0xF914
Register	CMP_B1_L	CMP_B for Block1 LSB Side	Address	0xF954
Register	CMP_B2_L	CMP_B for Block2 LSB Side	Address	0xF994
Register	CMP_B3_L	CMP_B for Block3 LSB Side	Address	0xF9D4
Register	CMP_C0_L	CMP_C for Block0 LSB Side	Address	0xF916
Register	CMP_C1_L	CMP_C for Block1 LSB Side	Address	0xF956
Register	CMP_C2_L	CMP_C for Block2 LSB Side	Address	0xF996
Register	CMP_C3_L	CMP_C for Block3 LSB Side	Address	0xF9D6
Register	CMP_D0_L	CMP_D for Block0 LSB Side	Address	0xF918
Register	CMP_D1_L	CMP_D for Block1 LSB Side	Address	0xF958
Register	CMP_D2_L	CMP_D for Block2 LSB Side	Address	0xF998
Register	CMP_D3_L	CMP_D for Block3 LSB Side	Address	0xF9D8

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_xxx	R/W	0	コンペアマッチレジスタの LSB 側	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

Register	CMP_A0_L	CMP_A for Block0 LSB Side	Address	0x64
Register	CMP_A1_L	CMP_A for Block1 LSB Side	Address	0x6C
Register	CMP_A2_L	CMP_A for Block2 LSB Side	Address	0x74
Register	CMP_A3_L	CMP_A for Block3 LSB Side	Address	0x7C
Register	CMP_B0_L	CMP_B for Block0 LSB Side	Address	0x65
Register	CMP_B1_L	CMP_B for Block1 LSB Side	Address	0x6D
Register	CMP_B2_L	CMP_B for Block2 LSB Side	Address	0x75
Register	CMP_B3_L	CMP_B for Block3 LSB Side	Address	0x7D
Register	CMP_C0_L	CMP_C for Block0 LSB Side	Address	0x66
Register	CMP_C1_L	CMP_C for Block1 LSB Side	Address	0x6E
Register	CMP_C2_L	CMP_C for Block2 LSB Side	Address	0x76
Register	CMP_C3_L	CMP_C for Block3 LSB Side	Address	0x7E
Register	CMP_D0_L	CMP_D for Block0 LSB Side	Address	0x67
Register	CMP_D1_L	CMP_D for Block1 LSB Side	Address	0x6F
Register	CMP_D2_L	CMP_D for Block2 LSB Side	Address	0x77
Register	CMP_D3_L	CMP_D for Block3 LSB Side	Address	0x7F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_xxx	W	0	コンペアマッチレジスタの LSB 側 リード値は常に 0 です。	
6		W	0		
5		W	0		
4		W	0		
3		W	0		
2		W	0		
1		W	0		
0		W	0		

© SANKEN ELECTRIC CO., LTD. 2017

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに XDATA BUS から書込みをしないでください。

Register	CMP_A0_H	CMP_A for Block0 MSB Side	Address	0xF913
Register	CMP_A1_H	CMP_A for Block1 MSB Side	Address	0xF953
Register	CMP_A2_H	CMP_A for Block2 MSB Side	Address	0xF993
Register	CMP_A3_H	CMP_A for Block3 MSB Side	Address	0xF9D3
Register	CMP_B0_H	CMP_B for Block0 MSB Side	Address	0xF915
Register	CMP_B1_H	CMP_B for Block1 MSB Side	Address	0xF955
Register	CMP_B2_H	CMP_B for Block2 MSB Side	Address	0xF995
Register	CMP_B3_H	CMP_B for Block3 MSB Side	Address	0xF9D5
Register	CMP_C0_H	CMP_C for Block0 MSB Side	Address	0xF917
Register	CMP_C1_H	CMP_C for Block1 MSB Side	Address	0xF957
Register	CMP_C2_H	CMP_C for Block2 MSB Side	Address	0xF997
Register	CMP_C3_H	CMP_C for Block3 MSB Side	Address	0xF9D7
Register	CMP_D0_H	CMP_D for Block0 MSB Side	Address	0xF919
Register	CMP_D1_H	CMP_D for Block1 MSB Side	Address	0xF959
Register	CMP_D2_H	CMP_D for Block2 MSB Side	Address	0xF999
Register	CMP_D3_H	CMP_D for Block3 MSB Side	Address	0xF9D9

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_xxx	R/W	0	コンペアマッチレジスタの MSB 側	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

Register	CMP_A0_H	CMP_A for Block0 MSB Side	Address	0x64
Register	CMP_A1_H	CMP_A for Block1 MSB Side	Address	0x6C
Register	CMP_A2_H	CMP_A for Block2 MSB Side	Address	0x74
Register	CMP_A3_H	CMP_A for Block3 MSB Side	Address	0x7C
Register	CMP_B0_H	CMP_B for Block0 MSB Side	Address	0x65
Register	CMP_B1_H	CMP_B for Block1 MSB Side	Address	0x6D
Register	CMP_B2_H	CMP_B for Block2 MSB Side	Address	0x75
Register	CMP_B3_H	CMP_B for Block3 MSB Side	Address	0x7D
Register	CMP_C0_H	CMP_C for Block0 MSB Side	Address	0x66
Register	CMP_C1_H	CMP_C for Block1 MSB Side	Address	0x6E
Register	CMP_C2_H	CMP_C for Block2 MSB Side	Address	0x76
Register	CMP_C3_H	CMP_C for Block3 MSB Side	Address	0x7E
Register	CMP_D0_H	CMP_D for Block0 MSB Side	Address	0x67
Register	CMP_D1_H	CMP_D for Block1 MSB Side	Address	0x6F
Register	CMP_D2_H	CMP_D for Block2 MSB Side	Address	0x77
Register	CMP_D3_H	CMP_D for Block3 MSB Side	Address	0x7F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMP_xxx	W	0	コンペアマッチレジスタの MSB 側 リード値は常に 0 です。	
6		W	0		
5		W	0		
4		W	0		
3		W	0		
2		W	0		
1		W	0		
0		W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.9. PWMnCNTMD (PWM Counter Mode for Block n) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0CNTMD	PWM Counter Mode for Block0	Address	0xF920
Register	PWM1CNTMD	PWM Counter Mode for Block1	Address	0xF960
Register	PWM2CNTMD	PWM Counter Mode for Block2	Address	0xF9A0
Register	PWM3CNTMD	PWM Counter Mode for Block3	Address	0xF9E0

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	PWMCM	R/W	0	カウンタブロックモード 0／1 0：カウンタをアップモードに設定 1：カウンタをアップダウンモードに設定	

© SANKEN ELECTRIC CO., LTD. 2017

15.12.10. PWMnHCR0 (PWMnH Output Control0) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0HCR0	PWM0H Output Control0	Address	0xF921
Register	PWM1HCR0	PWM1H Output Control0	Address	0xF961
Register	PWM2HCR0	PWM2H Output Control0	Address	0xF9A1
Register	PWM3HCR0	PWM3H Output Control0	Address	0xF9E1

Bit	Bit Name	R/W	Initial	Description	Remarks
7	PWM_MAX	R/W	0	PWMnH と CMP_MAX 値の一致で出力を制御 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：出力をトグルする	
6		R/W	0		
5	PWM_MIN	R/W	0	PWMnH と CMP_MIN 値の一致で出力を制御 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：出力をトグルする アップダウンモードで有効です。	
4		R/W	0		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	PWM_SET	W	0	PWMnH の出力レベル初期化 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：使用禁止 本ビットへの書込みによる出力レベルの変更は、コンペアマッチやリトリガなどの他の要因によるものよりも高い優先度を有しています。 リード値は常に 0 です。	
0		W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.11. PWMnLCR0 (PWMnL Output Control0) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0LCR0	PWM0L Output Control0	Address	0xF922
Register	PWM1LCR0	PWM1L Output Control0	Address	0xF962
Register	PWM2LCR0	PWM2L Output Control0	Address	0xF9A2
Register	PWM3LCR0	PWM3L Output Control0	Address	0xF9E2

Bit	Bit Name	R/W	Initial	Description	Remarks
7	PWM_MAX	R/W	0	PWMnL と CMP_MAX 値の一致で出力を制御 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：出力をトグルする	
6		R/W	0		
5	PWM_MIN	R/W	0	PWMnL と CMP_MIN 値の一致で出力を制御 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：出力をトグルする アップダウンモードで有効です。	
4		R/W	0		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	PWM_SET	W	0	PWMnL の出力レベル初期化 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：使用禁止 本ビットへの書込みによる出力レベル変更は、コンペアマッチやリトリガなどの他の要因によるものよりも高い優先度を有しています。 リード値は常に 0 です。	
0		W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.12. PWMnHCR1 (PWMnH Output Control1) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0HCR1	PWM0H Output Control1	Address	0xF923
Register	PWM1HCR1	PWM1H Output Control1	Address	0xF963
Register	PWM2HCR1	PWM2H Output Control1	Address	0xF9A3
Register	PWM3HCR1	PWM3H Output Control1	Address	0xF9E3

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	VH1	R/W	0	VH1 出力レベルの制御 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：出力をトグルする	
2		R/W	0		
1	VH0	R/W	0	VH0 出力レベルの制御 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：出力をトグルする	
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.13. PWMnLCR1 (PWMnL Output Control1) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0LCR1	PWM0L Output Control1	Address	0xF924
Register	PWM1LCR1	PWM1L Output Control1	Address	0xF964
Register	PWM2LCR1	PWM2L Output Control1	Address	0xF9A4
Register	PWM3LCR1	PWM3L Output Control1	Address	0xF9E4

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	VL1	R/W	0	VL1 出力レベルの制御 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：出力をトグルする	
2		R/W	0		
1	VL0	R/W	0	VL0 出力レベルの制御 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：出力をトグルする	
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.14. PWMnMODE (PWM n Operation Mode) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0MODE	PWM0 Operation Mode	Address	0xF925
Register	PWM1MODE	PWM1 Operation Mode	Address	0xF965
Register	PWM2MODE	PWM2 Operation Mode	Address	0xF9A5
Register	PWM3MODE	PWM3 Operation Mode	Address	0xF9E5

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	BUFM	R/W	0	バッファモード 0：ダイレクトモードに設定 1：バッファモードに設定	
5	UDBM	R/W	0	アップダウンモードのバッファレジスタからコンペアマッチレジスタへのデータ転送タイミング 00：リザーブ 01：CMP_MAX で転送 10：CMP_MIN で転送 11：CMP_MAX と CMP_MIN 両方で転送 本ビットは、バッファモードのアップダウンモードでのみ有効です。 アップモードでは、CNT が CMP_MAX レジスタの値と一致して、CNT がクリアされると、バッファレジスタからコンペアマッチレジスタにデータを転送します。	
4		R/W	0		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	PWMMD	R/W	0	PWM モード設定 00：PWM モード 0 に設定 01：PWM モード 1 に設定 その他：使用禁止	
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.15. PWMnRTRG (PWM Re-trigger Mode for Block n) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0RTRG	PWM Re-trigger Mode for Block0	Address	0xF926
Register	PWM1RTRG	PWM Re-trigger Mode for Block1	Address	0xF966
Register	PWM2RTRG	PWM Re-trigger Mode for Block2	Address	0xF9A6
Register	PWM3RTRG	PWM Re-trigger Mode for Block3	Address	0xF9E6

Bit	Bit Name	R/W	Initial	Description	Remarks
7	PWMRTE	R/W	0	リトリガイネーブル 0：リトリガをディスエーブル 1：リトリガをイネーブル	
6	RTMSKD	R/W	0	リトリガイベントマスクディスエーブル 0：リトリガイベントマスクをイネーブル 1：リトリガイベントマスクをディスエーブル RTMSKD = 0 の場合、Non-comparison 期間中は、コンペアマッチによる PWM イベントは発生しません。 RTMSKD = 1 の場合、Non-comparison 期間中もコンペアマッチによる PWM イベントが発生します。制御信号は、コンペアマッチで変化しません。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	RTRGPLS	R/W	0	リトリガの検出タイミング設定 000：指定した信号の立ち上がりエッジで、リトリガイベントを検出 001：指定した信号の立ち下がりエッジで、リトリガイベントを検出 010：指定した信号の“H”レベルで、リトリガイベントを検出 011：指定した信号の“L”レベルで、リトリガイベントを検出 100：指定した信号の立ち上がりと立ち下がりの両方のエッジで、リトリガイベントを検出 その他：使用禁止 本ビットは、リトリガイベントに No. 32～No. 63 を選択した場合にのみ設定できます。	
3		R/W	0		
2		R/W	0		
1	PWMRTM	R/W	0	リトリガモード設定 00：リトリガモード A に設定 01：リトリガモード B に設定 10：リトリガモード C に設定 11：リトリガモード D に設定	
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.16. PWMnRTRS (PWM Re-trigger Select for Block n) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0RTRS	PWM Re-trigger Select for Block0	Address	0xF927
Register	PWM1RTRS	PWM Re-trigger Select for Block1	Address	0xF967
Register	PWM2RTRS	PWM Re-trigger Select for Block2	Address	0xF9A7
Register	PWM3RTRS	PWM Re-trigger Select for Block3	Address	0xF9E7

Bit	Bit Name	R/W	Initial	Description	Remarks
7	RTCBM[1]	R/W	0	リトリガ C バッファ更新設定ビット 1 （PWM のカウントモードの設定で、内容が異なります） - アップモード 0：リトリガ C イベントでコンペアマッチレジスタを更新しない 1：リトリガ C イベントの入力を受けたとき、コンペアマッチレジスタをバッファレジスタの値に更新する - アップダウンモード 0：ダウンカウント時に、リトリガ C イベントでバッファレジスタを更新しない 1：ダウンカウント時に、リトリガ C イベントの入力を受けたとき、コンペアマッチレジスタをバッファレジスタの値に更新する	
6	RTCBM[0]	R/W	0	リトリガ C バッファ更新設定ビット 0 （PWM のカウントモードの設定で、内容が異なります） - アップモード 動作に関与しない - アップダウンモード 0：アップカウント時にリトリガ C イベントでバッファレジスタを更新しない 1：アップカウント時、リトリガ C イベントの入力を受けたとき、コンペアマッチレジスタをバッファレジスタの値に更新する	
5	PWMRTS	R/W	0	リトリガイベント選択 000000：イベント No. 0 … 011111：イベント No. 31 100000：イベント No. 32 … 111111：イベント No. 63 詳細は表 15-5 を参照してください。	
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.17. PWMnRTGC (PWM Re-trigger by CPU for Block n) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0RTGC	PWM Re-trigger by CPU for Block0	Address	0xF928
Register	PWM1RTGC	PWM Re-trigger by CPU for Block1	Address	0xF968
Register	PWM2RTGC	PWM Re-trigger by CPU for Block2	Address	0xF9A8
Register	PWM3RTGC	PWM Re-trigger by CPU for Block3	Address	0xF9E8

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	PWMRTGC	R/W	0	CPU リトリガの設定 ライト 0：変化なし ライト 1：PWMnRTRS レジスタで CPU をリトリガ用のイベントに設定した場合、リトリガイベントを発行 リード値は常に 0 です。	

© SANKEN ELECTRIC CO., LTD. 2017

15.12.18. PWMnRTL (PWM n Re-trigger Output Control) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0RTL	PWM0 Re-trigger Output Control	Address	0xF929
Register	PWM1RTL	PWM1 Re-trigger Output Control	Address	0xF969
Register	PWM2RTL	PWM2 Re-trigger Output Control	Address	0xF9A9
Register	PWM3RTL	PWM3 Re-trigger Output Control	Address	0xF9E9

Bit	Bit Name	R/W	Initial	Description	Remarks
7	VTH_MAX	R/W	0	リトリガモード C（CMP_MAX）の PWMnH 端子設定 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：使用禁止 リトリガモード C で、カウンタが CMP_MAX レジスタの値をロードするときの PWMnH 出力を制御します。	
6		R/W	0		
5	VTL_MAX	R/W	0	リトリガモード C（CMP_MAX）の PWMnL 端子設定 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：使用禁止 リトリガモード C で、カウンタが CMP_MAX レジスタの値をロードするときの PWMnL 出力を制御します。	
4		R/W	0		
3	VTH	R/W	0	リトリガモードの PWMnH 端子設定 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：使用禁止 リトリガモード A、B：PWMnH 出力を制御します。 リトリガモード C：カウンタが CMP_MIN レジスタの値をロードするときの PWMnH 出力を制御します。	
2		R/W	0		
1	VTL	R/W	0	リトリガモードの PWMnL 端子設定 00：変化なし 01：出力を“L”にセット 10：出力を“H”にセット 11：使用禁止 リトリガモード A、B：PWMnL 出力を制御します。 リトリガモード C：カウンタが CMP_MIN レジスタの値をロードするときの PWMnL 出力を制御します。	
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.19. PWMnRTMC (PWM n Re-trigger Mask Control) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0RTMC	PWM0 Re-trigger Mask Control	Address	0xF92A
Register	PWM1RTMC	PWM1 Re-trigger Mask Control	Address	0xF96A
Register	PWM2RTMC	PWM2 Re-trigger Mask Control	Address	0xF9AA
Register	PWM3RTMC	PWM3 Re-trigger Mask Control	Address	0xF9EA

Bit	Bit Name	R/W	Initial	Description	Remarks
7	RTME	R/W	0	リトリガマスクイネーブル 0：リトリガマスクをディスエーブル 1：リトリガマスクをイネーブル	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	RTMC	R/W	0	リトリガ期間のクロックソース 00：Count Clock Frequency/8に設定 01： Count Clock Frequency/16に設定 10： Count Clock Frequency/32に設定 11：使用禁止	
2		R/W	0		
1	RTMS	R/W	0	リトリガマスクスタートポイント 00：PWMnH の立ち上がりエッジからマスク開始 01：PWMnH の立ち下がりエッジからマスク開始 10：PWMnL の立ち上がりエッジからマスク開始 11：PWMnL の立ち下がりエッジからマスク開始	
0		R/W	0		

15.12.20. PWMnRTMP (PWM n Re-trigger Mask Period) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに書込みをしないでください。

Register	PWM0RTMP	PWM0 Re-trigger Mask Period	Address	0xF92B
Register	PWM1RTMP	PWM1 Re-trigger Mask Period	Address	0xF96B
Register	PWM2RTMP	PWM2 Re-trigger Mask Period	Address	0xF9AB
Register	PWM3RTMP	PWM3 Re-trigger Mask Period	Address	0xF9EB

Bit	Bit Name	R/W	Initial	Description	Remarks
7	RTMP	R/W	0	リトリガマスク期間 期間 = クロックソースサイクル × (RTMP + 1) クロックソースサイクルは、PWMnRTMC.RTMC ビットで設定します。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.21. BUF_MIN/MAXn (BUF_MIN/MAX for Block n LSB/MSB Side) (n = 0 to 3)

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに XDATA BUS から書込みをしないでください。

Register	BUF_MIN0_L	BUF_MIN for Block0 LSB Side	Address	0xF92C
Register	BUF_MIN1_L	BUF_MIN for Block1 LSB Side	Address	0xF96C
Register	BUF_MIN2_L	BUF_MIN for Block2 LSB Side	Address	0xF9AC
Register	BUF_MIN3_L	BUF_MIN for Block3 LSB Side	Address	0xF9EC

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUF_MIN	R/W	0	BUF_MIN[7:3]	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R	0	BUF_MIN[2:0] リード値は 0 です。また、必ず 0 をライトしてください。	
1		R	0		
0		R	0		

Register	BUF_MIN0_L	BUF_MIN for Block0 LSB Side	Address	0x60
Register	BUF_MIN1_L	BUF_MIN for Block1 LSB Side	Address	0x68
Register	BUF_MIN2_L	BUF_MIN for Block2 LSB Side	Address	0x70
Register	BUF_MIN3_L	BUF_MIN for Block3 LSB Side	Address	0x78

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUF_MIN	W	0	BUF_MIN[7:3] リード値は常に 0 です。	
6		W	0		
5		W	0		
4		W	0		
3		W	0		
2		W	0	BUF_MIN[2:0] リード値は 0 です。また、必ず 0 をライトしてください。	
1		W	0		
0		W	0		

© SANKEN ELECTRIC CO., LTD. 2017

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに XDATA BUS から書込みをしないでください。

Register	BUF_MIN0_H	BUF_MIN for Block0 MSB Side	Address	0xF92D
Register	BUF_MIN1_H	BUF_MIN for Block1 MSB Side	Address	0xF96D
Register	BUF_MIN2_H	BUF_MIN for Block2 MSB Side	Address	0xF9AD
Register	BUF_MIN3_H	BUF_MIN for Block3 MSB Side	Address	0xF9ED

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUF_MIN	R/W	0	BUF_MIN の MSB 側	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

Register	BUF_MIN0_H	BUF_MIN for Block0 MSB Side	Address	0x60
Register	BUF_MIN1_H	BUF_MIN for Block1 MSB Side	Address	0x68
Register	BUF_MIN2_H	BUF_MIN for Block2 MSB Side	Address	0x70
Register	BUF_MIN3_H	BUF_MIN for Block3 MSB Side	Address	0x78

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUF_MIN	W	0	BUF_MIN の MSB 側 リード値は常に 0 です。	
6		W	0		
5		W	0		
4		W	0		
3		W	0		
2		W	0		
1		W	0		
0		W	0		

© SANKEN ELECTRIC CO., LTD. 2017

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに XDATA BUS から書込みをしないでください。

Register	BUF_MAX0_L	BUF_MAX for Block0 LSB Side	Address	0xF92E
Register	BUF_MAX1_L	BUF_MAX for Block1 LSB Side	Address	0xF96E
Register	BUF_MAX2_L	BUF_MAX for Block2 LSB Side	Address	0xF9AE
Register	BUF_MAX3_L	BUF_MAX for Block3 LSB Side	Address	0xF9EE

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUF_MAX	R/W	0	BUF_MAX[7:3]	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R	1	BUF_MAX[2:0] リード値は 7 です。また、必ず 7 を書いてください。	
1		R	1		
0		R	1		

Register	BUF_MAX0_L	BUF_MAX for Block0 LSB Side	Address	0x61
Register	BUF_MAX1_L	BUF_MAX for Block1 LSB Side	Address	0x69
Register	BUF_MAX2_L	BUF_MAX for Block2 LSB Side	Address	0x71
Register	BUF_MAX3_L	BUF_MAX for Block3 LSB Side	Address	0x79

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUF_MAX	W	0	BUF_MAX[7:3] リード値は常に 0 です。	
6		W	0		
5		W	0		
4		W	0		
3		W	0		
2		W	1	BUF_MAX[2:0] リード値は 0 です。また、必ず 7 を書いてください。	
1		W	1		
0		W	1		

© SANKEN ELECTRIC CO., LTD. 2017

PWMnACSTS.XREGACS = 1 の場合は、このレジスタに XDATA BUS から書込みをしないでください。

Register	BUF_MAX0_H	BUF_MAX for Block0 MSB Side	Address	0xF92F
Register	BUF_MAX1_H	BUF_MAX for Block1 MSB Side	Address	0xF96F
Register	BUF_MAX2_H	BUF_MAX for Block2 MSB Side	Address	0xF9AF
Register	BUF_MAX3_H	BUF_MAX for Block3 MSB Side	Address	0xF9EF

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUF_MAX	R/W	0	BUF_MAX の MSB 側	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

Register	BUF_MAX0_H	BUF_MAX for Block0 MSB Side	Address	0x61
Register	BUF_MAX1_H	BUF_MAX for Block1 MSB Side	Address	0x69
Register	BUF_MAX2_H	BUF_MAX for Block2 MSB Side	Address	0x71
Register	BUF_MAX3_H	BUF_MAX for Block3 MSB Side	Address	0x79

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUF_MAX	W	0	BUF_MAX の MSB 側 リード値は常に 0 です。	
6		W	0		
5		W	0		
4		W	0		
3		W	0		
2		W	0		
1		W	0		
0		W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.12.22. BUF_A/B/C/Dn_L/H (BUF_A/B/C/D for Block n LSB/MSB Side) (n = 0 to 3)

BUF_xn_L／H レジスタは、同じアドレスにマッピングされています。このアドレスにアクセスする場合、最初は BUF_xn_L レジスタ、2 回目は BUF_xn_H レジスタにアクセスします。SFR BUS に属する同じレジスタに再度書き込む前に、PWMnACSTS.SFRACS ビットが 0 であることを確認する必要があります。BUF_xn_H レジスタか CMP_xn_H レジスタにライトすると、PWMnACSTS.SFRACS ビットが 1 になります。

Register	BUF_A0_L	BUF_A for Block0 LSB Side	Address	0xE4
Register	BUF_A1_L	BUF_A for Block1 LSB Side	Address	0xEC
Register	BUF_A2_L	BUF_A for Block2 LSB Side	Address	0xF4
Register	BUF_A3_L	BUF_A for Block3 LSB Side	Address	0xFC
Register	BUF_B0_L	BUF_B for Block0 LSB Side	Address	0xE5
Register	BUF_B1_L	BUF_B for Block1 LSB Side	Address	0xED
Register	BUF_B2_L	BUF_B for Block2 LSB Side	Address	0xF5
Register	BUF_B3_L	BUF_B for Block3 LSB Side	Address	0xFD
Register	BUF_C0_L	BUF_C for Block0 LSB Side	Address	0xE6
Register	BUF_C1_L	BUF_C for Block1 LSB Side	Address	0xEE
Register	BUF_C2_L	BUF_C for Block2 LSB Side	Address	0xF6
Register	BUF_C3_L	BUF_C for Block3 LSB Side	Address	0xFE
Register	BUF_D0_L	BUF_D for Block0 LSB Side	Address	0xE7
Register	BUF_D1_L	BUF_D for Block1 LSB Side	Address	0xEF
Register	BUF_D2_L	BUF_D for Block2 LSB Side	Address	0xF7
Register	BUF_D3_L	BUF_D for Block3 LSB Side	Address	0xFF

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUF_xxx	R/W	0	バッファレジスタの LSB 側	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

Register	BUF_A0_H	BUF_A for Block0 MSB Side	Address	0xE4
Register	BUF_A1_H	BUF_A for Block1 MSB Side	Address	0xEC
Register	BUF_A2_H	BUF_A for Block2 MSB Side	Address	0xF4
Register	BUF_A3_H	BUF_A for Block3 MSB Side	Address	0xFC
Register	BUF_B0_H	BUF_B for Block0 MSB Side	Address	0xE5
Register	BUF_B1_H	BUF_B for Block1 MSB Side	Address	0xED
Register	BUF_B2_H	BUF_B for Block2 MSB Side	Address	0xF5
Register	BUF_B3_H	BUF_B for Block3 MSB Side	Address	0xFD
Register	BUF_C0_H	BUF_C for Block0 MSB Side	Address	0xE6
Register	BUF_C1_H	BUF_C for Block1 MSB Side	Address	0xEE
Register	BUF_C2_H	BUF_C for Block2 MSB Side	Address	0xF6
Register	BUF_C3_H	BUF_C for Block3 MSB Side	Address	0xFE
Register	BUF_D0_H	BUF_D for Block0 MSB Side	Address	0xE7
Register	BUF_D1_H	BUF_D for Block1 MSB Side	Address	0xEF
Register	BUF_D2_H	BUF_D for Block2 MSB Side	Address	0xF7
Register	BUF_D3_H	BUF_D for Block3 MSB Side	Address	0xFF

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUF_xxx	R/W	0	バッファレジスタの MSB 側	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

15.13.PWM の設定例

Start

クロックソースの選択
4項参照

動作モードの設定
PWMnMODE：PWMモード／バッファモード
PWMnCNTMD：カウンタ動作モード

PWM周期の設定
CMP_MAXn_L/H、CMP_MINn_L/H：周期の初期値
BUF_MAXn_L/H、BUF_MINn_L/H：周期の初期値（バッファモードのための追加設定）

PWM デューティ／デッドタイムの設定
CMP_An_L/H、CMP_Bn _L/H、CMP_Cn_L/H、CMP_Dn _L/H：デューティ／デッドタイムの初期値
BUF_An_L/H、BUF_Bn_L/H、BUF_Cn_L/H、BUF_Dn_L/H：デューティ／デッドタイムの初期値
（バッファモードのための追加設定）

カウンタ初期値の設定
CNTn_L/H：カウンタ初期値

PWM 出力レベルの設定
PWMnHCR0、PWMnLCR0：PWMnL／H出力の初期値、カウンタ、
CMP_MIN／MAXが一致した場合の出力レベル変更
PWMnHCR1、PWMnLCR1：カウンタとCMP_A／B／C／Dが一致した場合の
出力レベル変更

リトリガの設定
PWMnRTRS：リトリガ用のイベント選択
PWMnRTL：リトリガ検出時の端子レベル設定
PWMnRTMC、PWMnRTMP：リトリガマスク設定
PWMnRTRG：リトリガモード設定

イベント出力の設定
PWMnEVO0：PWM 出力イベント0
PWMnEVO1：PWM出力イベント 1
PWMnEVOT：タイマカウンタクリアイベント

割込みの設定
PWMnINTS0、PWMnINTS1：割込み要因選択
PWMnINTF：割込みイネーブル

PWMカウントスタート
PWMCNTS：PWMカウントスタート

End

© SANKEN ELECTRIC CO., LTD. 2017

15.14.注意、制限事項

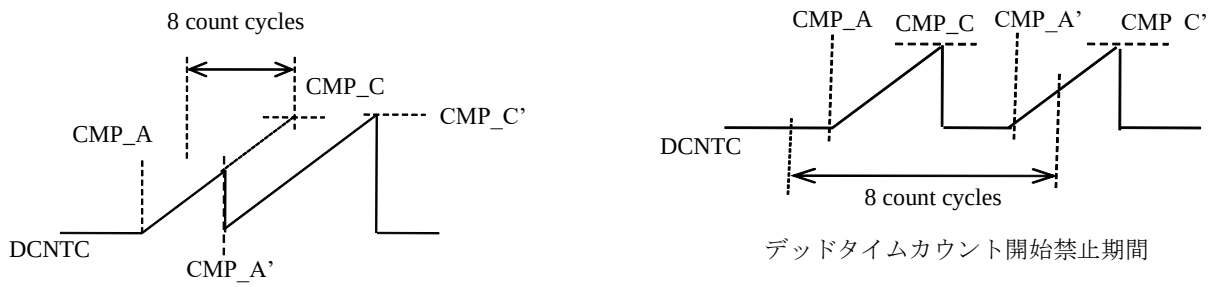
15.14.1. オートデッドタイムモードに関する制限事項

● 説明

PWM がオートデッドタイムモード（PWMnMODE.PWMMD = 0b01）で動作し、かつ次の条件のどちらかを満たす場合、デッドタイムカウンタが正しくカウント動作しません。これにより、デッドタイムカウンタとコンペアマッチレジスタの間のコンペアマッチが正常に検出されず、コンペアマッチによる PWM 出力信号、イベント、割込みが正しく生成されません。

● 条件

- 条件 A：デッドタイムカウンタが動作している間に、再度デッドタイムのカウントを開始する別のイベントが、デッドタイムのカウントが終了したタイミングから、1～8 カウントサイクルの前の期間に発生した場合（図 15-17(a)参照）。
- 条件 B：PWM カウンタが、アップモード（PWMnCNTMD.PWMCM = 0）で動作しているときに、同じデッドタイムカウンタが、8 カウントサイクル内に 2 回以上カウントを開始する場合（図 15-17(b)参照）。



(a) Condition A

(b) Condition B

CMP_A：デッドタイムのカウント開始要因
CMP_C：CMP_A によるデッドタイムカウントの終了
CMP_A'：新しいデッドタイムのカウント開始要因
CMP_C'：CMP_A'によるデッドタイムカウントの終了

図 15-17　デッドタイムカウンタの禁止波形（DCNTC の場合）

● 対策方法

- 条件 A の対策

次の 2 つの方法のいずれかを適用してください。

- デッドタイムカウンタが動作している間に、再びカウントを開始しない。
- デッドタイムカウンタが動作している間に、再びデッドタイムのカウントを開始する必要がある場合は、デッドタイムカウント終了から 8 カウントサイクルより前に、デッドタイムカウントの開始イベントを発生させる。

- 条件 B の対策

1 回目のデッドタイムのカウント開始と、2 回目のデッドタイムのカウント開始の間隔を、デッドタイムカウンタの 8 カウントサイクル以上確保してください。

© SANKEN ELECTRIC CO., LTD. 2017

15.14.2. リトリガモードに関する制限事項

15.14.2.1. リトリガモード A／B／D の Non-comparison 期間中の制限事項

- PWMnL／H の各端子のレベルは、各コンペアマッチでは変更されません。
- PWMnRTRG.RTMSKD = 0 の場合、コンペアマッチによるイベントは生成されません。Non-comparison 期間中にイベントを使用する場合は、PWMnRTRG.RTMSKD ビットに 1 をライトしてください。
- PWMnRTRG.RTMSKD = 0 の場合、コンペアマッチで発生する割込みフラグ（PWMnINTF.PWMIF0／1）は、セットされません。
- Non-comparison 期間中でも、各デッドタイムカウンタは通常の方法で起動します。
- Non-comparison 期間中、バッファモードの各コンペアマッチレジスタは正常に更新されます。

15.14.2.2. リトリガモード B の Non-comparison 期間中の制限事項

- Non-comparison 期間の終了タイミングは、CNT と CMP_MIN レジスタの値のコンペアマッチから、最大 8 カウントサイクル遅延します。
- PWMnRTRG.RTMSKD = 0 の場合、Non-comparison 期間中の CNT と CMP_MIN レジスタの値のコンペアマッチイベントは検出されません。

15.14.2.3. リトリガモード D の Non-comparison 期間中の制限事項

- Non-comparison 期間の開始タイミングは、CNT と CMP_MIN レジスタの値のコンペアマッチから、最大 8 カウントサイクル遅延します。
- Non-comparison 期間の終了タイミングは、CNT と CMP_MIN レジスタの値のコンペアマッチから、最大 8 カウントサイクル遅延します。
- Non-comparison 期間の開始タイミングで CNT と CMP_MIN レジスタの値のコンペアマッチイベントが検出されている場合、Non-comparison 期間の終了タイミングでこのコンペアマッチイベントは検出されません。

図 15-18 に、リトリガモード B、D の Non-comparison の期間を示します。

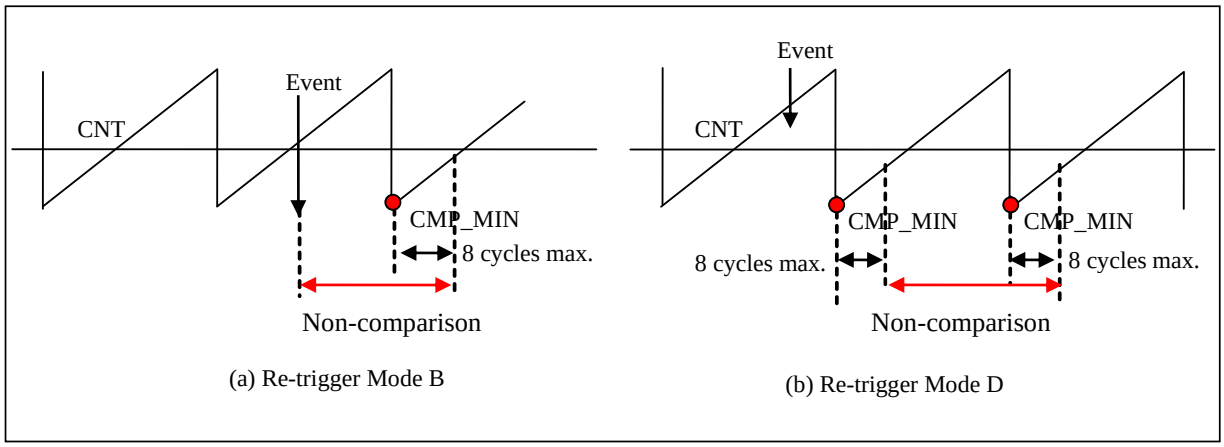


図 15-18　Non-comparison 期間

© SANKEN ELECTRIC CO., LTD. 2017

15.14.2.4. リトリガマスク動作に関する制限事項

リトリガマスクは、PWMxRTMC.RTMS ビットで選択された PWM 出力端子のトグルタイミングよりも 4～20 カウントサイクル前に開始します。

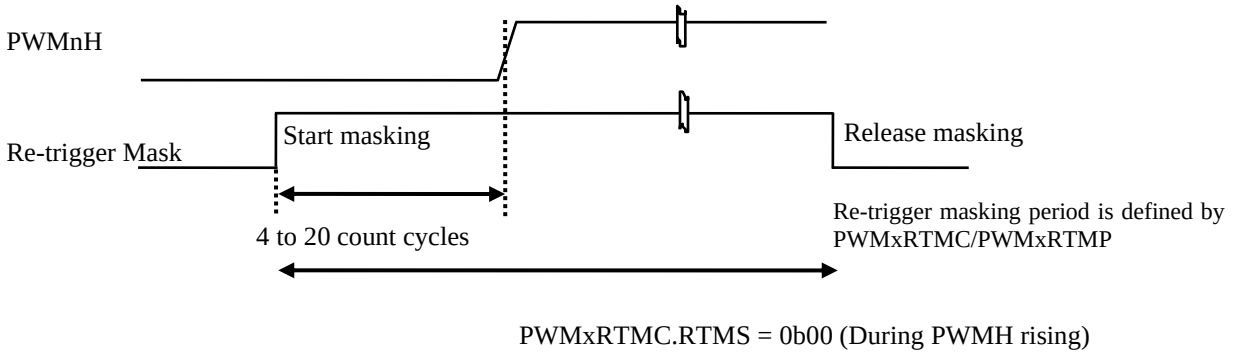


図 15-19　リトリガのマスクタイミング

リトリガマスクの開始を判断する制御ロジックは、PWM モジュールの内部状態を監視していますが、PWM 出力端子のトグル動作を直接監視していません。

PWM の内部状態は、4 カウントサイクル以上後に PWM 出力端子に反映されます。

PWM のトグルを制御する内部状態とリトリガマスクの間の遅延は、最大で約 20 サイクルです。この値は半導体プロセス、電源電圧、周囲温度に依存します。リトリガマスクの設定時は、これらを考慮する必要があります。

© SANKEN ELECTRIC CO., LTD. 2017

16. ウォッチドッグタイマ（WDT）

16.1. 概要

表 16-1 に、ウォッチドッグタイマ（WDT：Watchdog Timer）モジュールの機能概要を示します。

表 16-1　WDT 機能概要

項目	説明
カウントクロック	CLKFAST を分周したクロック 分周比：8 種類
カウンタ	8 ビットカウンタ×1 チャネル カウンタ書換え保護機能あり
動作モード	ウォッチドッグタイマモード、インターバルタイマモード
ウォッチドッグタイマモード	カウンタタイマがオーバフローすると、内部モジュールにリセットを出力
インターバルタイマモード	カウンタタイマがオーバフローすると、インターバルタイマ割込みを発生

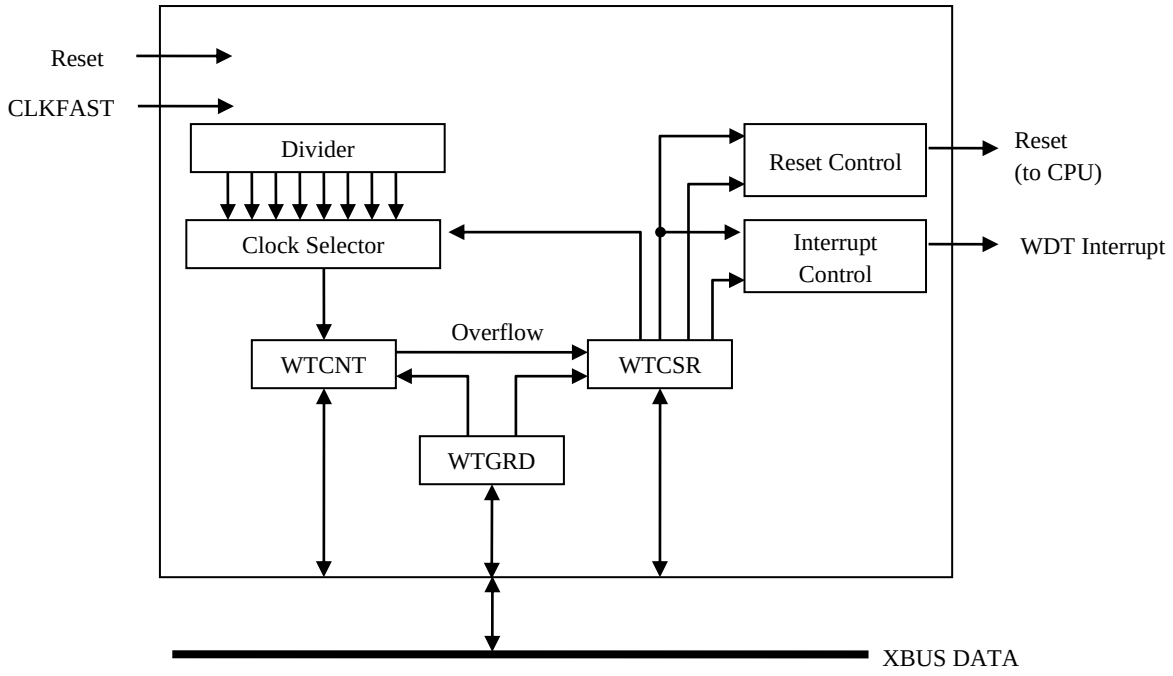


図 16-1　WDT のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

16.2. レジスタ説明

16.2.1. レジスター覧

表 16-2　レジスター覧

Symbol	Name	Address	Initial Value
WTCNT	Watchdog Timer Counter	0xFE80	0x00
WTCSR	Watchdog Timer Control/Status	0xFE81	0x00
WTGRD	Watchdog Timer Register Access Guard	0xFE82	0x00

16.2.2. WTCNT (Watchdog Timer Counter)

WTCSR.TME ビットを 1 に設定すると、WTCNT レジスタは、WTCSR.CKS ビットで選択された内部クロックによってカウントを開始します。TME ビットを 0 に設定すると、WTCNT レジスタはカウント値を保持し、カウントを停止します。

OCD が CPU の命令実行を停止している間は、ウォッチドッグタイマはカウントを停止します。

Register	WTCNT		Watchdog Timer Counter		Address	0xFE80
Bit	Bit Name	R/W	Initial	Description		Remarks
7	WTCNT	R/W	0	ウォッチドッグタイマカウンタ オーバフローが発生すると、ウォッチドッグタイマは、以下の動作をします。 ● ウォッチドッグタイマモードの場合：リセットを発生 ● インターバルタイマモードの場合：割込みを発生		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0		R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

16.2.3. WTCSR (Watchdog Timer Control/Status)

TME ビットを 0 に設定して WTCNT レジスタのカウントを停止させてから、CKS ビットを設定してください。

WTCNT レジスタのカウントがオーバフローした場合、WOVF ビットと IOVF ビットは、ウォッチドッグタイマリセットで初期化されません。したがって、ウォッチドッグタイマリセット解除後に WOVF ビットと IOVF ビットをクリアする必要があります。

Register	WTCSR		Watchdog Timer Control/Status		Address	0xFE81
Bit	Bit Name	R/W	Initial	Description		Remarks
7	TME	R/W	0	タイマイネーブル 0：アップカウント停止、WTCNT レジスタの値を保持 1：タイマをイネーブル		
6	TM	R/W	0	タイマモードの設定 0：インターバルタイマモード 1：ウォッチドッグタイマモード		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	WOVF	R/C	0	ウォッチドッグタイマオーバフロー リード 0：オーバフローなし リード 1：ウォッチドッグタイマモードで WTCNT レジスタのカウントがオーバフロー ライト 0：変化なし ライト 1：本ビットをクリア		
3	IOVF	R/C	0	インターバルタイマオーバフロー リード 0：オーバフローなし リード 1：インターバルタイマモードで WTCNT レジスタのカウントがオーバフロー ライト 0：変化なし ライト 1：本ビットをクリア		
2	CKS	R/W	0	WTCNT クロックの選択 分周比　カウンタ周期 （CLKFAST = 60 MHz） 000：$\frac{1}{2}^{13}$　137 µs 001：$\frac{1}{2}^{14}$　273 µs 010：$\frac{1}{2}^{15}$　546 µs 011：$\frac{1}{2}^{16}$　1.09 ms 100：$\frac{1}{2}^{17}$　2.18 ms 101：$\frac{1}{2}^{18}$　4.37 ms 110：$\frac{1}{2}^{19}$　8.74 ms 111：$\frac{1}{2}^{20}$　17.5 ms		
1		R/W	0			
0		R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

16.2.4. WTGRD (Watchdog Timer Register Access Guard)

Register	WTGRD		Watchdog Timer Register Access Guard		Address	0xFE82
Bit	Bit Name	R/W	Initial	Description		Remarks
7	WTGRD	R/W	0	WTCNT／WTCSR レジスタにライトする場合は、このレジスタにキーコードを設定してください。 WTCNT／WTCSR レジスタにライトした後、WTGRD レジスタは 0x00 にクリアされます。 キーコード WTCNT：0x5A WTCSR：0xA5		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0		R/W	0			

16.3. リセット構成図

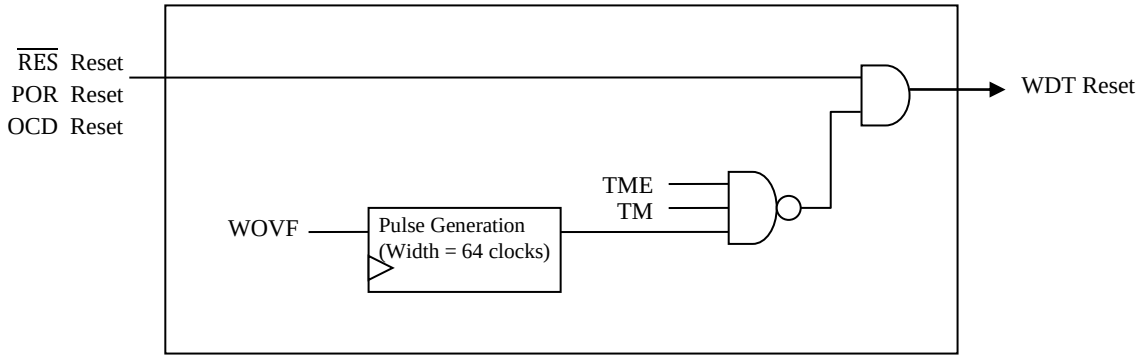


図 16-2　リセット構成図

16.4. 割込み構成図

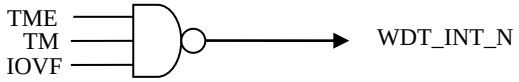


図 16-3　割込み構成図

© SANKEN ELECTRIC CO., LTD. 2017

16.5. プリスケーラ

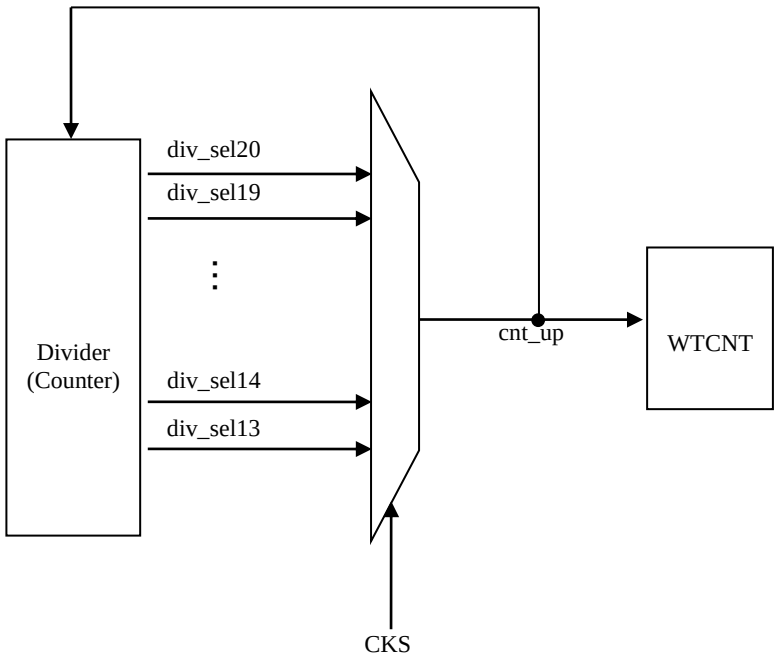


図 16-4　プリスケーラの構成図

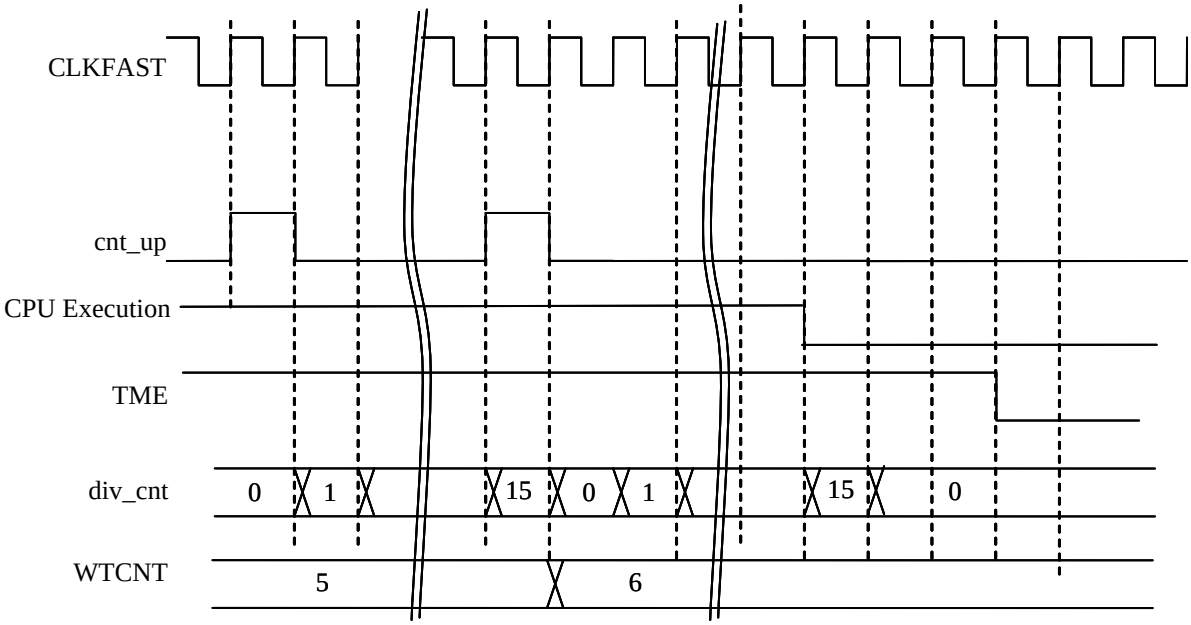


図 16-5　プリスケーラのタイミング

© SANKEN ELECTRIC CO., LTD. 2017

16.6. 動作

16.6.1. WTCNT レジスタと WTCSR レジスタへのライト

WTCNT レジスタと WTCSR レジスタにライトする場合は、以下の注意が必要です。

- WTGRD レジスタの値が 0x5A と 0xA5 以外の場合は、WTCNT レジスタと WTCSR レジスタへのライトはできません。
- WTGRD レジスタに 0x5A をライトしてから、WTCNT レジスタにライトしてください。図 16-6 に、WTCNT レジスタに 0x00 をライトする場合を示します。
- WTGRD レジスタに 0xA5 をライトしてから、WTCSR レジスタにライトしてください。図 16-6 に、WTCSR.TM ビットと WTCSR.TME ビットに 1 をライトする場合を示します。

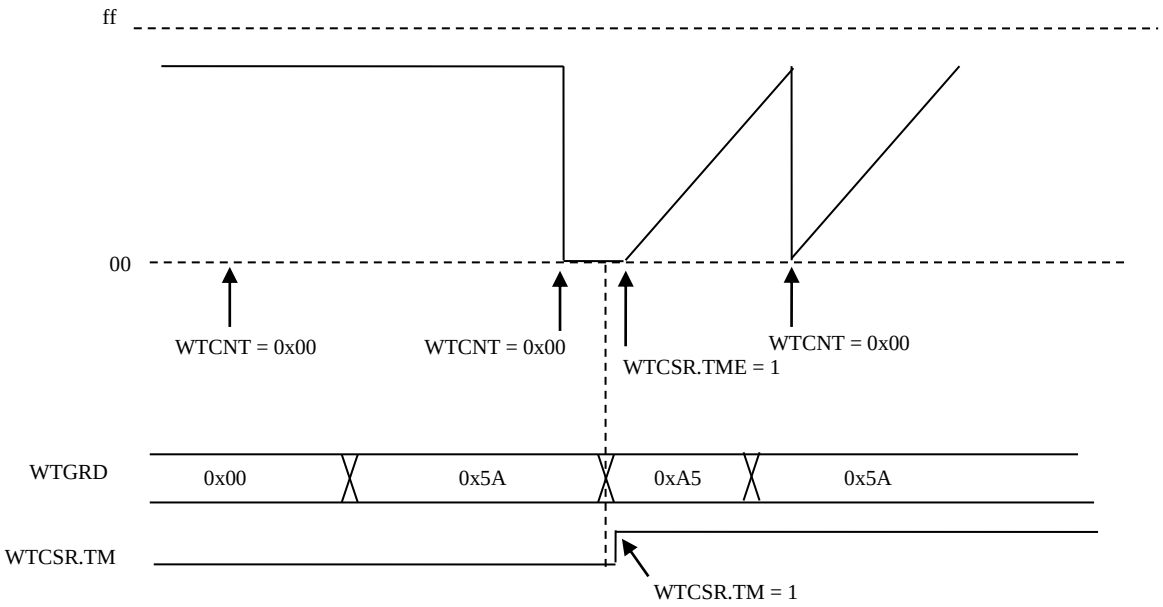


図 16-6　WTCNT レジスタと WTCSR レジスタへのライト

© SANKEN ELECTRIC CO., LTD. 2017

16.6.2. ウォッチドッグタイマモード

WTCSR.TME ビットを 1 に設定すると、タイマはアップカウントを開始します。通常動作中は、WTCNT レジスタのカウントをオーバフローさせないように、WTCNT レジスタの値を、定期的に再設定する必要があります。WTCNT レジスタのカウントがオーバフローしたとき、ウォッチドッグタイマリセットが発生します。このとき WTCNT レジスタはカウント動作を続けます。リセット期間は 64 クロック（CLKFAST = 60 MHz の場合 1.07 μs）です。リセット終了後、WTCSR.WOVF ビットに 1 をライトしてフラグをクリアしてください。WTCSR.WOVF ビットをクリアしなければ、次のウォッチドッグタイマリセットは発生しません。WTCSR.TME ビットを 0 に設定すると、タイマはカウントを停止し、値を保持します。WTCSR.TME ビットを 1 に設定すると、タイマは保持された値からカウントを再開します。カウント中に値を WTCNT レジスタにライトすると、タイマはライトされた値からアップカウントを開始します。

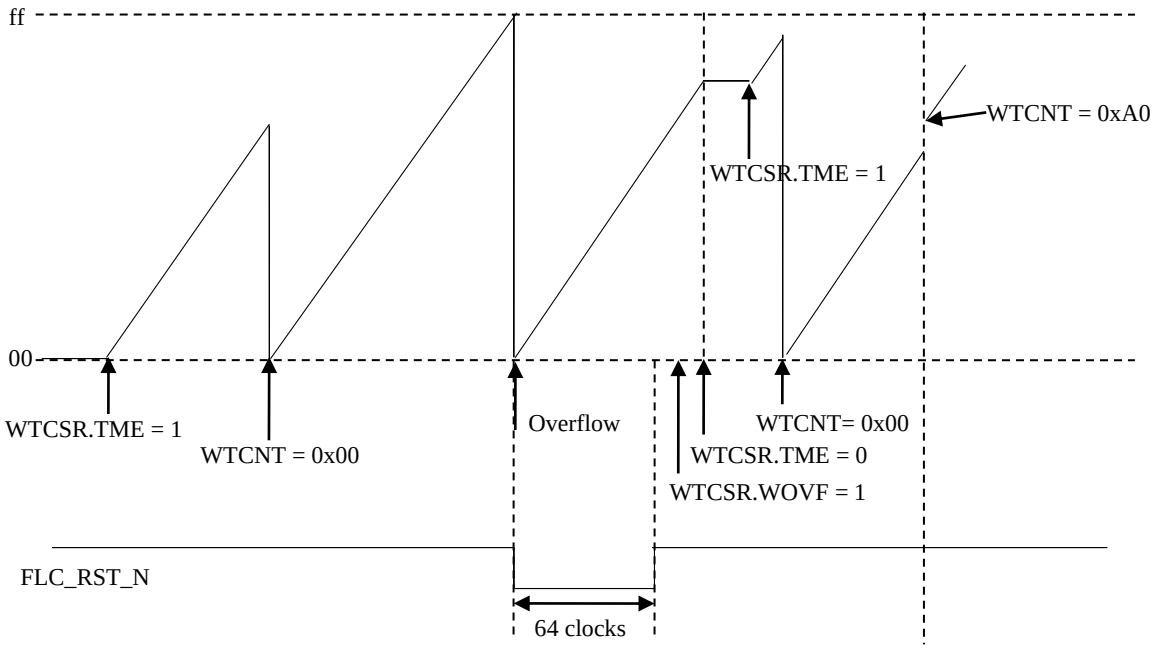


図 16-7　ウォッチドッグタイマモード時の動作

© SANKEN ELECTRIC CO., LTD. 2017

16.6.3. インターバルタイマモード

インターバルタイマモードでは、インターバル割込みのための割込み要求を発生します。初期インターバル期間とは、WTCNT レジスタが 0x00 からオーバフローするまでアップカウントする時間のことです。初期インターバル期間は、WTCSR.CKS ビットで変更できます。初期インターバル期間より短い期間で割込みを発生させたい場合は、割込みルーチン内で WTCNT レジスタに値を再度設定してください。WTCNT レジスタへのライトは、カウント動作より非常に短い時間で完了します。WTCSR.TME ビットを 1 に設定すると、ウォッチドッグタイマのアップカウントを開始します。WTCNT レジスタのカウントがオーバフローすると、割込みが発生します。割込みルーチン内で WTCSR.IOVF ビットに 1 をライトして、割込みフラグをクリアしてください。

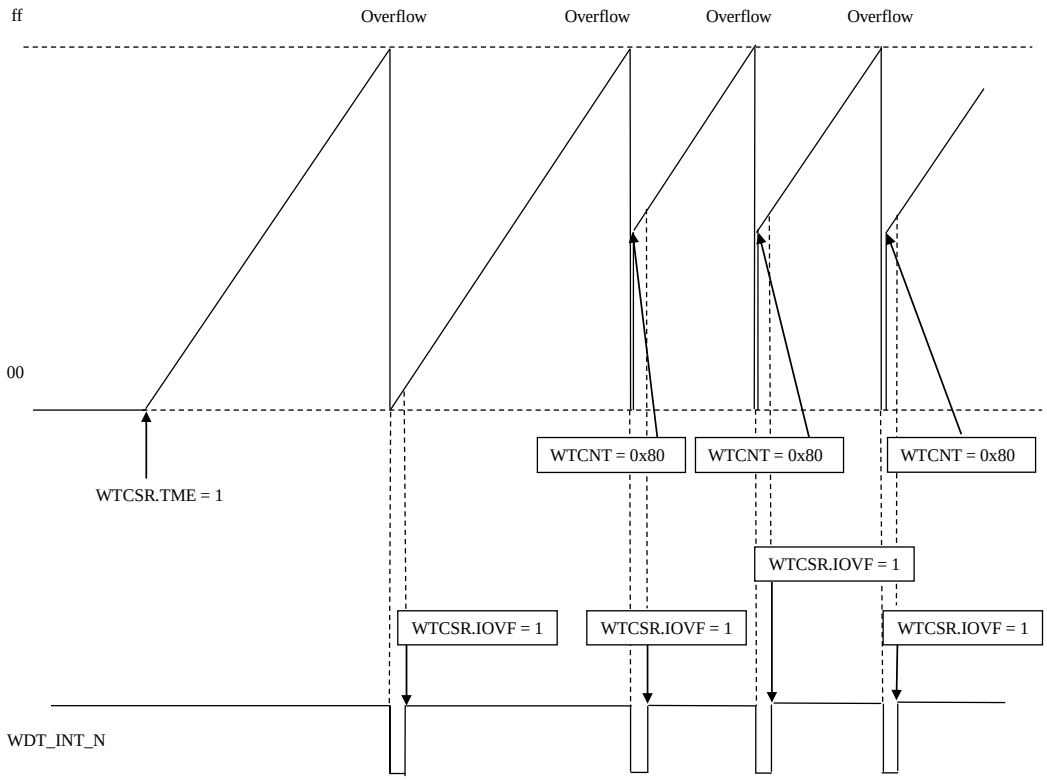


図 16-8　インターバルタイマモード時の動作

© SANKEN ELECTRIC CO., LTD. 2017

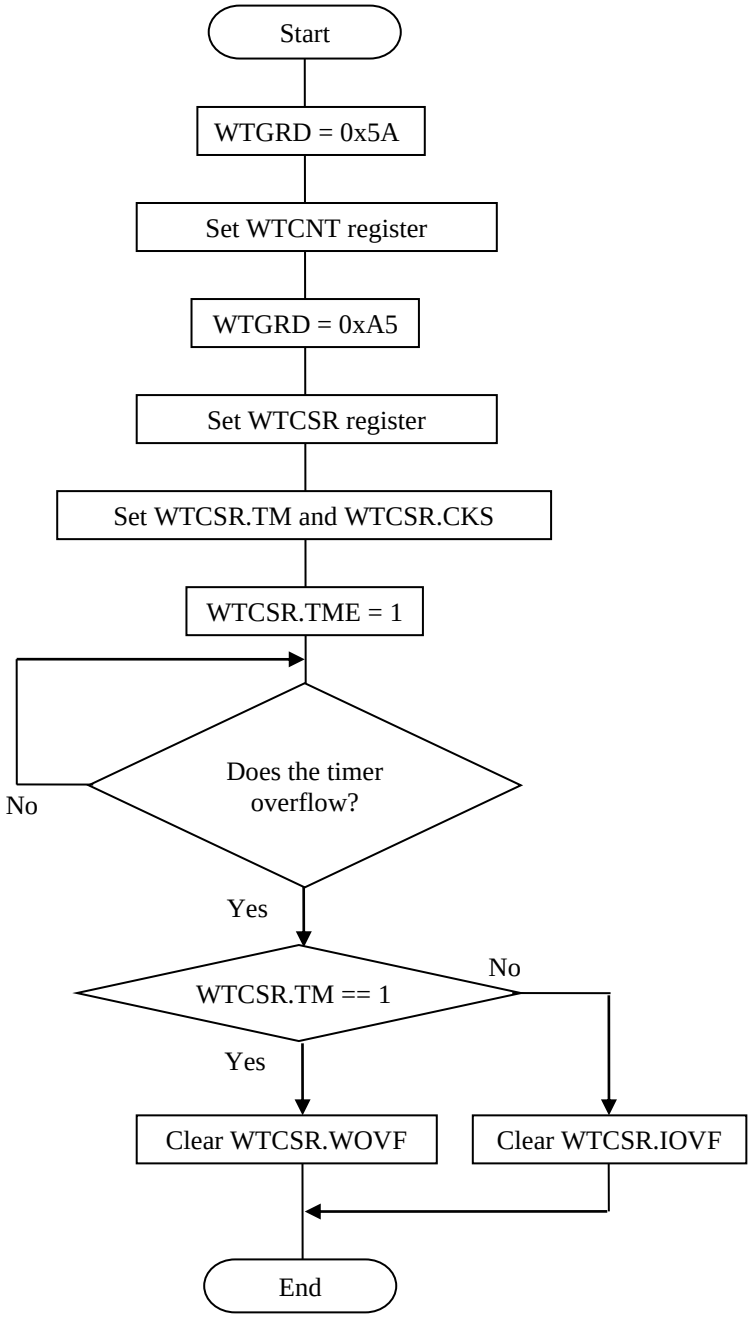


図 16-9　ウォッチドッグタイマ動作のフローチャート

© SANKEN ELECTRIC CO., LTD. 2017

17. 16 ビットタイマ（TMR）

17.1. 概要

本 LSI は、16 ビットタイマモジュールを 4 チャネル（TMR0、TMR1、TMR2、TMR3）搭載しています。表 17-1 にタイマ（TMR：Timer）機能の概要を、図 17-1 に TMR のブロック図を示します。

表 17-1　TMR 機能概要

項目	説明
チャネル数	4 チャネル チャネル 0、チャネル 1：32 ビットタイマ（カスケードモード）で動作 チャネル 2、チャネル 3：32 ビットタイマ（カスケードモード）で動作
入出力	TIOAn（n = 0～3） CMPA インプットキャプチャ／位相計数モード用の位相 A 入力／コンペアマッチ出力 A TIOBn（n = 0～3） CMPB インプットキャプチャ／位相計数モード用の位相 B 入力／コンペアマッチ出力 B TICn（n = 2/3） 位相計数モード用の位相 Z 入力
動作モード	通常モード（カスケードモード、インプットキャプチャ、コンペアマッチ出力） 位相計数モード（カスケードモード、インプットキャプチャ）
通常モード	カウンタクロック CLKFAST の 1、4、16、64、256、1024、4096、16384 分周 キャプチャイベント CMPA：TIOAn 入力（立ち上がりエッジ、立ち下がりエッジ、両エッジ） TMR0 と TMR1 のコンペアマッチ A／B コンパレータ 0～コンパレータ 5 イベント CMPB：TIOBn 入力（立ち上がりエッジ、立ち下がりエッジ、両エッジ） TMR0 と TMR1 のコンペアマッチ A／B コンパレータ 0～コンパレータ 5 イベント カウンタクリアイベント コンペアマッチ A／B TIOAn／TIOBn キャプチャ PWM からのイベントクリア
位相計数モード	カウンタクロック：TIOAn／TIOBn 入力またはコンパレータ出力位相 キャプチャイベント CMPA／B：TMR0 と TMR 1 のコンペアマッチ A／B コンパレータ 0～コンパレータ 5 の出力 カウンタクリアイベント TIOAn／TIOBn／TICn 入力イベント PWM からのイベントクリア
DSAC のデータ転送	TCMPAxn／TCMPBxn／TBUFAxn／TBUFBxn レジスタは、XDATA BUS と SFR BUS の両領域にマッピング CPU は、MOVX 命令で TCMPAxn／Bxn レジスタにリード／ライト可能
割込み	コンペアマッチまたはインプットキャプチャ A／B カウンタオーバフロー カウンタアンダフロー（位相計数モードのみ） TIOAn／TIOBn／TICn 入力イベント

© SANKEN ELECTRIC CO., LTD. 2017

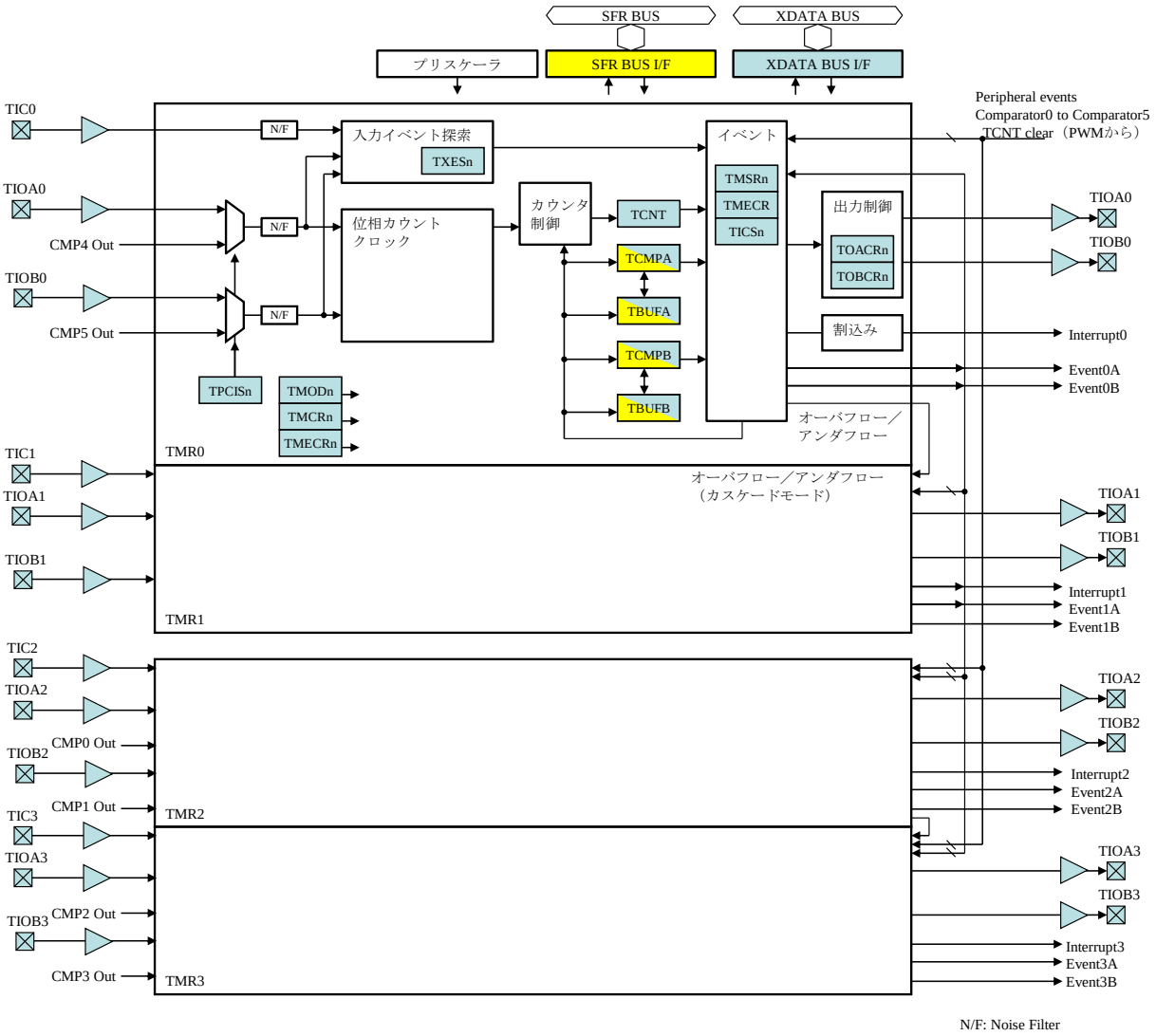


図 17-1　TMR のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

17.2. レジスタ説明

表 17-2　XDATA BUS レジスター覧

Symbol	Name	Address	Initial Value
TMOD0	Timer0 Control Mode Register	0xFA00	0x00
TMOD1	Timer1 Control Mode Register	0xFA01	0x00
TMSR0	Timer0 Status Register	0xFA02	0x00
TMSR1	Timer1 Status Register	0xFA03	0x00
TMCR0	Timer0 Control Register	0xFA04	0x00
TMCR1	Timer0 Control Register	0xFA05	0x00
TMECR0	Timer0 Event Clear Register	0xFA06	0x00
TMECR1	Timer1 Event Clear Register	0xFA07	0x00
TEMOD0	Timer0 Extend Mode Register	0xFA08	0x00
TEMOD1	Timer1 Extend Mode Register	0xFA09	0x00
TICS0	Timer0 Input Capture Select Register	0xFA0A	0x00
TICS1	Timer1 Input Capture Select Register	0xFA0B	0x00
TXES0	Timer0 External Event Select Register	0xFA0C	0x00
TXES1	Timer1 External Event Select Register	0xFA0D	0x00
TPSNF0	Timer0 Prescaler for Noise Filter Register	0xFA0E	0x00
TPSNF1	Timer1 Prescaler for Noise Filter Register	0xFA0F	0x00
TCMPAL0	Timer0 Compare Match A Low	0xFA10	0x00
TCMPAH0	Timer0 Compare Match A High	0xFA11	0x00
TCMPAL1	Timer1 Compare Match A Low	0xFA12	0x00
TCMPAH1	Timer1 Compare Match A High	0xFA13	0x00
TCMPBL0	Timer0 Compare Match B Low	0xFA14	0x00
TCMPBH0	Timer0 Compare Match B High	0xFA15	0x00
TCMPBL1	Timer1 Compare Match B Low	0xFA16	0x00
TCMPBH1	Timer1 Compare Match B High	0xFA17	0x00
TCNTL0	Timer0 Counter L	0xFA18	0x00
TCNTH0	Timer0 Counter H	0xFA19	0x00
TCNTL1	Timer1 Counter L	0xFA1A	0x00
TCNTH1	Timer1 Counter H	0xFA1B	0x00
TBUFAL0	Timer0 Buffer A Low	0xFA20	0x00
TBUFAH0	Timer0 Buffer A High	0xFA21	0x00
TBUFAL1	Timer1 Buffer A Low	0xFA22	0x00
TBUFAH1	Timer1 Buffer A High	0xFA23	0x00
TBUFBL0	Timer0 Buffer B Low	0xFA24	0x00
TBUFBH0	Timer0 Buffer B High	0xFA25	0x00
TBUFBL1	Timer1 Buffer B Low	0xFA26	0x00
TBUFBH1	Timer1 Buffer B High	0xFA27	0x00
TOACR0	Timer0 TIOA Output Control Register	0xFA30	0x00
TOACR1	Timer1 TIOA Output Control Register	0xFA31	0x00
TOBCR0	Timer0 TIOB Output Control Register	0xFA32	0x00
TOBCR1	Timer1 TIOB Output Control Register	0xFA33	0x00
TPCIS0	Timer0 Phase Counting Input Select Register	0xFA34	0x00

© SANKEN ELECTRIC CO., LTD. 2017

Symbol	Name	Address	Initial Value
TPCIS1	Timer1 Phase Counting Input Select Register	0xFA35	0x00
TMOD2	Timer2 Control Mode Register	0xFA40	0x00
TMOD3	Timer3 Control Mode Register	0xFA41	0x00
TMSR2	Timer2 Status Register	0xFA42	0x00
TMSR3	Timer3 Status Register	0xFA43	0x00
TMCR2	Timer2 Control Register	0xFA44	0x00
TMCR3	Timer3 Control register	0xFA45	0x00
TMECR2	Timer2 Event Clear Register	0xFA46	0x00
TMECR3	Timer3 Event Clear Register	0xFA47	0x00
TEMOD2	Timer2 Extend Mode Register	0xFA48	0x00
TEMOD3	Timer3 Extend Mode Register	0xFA49	0x00
TICS2	Timer2 Input Capture Select Register	0xFA4A	0x00
TICS3	Timer3 Input Capture Select Register	0xFA4B	0x00
TXES2	Timer2 External Event Select Register	0xFA4C	0x00
TXES3	Timer3 External Event Select Register	0xFA4D	0x00
TPSNF2	Timer2 Prescaler for Noise Filter Register	0xFA4E	0x00
TPSNF3	Timer3 Prescaler for Noise Filter Register	0xFA4F	0x00
TCMPAL2	Timer2 Compare Match A Low	0xFA50	0x00
TCMPAH2	Timer2 Compare Match A High	0xFA51	0x00
TCMPAL3	Timer3 Compare Match A Low	0xFA52	0x00
TCMPAH3	Timer3 Compare Match A High	0xFA53	0x00
TCMPBL2	Timer2 Compare Match B Low	0xFA54	0x00
TCMPBH2	Timer2 Compare Match B High	0xFA55	0x00
TCMPBL3	Timer3 Compare Match B Low	0xFA56	0x00
TCMPBH3	Timer3 Compare Match B High	0xFA57	0x00
TCNTL2	Timer2 Counter Low	0xFA58	0x00
TCNTH2	Timer2 Counter High	0xFA59	0x00
TCNTL3	Timer3 Counter Low	0xFA5A	0x00
TCNTH3	Timer3 Counter High	0xFA5B	0x00
TBUFAL2	Timer2 Buffer A Low	0xFA60	0x00
TBUFAH2	Timer2 Buffer A High	0xFA61	0x00
TBUFAL3	Timer3 Buffer A Low	0xFA62	0x00
TBUFAH3	Timer3 Buffer A High	0xFA63	0x00
TBUFBL2	Timer2 Buffer B Low	0xFA64	0x00
TBUFBH2	Timer2 Buffer B High	0xFA65	0x00
TBUFBL3	Timer3 Buffer B Low	0xFA66	0x00
TBUFBH3	Timer3 Buffer B High	0xFA67	0x00
TOACR2	Timer2 TIOA Output Control Register	0xFA70	0x00
TOACR3	Timer3 TIOA Output Control Register	0xFA71	0x00
TOBCR2	Timer2 TIOB Output Control Register	0xFA72	0x00
TOBCR3	Timer3 TIOB Output Control Register	0xFA73	0x00
TPCIS2	Timer2 Phase Counting Input Select Register	0xFA74	0x00
TPCIS3	Timer3 Phase Counting Input Select Register	0xFA75	0x00

© SANKEN ELECTRIC CO., LTD. 2017

表 17-3　SFR BUS レジスター一覧

Symbol	Name	Address	Initial Value
TCMPAL0	Timer0 Compare Match A Low	0x04	0x00
TCMPAL1	Timer1 Compare Match A Low	0x0C	0x00
TCMPAH0	Timer0 Compare Match A High	0x04	0x00
TCMPAH1	Timer1 Compare Match A High	0x0C	0x00
TCMPBL0	Timer0 Compare Match B Low	0x05	0x00
TCMPBL1	Timer1 Compare Match B Low	0x0D	0x00
TCMPBH0	Timer0 Compare Match B High	0x05	0x00
TCMPBH1	Timer1 Compare Match B High	0x0D	0x00
TBUFAL0	Timer0 Buffer A Low	0x06	0x00
TBUFAL1	Timer1 Buffer A Low	0x0E	0x00
TBUFAH0	Timer0 Buffer A Low	0x06	0x00
TBUFAH1	Timer1 Buffer A Low	0x0E	0x00
TBUFBL0	Timer0 Buffer B Low	0x07	0x00
TBUFBL1	Timer1 Buffer B Low	0x0F	0x00
TBUFBH0	Timer0 Buffer B High	0x07	0x00
TBUFBH1	Timer1 Buffer B High	0x0F	0x00
TCMPAL2	Timer2 Compare Match A Low	0x14	0x00
TCMPAL3	Timer3 Compare Match A Low	0x1C	0x00
TCMPAH2	Timer2 Compare Match A High	0x14	0x00
TCMPAH3	Timer3 Compare Match A High	0x1C	0x00
TCMPBL2	Timer2 Compare Match B Low	0x15	0x00
TCMPBL3	Timer3 Compare Match B Low	0x1D	0x00
TCMPBH2	Timer2 Compare Match B High	0x15	0x00
TCMPBH3	Timer3 Compare Match B High	0x1D	0x00
TBUFAL2	Timer2 Buffer A Low	0x16	0x00
TBUFAL3	Timer3 Buffer A Low	0x1E	0x00
TBUFAH2	Timer2 Buffer A High	0x16	0x00
TBUFAH3	Timer3 Buffer A High	0x1E	0x00
TBUFBL2	Timer2 Buffer B Low	0x17	0x00
TBUFBL3	Timer3 Buffer B Low	0x1F	0x00
TBUFBH2	Timer2 Buffer B High	0x17	0x00
TBUFBH3	Timer3 Buffer B High	0x1F	0x00

© SANKEN ELECTRIC CO., LTD. 2017

17.2.1. TMOD0/2 (Timer0/2 Control Mode Register)

TMOD1.CASMD = 1 に設定した場合、TMR0 と TMR1 は、32 ビット×1 チャネルのタイマとして動作します。TMR1 は上位 16 ビット、TMR0 は下位 16 ビットです。このモードにおけるタイマ動作は、TMR0 のレジスタで制御されます。

TMOD3.CASMD = 1 に設定した場合、TMR2 と TMR3 は、32 ビット×1 チャネルのタイマとして動作します。TMR3 は上位 16 ビット、TMR2 は下位 16 ビットです。このモードにおけるタイマ動作は、TMR2 のレジスタで制御されます。

Register	TMOD0	Timer0 Control Mode Register	Address	0xFA00
Register	TMOD2	Timer2 Control Mode Register	Address	0xFA40

Bit	Bit Name	R/W	Initial	Description	Remarks
7	TMREN	R/W	0	タイマイネーブル 0：タイマをディスエーブル 1：タイマをイネーブル	
6	TMRIE	R/W	0	タイマ割込みマスタイネーブル 0：タイマ割込みマスタをディスエーブル 1：タイマ割込みマスタをイネーブル	
5	CMPAEN	R/W	0	コンペアマッチ／インプットキャプチャ A イネーブル 0：コンペアマッチ／インプットキャプチャ A をディスエーブル 1：コンペアマッチ／インプットキャプチャ A をイネーブル	
4	CMPBEN	R/W	0	コンペアマッチ／インプットキャプチャ B イネーブル 0：コンペアマッチ／インプットキャプチャ B をディスエーブル 1：コンペアマッチ／インプットキャプチャ B をイネーブル	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	PRSCL	R/W	0	プリスケーラの設定 000：1/1 001：1/4 010：1/16 011：1/64 100：1/256 101：1/1024 110：1/4096 111：1/16384	
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.2. TMOD1/3 (Timer1/3 Control Mode Register)

TMOD1.CASMD = 1 の場合、TMR0 と TMR1 は TMOD0 レジスタの設定値に従って動作します。TMOD1 レジスタの設定は、動作に反映されません。

TMOD3.CASMD = 1 の場合、TMR2 と TMR3 は TMOD2 レジスタの設定値に従って動作します。TMOD3 レジスタの設定は、動作に反映されません。

Register	TMOD1	Timer1 Control Mode Register	Address	0xFA01
Register	TMOD3	Timer3 Control Mode Register	Address	0xFA41

Bit	Bit Name	R/W	Initial	Description	Remarks
7	TMREN	R/W	0	タイマイネーブル 0：タイマをディスエーブル 1：タイマをイネーブル	
6	TMRIE	R/W	0	タイマ割込みマスタイネーブル 0：タイマ割込みマスタをディスエーブル 1：タイマ割込みマスタをイネーブル	
5	CMPAEN	R/W	0	コンペアマッチ A イネーブル 0：コンペアマッチ A をディスエーブル 1：コンペアマッチ A をイネーブル	
4	CMPBEN	R/W	0	コンペアマッチ B イネーブル 0：コンペアマッチ B をディスエーブル 1：コンペアマッチ B をイネーブル	
3	CASMD	R/W	0	カスケードモードイネーブル 0：カスケードモードをディスエーブル 1：カスケードモードをイネーブル	
2	PRSCL	R/W	0	プリスケーラの設定 000：1/1 001：1/4 010：1/16 011：1/64 100：1/256 101：1/1024 110：1/4096 111：1/16384	
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.3. TMSRn (Timer n Status Register) (n = 0 to 3)

TMOD1.CASMD = 1 の場合、内部ステータスは TMSR0 と TMSR1 の両レジスタに示されます。
TMOD3.CASMD = 1 の場合、内部ステータスは TMSR2 と TMSR3 の両レジスタに示されます。

Register	TMSR0	Timer0 Status Register	Address	0xFA02
Register	TMSR1	Timer1 Status Register	Address	0xFA03
Register	TMSR2	Timer2 Status Register	Address	0xFA42
Register	TMSR3	Timer3 Status Register	Address	0xFA43

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	TICLRF	R/C	0	TIC 入力割込みフラグ リード 0：TIC 入力イベントなし リード 1：TIC 入力イベント発生 ライト 0：変化しない ライト 1：本ビットをクリア	
3	UDF	R/C	0	アンダフローフラグ リード 0：アンダフローなし リード 1：アンダフロー発生 ライト 0：変化しない ライト 1：本ビットをクリア	
2	OVF	R/C	0	オーバフローフラグ リード 0：オーバフローなし リード 1：オーバフロー発生 ライト 0：変化しない ライト 1：本ビットをクリア	
1	CMBF	R/C	0	コンペアマッチ／インプットキャプチャ B フラグ リード 0：コンペアマッチ B／インプットキャプチャ B なし リード 1：コンペアマッチ B／インプットキャプチャ B 発生 ライト 0：変化しない ライト 1：本ビットをクリア	
0	CMAF	R/C	0	コンペアマッチ／インプットキャプチャ A フラグ リード 0：コンペアマッチ A／インプットキャプチャ A なし リード 1：コンペアマッチ A／インプットキャプチャ A 発生 ライト 0：変化しない ライト 1：本ビットをクリア	

© SANKEN ELECTRIC CO., LTD. 2017

17.2.4. TMCRn (Timer n Control Register) (n = 0 to 3)

TMOD1.CASMD = 1 の場合、TMR0 と TMR1 は TMCR0 レジスタの設定値に従って動作します。TMCR1 の設定は、動作に反映されません。

TMOD3.CASMD = 1 の場合、TMR0 と TMR1 は TMCR2 レジスタの設定値に従って動作します。TMCR3 の設定は、動作に反映されません。

Register	TMCR0	Timer0 Control Register	Address	0xFA04
Register	TMCR1	Timer1 Control Register	Address	0xFA05
Register	TMCR2	Timer2 Control Register	Address	0xFA44
Register	TMCR3	Timer3 Control Register	Address	0xFA45

Bit	Bit Name	R/W	Initial	Description	Remarks
7	UDFIEN	R/W	0	アンダフロー割込みイネーブル 0：アンダフロー割込みをディスエーブル 1：アンダフロー割込みをイネーブル 位相計数モード時にイネーブルです。	
6	OVFIEN	R/W	0	オーバフロー割込みイネーブル 0：オーバフロー割込みをディスエーブル 1：オーバフロー割込みをイネーブル	
5	CMAIEN	R/W	0	コンペアマッチ／インプットキャプチャ A 割込みイネーブル 0：コンペアマッチ／インプットキャプチャ A 割込みをディスエーブル 1：コンペアマッチ／インプットキャプチャ A 割込みをイネーブル	
4	CMBIEN	R/W	0	コンペアマッチ／インプットキャプチャ B 割込みイネーブル 0：コンペアマッチ／インプットキャプチャ B 割込みをディスエーブル 1：コンペアマッチ／インプットキャプチャ B 割込みをイネーブル	
3	EOAEN	R/W	0	コンペアマッチ／インプットキャプチャ A イベント発生イネーブル 0：コンペアマッチ／インプットキャプチャ A イベント発生をディスエーブル 1：コンペアマッチ／インプットキャプチャ A イベント発生をイネーブル	
2	EOBEN	R/W	0	コンペアマッチ／インプットキャプチャ B イベント発生イネーブル 0：コンペアマッチ／インプットキャプチャ B イベント発生をディスエーブル 1：コンペアマッチ／インプットキャプチャ B イベント発生をイネーブル	
1	ACLEN	R/W	0	タイマ自動クリアイネーブル 0：タイマ自動クリアをディスエーブル 1：タイマ自動クリアをイネーブル	
0	ACLSEL	R/W	0	タイマクリア選択 0：コンペアマッチ／インプットキャプチャ A 1：コンペアマッチ／インプットキャプチャ B ACLEN ビットが 1 に設定されている場合、カウンタは、本ビットで設定されたタイミングでクリアされます。	

© SANKEN ELECTRIC CO., LTD. 2017

17.2.5. TMECRn (Timer n Event Clear Register) (n = 0 to 3)

TMOD1.CASMD = 1 の場合、TMR0 と TMR1 は、TMECR0 レジスタの設定値に従って動作します。TMECR1 レジスタの設定は、動作に反映されません。

TMOD3.CASMD = 1 の場合、TMR2 と TMR3 は、TMECR2 レジスタの設定値に従って動作します。TMECR3 レジスタの設定は、動作に反映されません。

Register	TMECR0	Timer0 Event Clear Register	Address	0xFA06
Register	TMECR1	Timer1 Event Clear Register	Address	0xFA07
Register	TMECR2	Timer2 Event Clear Register	Address	0xFA46
Register	TMECR3	Timer3 Event Clear Register	Address	0xFA47

Bit	Bit Name	R/W	Initial	Description	Remarks
7	TICCLRS	R/W	0	TIC イベントでのカウンタクリアイネーブル 0：カウンタクリアをディスエーブル 1：カウンタクリアをイネーブル	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	P3CLRS	R/W	0	PWM3 イベントでのカウンタクリアイネーブル 0：カウンタクリアをディスエーブル 1：カウンタクリアをイネーブル	
2	P2CLRS	R/W	0	PWM2 イベントでのカウンタクリアイネーブル 0：カウンタクリアをディスエーブル 1：カウンタクリアをイネーブル	
1	P1CLRS	R/W	0	PWM1 イベントでのカウンタクリアイネーブル 0：カウンタクリアをディスエーブル 1：カウンタクリアをイネーブル	
0	P0CLRS	R/W	0	PWM0 イベントでのカウンタクリアイネーブル 0：カウンタクリアをディスエーブル 1：カウンタクリアをイネーブル	

© SANKEN ELECTRIC CO., LTD. 2017

17.2.6. TEMODn (Timer n Extend Mode Register) (n = 0 to 3)

TMOD1.CASMD = 1 の場合、TMR0 と TMR1 は、TEMOD0 レジスタの設定値に従って動作します。TEMOD1 レジスタの設定は、動作に反映されません。

TMOD3.CASMD = 1 の場合、TMR2 と TMR3 は、TEMOD2 レジスタの設定値に従って動作します。TEMOD3 レジスタの設定は、動作に反映されません。

Register	TEMOD0	Timer0 Extend Mode Register	Address	0xFA08
Register	TEMOD1	Timer1 Extend Mode Register	Address	0xFA09
Register	TEMOD2	Timer2 Extend Mode Register	Address	0xFA48
Register	TEMOD3	Timer3 Extend Mode Register	Address	0xFA49

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	BUFMD	R/W	0	バッファモードイネーブル 0：バッファモードをディスエーブル 1：バッファモードをイネーブル	
4	FILEN	R/W	0	入力フィルタイネーブル 0：入力フィルタをディスエーブル （2 段フリップフロップ（F/F）の同期化） 1：入力フィルタをイネーブル （3 つのサンプリングデータの一致で取り込み）	
3	TICIE	R/W	0	TIC 入力割込みイネーブル 0：TIC 入力割込みをディスエーブル 1：TIC 入力割込みをイネーブル	
2	EMOD	R/W	0	タイマ拡張モードの設定 000：通常モード 001：位相計数モード 1 010：位相計数モード 2 011：位相計数モード 3 100：位相計数モード 4 その他：使用禁止	
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.7. TICS0 (Timer0 Input Capture Select Register)

Register	TICS0	Timer0 Input Capture Select Register	Address	0xFA0A

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMPBCS	R/W	0	TCMPB インプットキャプチャの設定 0000：コンペアマッチレジスタ 0001：リザーブ 0010：リザーブ 0011：TMR1*のコンペアマッチ A 0100：TMR1*のコンペアマッチ B 0101：TIOB 入力イベント 0110：リザーブ 0111：リザーブ 1000：コンパレータ 0 イベント 1001：コンパレータ 1 イベント 1010：コンパレータ 2 イベント 1011：コンパレータ 3 イベント 1100：コンパレータ 4 イベント 1101：コンパレータ 5 イベント 1110：リザーブ 1111：リザーブ	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3	CMPACS	R/W	0	TCMPA インプットキャプチャの設定 0000：コンペアマッチレジスタ 0001：リザーブ 0010：リザーブ 0011：TMR1*のコンペアマッチ A 0100：TMR1*のコンペアマッチ B 0101：TIOA 入力イベント 0110：リザーブ 0111：リザーブ 1000：コンパレータ 0 イベント 1001：コンパレータ 1 イベント 1010：コンパレータ 2 イベント 1011：コンパレータ 3 イベント 1100：コンパレータ 4 イベント 1101：コンパレータ 5 イベント 1110：リザーブ 1111：リザーブ	
2		R/W	0		
1		R/W	0		
0		R/W	0		

* カスケードモード（TMODn.CASMD = 1）の場合は、選択しないでください。

© SANKEN ELECTRIC CO., LTD. 2017

17.2.8. TICS1 (Timer1 Input Capture Select Register)

TMOD1.CASMD = 1 の場合、TMR0 と TMR1 は、TICS0 レジスタの設定値に従って動作します。TICS1 レジスタの設定は、動作に反映されません。

Register	TICS1		Timer1 Input Capture Select Register		Address	0xFA0B
Bit	Bit Name	R/W	Initial	Description		Remarks
7	CMPBCS	R/W	0	TCMPB インプットキャプチャの設定 0000：コンペアマッチレジスタ 0001：TMR0 のコンペアマッチ A 0010：TMR0 のコンペアマッチ B 0011：リザーブ 0100：リザーブ 0101：TIOB 入力イベント 0110：リザーブ 0111：リザーブ 1000：コンパレータ 0 イベント 1001：コンパレータ 1 イベント 1010：コンパレータ 2 イベント 1011：コンパレータ 3 イベント 1100：コンパレータ 4 イベント 1101：コンパレータ 5 イベント 1110：リザーブ 1111：リザーブ		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3	CMPACS	R/W	0	TCMPA インプットキャプチャの設定 0000：コンペアマッチレジスタ 0001：TMR0 のコンペアマッチ A 0010：TMR0 のコンペアマッチ B 0011：リザーブ 0100：リザーブ 0101：TIOA 入力イベント 0110：リザーブ 0111：リザーブ 1000：コンパレータ 0 イベント 1001：コンパレータ 1 イベント 1010：コンパレータ 2 イベント 1011：コンパレータ 3 イベント 1100：コンパレータ 4 イベント 1101：コンパレータ 5 イベント 1110：リザーブ 1111：リザーブ		
2		R/W	0			
1		R/W	0			
0		R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

17.2.9. TICSn (Timer n Input Capture Select Register) (n = 2 to 3)

TMOD3.CASMD = 1 の場合、TMR2 と TMR3 は、TICS2 レジスタの設定値に従って動作します。TICS3 レジスタの設定は、動作に反映されません。

Register	TICS2	Timer2 Input Capture Select Register	Address	0xFA4A
Register	TICS3	Timer3 Input Capture Select Register	Address	0xFA4B

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMPBCS	R/W	0	TCMPB インプットキャプチャの設定 0000：コンペアマッチレジスタ 0001：TMR0 コンペアマッチ A 0010：TMR0 コンペアマッチ B 0011：TMR1 コンペアマッチ A 0100：TMR1 コンペアマッチ B 0101：TIOB 入力イベント 0110：リザーブ 0111：リザーブ 1000：コンパレータ 0 イベント 1001：コンパレータ 1 イベント 1010：コンパレータ 2 イベント 1011：コンパレータ 3 イベント 1100：コンパレータ 4 イベント 1101：コンパレータ 5 イベント 1110：リザーブ 1111：リザーブ	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3	CMPACS	R/W	0	TCMPA インプットキャプチャの設定 0000：コンペアマッチレジスタ 0001：TMR0 コンペアマッチ A 0010：TMR0 コンペアマッチ B 0011：TMR1 コンペアマッチ A 0100：TMR1 コンペアマッチ B 0101：TIOA 入力イベント 0110：リザーブ 0111：リザーブ 1000：コンパレータ 0 イベント 1001：コンパレータ 1 イベント 1010：コンパレータ 2 イベント 1011：コンパレータ 3 イベント 1100：コンパレータ 4 イベント 1101：コンパレータ 5 イベント 1110：リザーブ 1111：リザーブ	
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.10. TXESn (Timer n External Event Select Register) (n = 0 to 3)

TMOD1.CASMD = 1 の場合、TMR0 と TMR1 は、TXES0 レジスタの設定値に従って動作します。TXES1 レジスタの設定は、動作に反映されません。

TMOD3.CASMD = 1 の場合、TMR2 と TMR3 は、TXES2 レジスタの設定値に従って動作します。TXES3 レジスタの設定は、動作に反映されません。

Register	TXES0	Timer0 External Event Select Register	Address	0xFA0C
Register	TXES1	Timer1 External Event Select Register	Address	0xFA0D
Register	TXES2	Timer2 External Event Select Register	Address	0xFA4C
Register	TXES3	Timer3 External Event Select Register	Address	0xFA4D

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	TICEVS	R/W	0	TIC 入力イベントの設定 00：選択なし 01：立ち下がりエッジ 10：立ち上がりエッジ 11：両エッジ	
4		R/W	0		
3	TIBEVS	R/W	0	TIOB 入力イベントの設定 00：選択なし 01：立ち下がりエッジ 10：立ち上がりエッジ 11：両エッジ	
2		R/W	0		
1	TIAEVS	R/W	0	TIOA 入力イベントの設定 00：選択なし 01：立ち下がりエッジ 10：立ち上がりエッジ 11：両エッジ	
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.11. TPSNFn (Timer n Prescaler for Noise Filter Register) (n = 0 to 3)

TMOD1.CASMD = 1 の場合、TMR0 と TMR1 は、TPSNF0 レジスタの設定値に従って動作します。TPSNF1 レジスタの設定は、動作に反映されません。

TMOD3.CASMD = 1 の場合、TMR2 と TMR3 は、TPSNF2 レジスタの設定値に従って動作します。TPSNF3 レジスタの設定は、動作に反映されません。

Register	TPSNF0	Timer0 Prescaler for Noise Filter Register	Address	0xFA0E
Register	TPSNF1	Timer1 Prescaler for Noise Filter Register	Address	0xFA0F
Register	TPSNF2	Timer2 Prescaler for Noise Filter Register	Address	0xFA4E
Register	TPSNF3	Timer3 Prescaler for Noise Filter Register	Address	0xFA4F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	NFPSCLC	R/W	0	ノイズフィルタのプリスケーラの設定 000：1/1 001：1/16 010：1/128 011：1/1024 100：1/8192 101：1/65536 110：1/262144 111：1/1048576 入力ノイズフィルタのサンプリング周波数は、CLKFAST の周波数に上記の設定値をかけた値です。 例として、CLKFAST = 60 MHz、NFPSCLC = 0b111 の場合、サンプリング周期は約 17.5 ms になります。	
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.12. TCMPALn (Timer n Compare Match A Low) (n = 0 to 3)

Register	TCMPAL0	Timer0 Compare Match A Low	Address	0xFA10	0x04
Register	TCMPAL1	Timer1 Compare Match A Low	Address	0xFA12	0x0C
Register	TCMPAL2	Timer2 Compare Match A Low	Address	0xFA50	0x14
Register	TCMPAL3	Timer3 Compare Match A Low	Address	0xFA52	0x1C

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMPAL	R/W	0	コンペアマッチ A の下位 8 ビット CPU は、MOVX 命令でのみ、リード／ライトできます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

17.2.13. TCMPAHn (Timer n Compare Match A High) (n = 0 to 3)

Register	TCMPAH0	Timer0 Compare Match A High	Address	0xFA11	0x04
Register	TCMPAH1	Timer1 Compare Match A High	Address	0xFA13	0x0C
Register	TCMPAH2	Timer2 Compare Match A High	Address	0xFA51	0x14
Register	TCMPAH3	Timer3 Compare Match A High	Address	0xFA53	0x1C

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMPAH	R/W	0	コンペアマッチ A の上位 8 ビット CPU は、MOVX 命令でのみ、リード／ライトできます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.14. TCMPBLn (Timer n Compare Match B Low) (n = 0 to 3)

Register	TCMPBL0	Timer0 Compare Match B Low	Address	0xFA14	0x05
Register	TCMPBL1	Timer1 Compare Match B Low	Address	0xFA16	0x0D
Register	TCMPBL2	Timer2 Compare Match B Low	Address	0xFA54	0x15
Register	TCMPBL3	Timer3 Compare Match B Low	Address	0xFA56	0x1D

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMPBL	R/W	0	コンペアマッチ B の下位 8 ビット CPU は、MOVX 命令でのみ、リード／ライトできます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

17.2.15. TCMPBHn (Timer n Compare Match B High) (n = 0 to 3)

Register	TCMPBH0	Timer0 Compare Match B High	Address	0xFA15	0x05
Register	TCMPBH1	Timer1 Compare Match B High	Address	0xFA17	0x0D
Register	TCMPBH2	Timer2 Compare Match B High	Address	0xFA55	0x15
Register	TCMPBH3	Timer3 Compare Match B High	Address	0xFA57	0x1D

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMPBH	R/W	0	コンペアマッチ B の上位 8 ビット CPU は、MOVX 命令でのみ、リード／ライトできます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.16. TCNTLn (Timer n Counter Low) (n = 0 to 3)

Register	TCNTL0	Timer0 Counter Low	Address	0xFA18
Register	TCNTL1	Timer1 Counter Low	Address	0xFA1A
Register	TCNTL2	Timer2 Counter Low	Address	0xFA58
Register	TCNTL3	Timer3 Counter Low	Address	0xFA5A

Bit	Bit Name	R/W	Initial	Description	Remarks
7	TCNTL	R/W	0	カウンタ値の下位 8 ビット	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

17.2.17. TCNTHn (Timer n Counter H) (n = 0 to 3)

Register	TCNTH0	Timer0 Counter High	Address	0xFA19
Register	TCNTH1	Timer1 Counter High	Address	0xFA1B
Register	TCNTH2	Timer2 Counter High	Address	0xFA59
Register	TCNTH3	Timer3 Counter High	Address	0xFA5B

Bit	Bit Name	R/W	Initial	Description	Remarks
7	TCNTH	R/W	0	カウンタ値の上位 8 ビット	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.18. TBUFALn (Timer n Buffer A Low) (n = 0 to 3)

Register	TBUFAL0	Timer0 Buffer A Low	Address	0xFA20	0x06
Register	TBUFAL1	Timer1 Buffer A Low	Address	0xFA21	0x0E
Register	TBUFAL2	Timer2 Buffer A Low	Address	0xFA60	0x16
Register	TBUFAL3	Timer3 Buffer A Low	Address	0xFA61	0x1E

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUFAL	R/W	0	バッファ A の下位 8 ビット CPU は、MOVX 命令でのみ、リード／ライトできます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

17.2.19. TBUFAHn (Timer n Buffer A High) (n = 0 to 3)

Register	TBUFAH0	Timer0 Buffer A High	Address	0xFA22	0x06
Register	TBUFAH1	Timer1 Buffer A High	Address	0xFA23	0x0E
Register	TBUFAH2	Timer2 Buffer A High	Address	0xFA62	0x16
Register	TBUFAH3	Timer3 Buffer A High	Address	0xFA63	0x1E

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUFAH	R/W	0	バッファ A の上位 8 ビット CPU は、MOVX 命令でのみ、リード／ライトできます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.20. TBUFBLn (Timer n Buffer B Low) (n = 0 to 3)

Register	TBUFBL0	Timer0 Buffer B Low	Address	0xFA24	0x07
Register	TBUFBL1	Timer1 Buffer B Low	Address	0xFA25	0x0F
Register	TBUFBL2	Timer2 Buffer B Low	Address	0xFA64	0x17
Register	TBUFBL3	Timer3 Buffer B Low	Address	0xFA65	0x1F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUFBL	R/W	0	バッファ B の下位 8 ビット CPU は、MOVX 命令でのみ、リード／ライトできます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

17.2.21. TBUFBHn (Timer n Buffer B High) (n = 0 to 3)

Register	TBUFBH0	Timer0 Buffer B High	Address	0xFA26	0x07
Register	TBUFBH1	Timer1 Buffer B High	Address	0xFA27	0x0F
Register	TBUFBH2	Timer2 Buffer B High	Address	0xFA66	0x17
Register	TBUFBH3	Timer3 Buffer B High	Address	0xFA67	0x1F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BUFBH	R/W	0	バッファ B 上位 8 ビット CPU は、MOVX 命令でのみ、リード／ライトできます。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

17.2.22. TOACRn (Timer n TIOA Output Control Register) (n = 0 to 3)

TMOD1.CASMD = 1 の場合、TMR0 と TMR1 は、TOACR0 レジスタの設定値に従って動作します。TOACR1 レジスタの設定値は、反映されません。また、TMR2 と TMR3 は、TOACR2 レジスタの設定値に従って動作します。TOACR3 レジスタの設定値は、反映されません。

Register	TOACR0	Timer0 TIOA Output Control Register	Address	0xFA30
Register	TOACR1	Timer1 TIOA Output Control Register	Address	0xFA31
Register	TOACR2	Timer2 TIOA Output Control Register	Address	0xFA70
Register	TOACR3	Timer3 TIOA Output Control Register	Address	0xFA71

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	TOCLR	R/W	0	TCNT のオーバフローかクリア時の TIOA 出力レベルの設定 00：変化なし 01：“L”に設定 10：“H”に設定 11：トグル	
4		R/W	0		
3	TOCMPA	R/W	0	TCMPA マッチでの TIOA 出力レベルの設定 00：変化なし 01：“L”に設定 10：“H”に設定 11：トグル	
2		R/W	0		
1	TOINI*	W	0	TIOA の初期出力レベルの設定 00：変化なし 01：“L”に設定 10：“H”に設定 11：使用禁止 リード値は常に 0 です。 本ビットの設定は、他のどのイベントの端子設定よりも優先されます。	
0		W	0		

* TMR0 と TMR1 がカスケードモードの場合、TIOA0 と TIOA1 の初期出力レベルは、TOACR0.TOINI ビットの設定で決まります。また、TMR2 と TMR3 がカスケードモードの場合、TIOA2 と TIOA3 の初期出力レベルは、TOACR2.TOINI ビットの設定で決まります。

© SANKEN ELECTRIC CO., LTD. 2017

17.2.23. TOBCRn (Timer n TIOB Output Control Register) (n = 0 to 3)

TMOD1.CASMD = 1 の場合、TMR0 と TMR1 は、TOBCR0 レジスタの設定値に従って動作します。TOBCR1 レジスタの設定値は反映されません。また、TMR2 と TMR3 は、TOBCR2 レジスタの設定値に従って動作します。TOBCR3 レジスタの設定値は反映されません。

Register	TOBCR0	Timer0 TIOB Output Control Register	Address	0xFA32
Register	TOBCR1	Timer1 TIOB Output Control Register	Address	0xFA33
Register	TOBCR2	Timer2 TIOB Output Control Register	Address	0xFA72
Register	TOBCR3	Timer3 TIOB Output Control Register	Address	0xFA73

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	TOCLR	R/W	0	TCNT のオーバフローかクリア時の TIOB 出力レベルの設定 00：変化なし 01：“L”に設定 10：“H”に設定 11：トグル	
4		R/W	0		
3	TOCMPB	R/W	0	TCMPB マッチでの TIOB 出力レベルの設定 00：変化なし 01：“L”に設定 10：“H”に設定 11：トグル	
2		R/W	0		
1	TOINI*	W	0	TIOB の初期出力レベルの設定 00：変化なし 01：“L”に設定 10：“H”に設定 11：使用禁止 リード値は常に 0 です。 TIOB 出力レベルの変化は、出力レベルが変化する他のどのコンペアマッチよりも高い優先度でライトされます。	
0		W	0		

* TMR0 と TMR1 がカスケードモードの場合、TIOB0 と TIOB1 の初期出力レベルは、TOBCR0.TOINI ビットの設定で決まります。また、TMR2 と TMR3 がカスケードモードの場合、TIOB2 と TIOB3 の初期出力レベル TOBCR2.TOINI ビットの設定で決まります。

© SANKEN ELECTRIC CO., LTD. 2017

17.2.24. TPCISn (Timer n Phase Counting Input Select Register) (n = 0 to 3)

TMOD1.CASMD = 1 の場合、TMR0 と TMR1 は、TPCIS0 レジスタの設定値に従って動作します。TPCIS1 レジスタの設定値は参照されません。また、TMR2 と TMR3 は、TPCIS2 レジスタの設定値に従って動作します。TPCIS3 レジスタの設定値は参照されません。

Register	TPCIS0	Timer0 Phase Counting Input Select Register	Address	0xFA34
Register	TPCIS1	Timer1 Phase Counting Input Select Register	Address	0xFA35
Register	TPCIS2	Timer2 Phase Counting Input Select Register	Address	0xFA74
Register	TPCIS3	Timer3 Phase Counting Input Select Register	Address	0xFA75

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	TIBSEL	R/W	0	TIOB 入力の選択 0：TIOB 入力端子 1：コンパレータ出力 位相計数モード使用時に参照されます（表 17-4 参照）。	
0	TIASEL	R/W	0	TIOA 入力の選択 0：TIOA 入力端子 1：コンパレータ出力 位相計数モード使用時に参照されます（表 17-4 参照）。	

表 17-4　位相係数モード時のチャネルとコンパレータ出力の対応

TMR チャネル	TOIA 入力（TIASEL = 1）	TIOB 入力（TIBSEL = 1）
TMR0	コンパレータ 4 の出力	コンパレータ 5 の出力
TMR1	—	—
TMR2	コンパレータ 0 の出力	コンパレータ 1 の出力
TMR3	コンパレータ 2 の出力	コンパレータ 3 の出力

© SANKEN ELECTRIC CO., LTD. 2017

17.3. 動作

17.3.1. 16 ビットレジスタアクセス

TCNTxn、TCMPxxn、TBUFxxn レジスタをリード／ライトする場合は、下位 8 ビットレジスタとそれに対応する上位 8 ビットレジスタを、連続してリード／ライトしてください。

● **TCNTxn レジスタ**

- ライト
  TCNTLn レジスタ（下位 8 ビット）にライトされたデータは、一時的にバッファされます。TCNTHn レジスタ（上位 8 ビット）にライトすると、同時にバッファされた下位 8 ビットがカウンタにライトされます。
- リード
  TCNTLn レジスタ（下位 8 ビット）をリードする場合、TCNTHn レジスタ（上位 8 ビット）の値がバッファされます。TCNTHn レジスタをリードする場合は、バッファされたデータをリードします。

● **TCMPxxn レジスタと TBUFxxn レジスタ**

TCMPxxn レジスタと TBUFxxn レジスタは、XDATA BUS と SFR BUS 領域の両方にマッピングされています。TCMPxxn レジスタと TBUFxxn レジスタは、16 ビット幅です。XDATA 領域では、下位 8 ビットと上位 8 ビットのレジスタは、連続したアドレスにマッピングされています。順番はリトルエンディアン方式に従います。SFR BUS 領域では、下位 8 ビットと上位 8 ビットのレジスタは、同じアドレスにマッピングされています。これらのレジスタには、DSAC や EPU から 16 ビットでのみアクセスできます。CPU は、MOVX 命令でのみリード／ライトできます。CPU から TCMPxxn レジスタと TBUFxxn レジスタに 8 ビットでアクセスする場合は、以下のように行います。

- ライト
  TCMPxLn／TBUFxLn レジスタ（下位 8 ビット）にライトされたデータは、一時的にバッファされます。TCMPxHn／TBUFxHn レジスタ（上位 8 ビット）にライトすると同時に、バッファされた下位 8 ビットのデータが、TCMPxLn／TBUFxLn レジスタにライトされます。
- リード
  TCMPxLn／TBUFxLn レジスタ（下位 8 ビット）をリードする場合、TCMPxHn／TBUFxHn レジスタ（上位 8 ビット）の値がバッファされます。TCMPxHn／TBUFxHn レジスタ（上位 8 ビット）のリード時に、バッファされたデータをリードします。

17.3.2. カウンタ動作

TMODn.TMREN ビットを 1 に設定すると、16 ビットカウンタ（TCNT）は、TCNTLn レジスタと TCNTHn レジスタに設定された値から、カウントを開始します。TCNT の初期値は 0x0000 です。

TCNT のライトとオーバフローが同時に発生した場合は、ライトアクセスが優先されます。カウンタ動作の優先度は以下のとおりです。

プログラムによる TCNT のライト ＞ TCNT のクリア ＞ カウントアップ／ダウン

17.3.3. コンペアマッチ動作

コンペアマッチ動作とは、16 ビットカウンタ（TCNT）の値が設定値（TCMPA か TCMPB）と等しくなったことを検出したときに、イベントを発生させる動作です。TCMPA の値は TCMPALn レジスタと TCMPAHn レジスタに設定します。TCMPB の値は TCMPBLn レジスタと TCMPBHn レジスタに設定します。

TMODn.CMPAEN ビットを 1 に設定すると、コンペアマッチ A の動作がイネーブルになります。TMODn.CMPBEN ビットを 1 に設定するとコンペアマッチ B の動作がイネーブルになります。

コンペアマッチ A が検出されると、TMSRn.CMAF ビットが 1 にセットされます。コンペアマッチ B が検出されると、TMSRn.CMBF ビットが 1 にセットされます。コンペアマッチを検出したタイミングで、イ

© SANKEN ELECTRIC CO., LTD. 2017

ベントと割込みを発生させることができます（詳細は 17.3.14 項参照）。コンペアマッチレジスタへのライトとコンペアマッチが同時に発生した場合は、コンペアマッチが優先されます。

17.3.4. コンペアマッチ出力

TMR の各チャネルは、2 つのコンペアマッチ出力（TIOAn、TIOBn）を有しています。

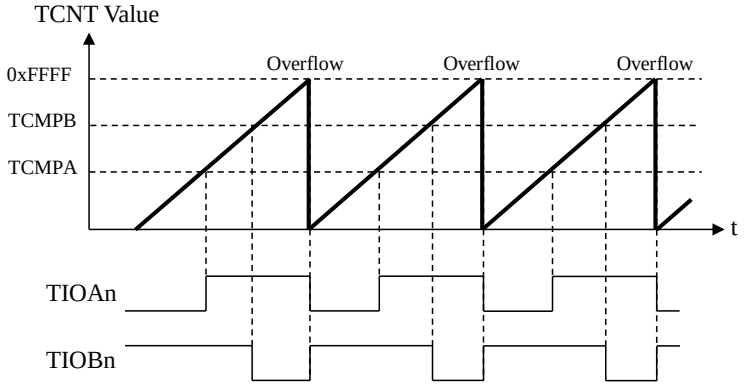
TCMPA レジスタ（TCMPALn と TCMPAHn）をコンペアマッチレジスタとして動作させる場合、TCMPA レジスタのコンペアマッチと、16 ビットカウンタ（TCNT）のオーバフローかクリアで、TIOAn 端子の出力レベルを変化させることができます。TIOAn 端子出力の初期値は TOACRn.TOINI ビットで設定します。コンペアマッチ時の TIOAn 端子の出力レベルは、TOACRn.TOCMPA ビットで設定します。TCNT のオーバフロー発生またはクリア時の TIOAn 端子の出力レベルは、TOACRn.TOCLR ビットで設定します。

TCMPB レジスタ（TCMPBLn と TCMPBHn）をコンペアマッチレジスタとして動作させる場合、TCMPB レジスタのコンペアマッチと TCNT のオーバフローかクリアで TIOBn 端子の出力レベルを変化させることができます。TIOBn 端子出力の初期値は TOBCRn.TOINI ビットで設定します。コンペアマッチ時の TIOBn 端子の出力レベルは、TOBCRn.TOCMPB ビットで設定します。TCNT のオーバフロー発生またはクリア時の TIOBn 端子の出力レベルは、TOBCRn.TOCLR ビットで設定します。

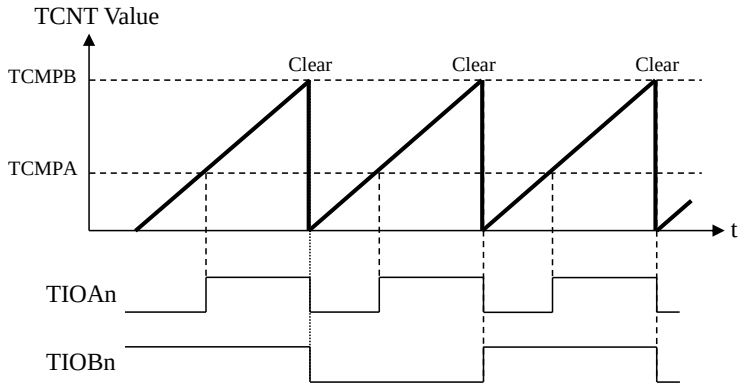
クリアイベントと、TCNT への 0x0000 ライトが同時に発生した場合、TCNT はライトにより 0x0000 に変化し、TIOAn 端子と TIOBn 端子のレベルも変化します。

出力レベルの設定の優先度は以下のとおりです。

- TIOAn：TOACRn.TOINI ビット ＞ オーバフローまたは TCNT クリア ＞ コンペアマッチ A
- TIOBn：TOBCRn.TOINI ビット ＞ オーバフローまたは TCNT クリア ＞ コンペアマッチ B



a) TMCRn.ACLEN = 0b0, TOACRn.TOCMPA = 0b10, TOACRn.TOCLR = 0b01, TOBCRn.TOCMPB = 0b01, TOBCRn.TOCLR = 0b10



b) TMCRn.ACLEN = 0b1, TMCRn.ACLSEL = 0b1, TOACRn.TOCMPA = 0b01, TOACRn.TOCLR = 0b10, TOBCRn.TOCMPB = 0b11, TOBCRn.TOCLR = 0b11

図 17-2　コンペアマッチ出力動作

© SANKEN ELECTRIC CO., LTD. 2017

17.3.5. 自動クリア

コンペアマッチを発生させると、16 ビットカウンタ（TCNT）をクリアできます。TMCRn.ACLEN ビットを 1 に設定すると、TCNT のコンペアマッチによるクリア動作をイネーブルにできます。TCNT の自動クリアの条件は、TMCRn.ACLSEL = 0 の場合はコンペアマッチ A、TMCRn.ACLSEL = 1 の場合はコンペアマッチ B です。自動クリアがディスエーブルの場合、TCNT は 0xFFFF までカウントアップし、その後 0x0000 に変化します。このとき TMSRn.OVF ビットは 1 にセットされ、TCNT のオーバフローを示します。

17.3.6. PWM イベントクリア

TMECRn.PxCLRS ビット（x = 0～3：PWM のチャネル番号）を 1 に設定すると、PWM0、PWM1、PWM2、PWM3 の TMR クリアイベントで 16 ビットカウンタ（TCNT）をクリアできます。

17.3.7. TIC 入力イベントクリア

TMECRn.TICCLRS ビットを 1 に設定すると、16 ビットカウンタ（TCNT）は TICn 入力イベントでクリアされます。TICn 入力イベントは、TXESn.TICEVS ビットで設定できます。TICn 入力イベントによるクリア動作は、CLKFAST と同期します。プリスケーラのカウントアップのタイミングや、位相計数モード時のカウントアップ／ダウンのタイミングには同期しません。

17.3.8. 32 ビットカウンタモード（カスケードモード）

カスケードモードとは、2 つのカウンタを連結して、32 ビットカウンタで動作させるモードです。通常モードと位相計数モードで使用できます。TMOD1.CASMD ビットを 1 に設定すると、TMR0 の 16 ビットカウンタ（TCNT）が下位 16 ビットのカウンタに、TMR1 の TCNT が上位 16 ビットのカウンタになります。TMOD3.CASMD ビットを 1 に設定すると、TMR2 の TCNT が下位 16 ビットのカウンタに、TMR3 の TCNT が上位 16 ビットのカウンタになります。

カスケードモードの場合、タイマは、数字の小さいチャネルのレジスタ設定で動作します。数字の大きなチャネルのレジスタの設定は無視されます。TMR0 と TMR1 のカスケードモードは、TMR0 の設定が有効です。TMR2 と TMR3 のカスケードモードは、TMR2 の設定が有効です。

TMR のステータスレジスタ（TMSRn）は、カスケードした 2 つのチャネルに反映されます。フラグは、チャネルごとにクリアする必要があります。

入力端子は、カスケードペアの数字の小さい方のチャネルの端子を使用します。カスケードペアの数字の小さい方のチャネルで、両方のチャネルの出力端子を設定します。両方のチャネルの出力端子からは同じ信号が出力されます。

割込みとイベントは、カスケードペアの数字の小さい方のチャネルで設定され、両方のチャネルから出力されます。

© SANKEN ELECTRIC CO., LTD. 2017

17.3.9. コンペアマッチタイミング

図 17-3 にコンペアマッチのタイミングを示します。

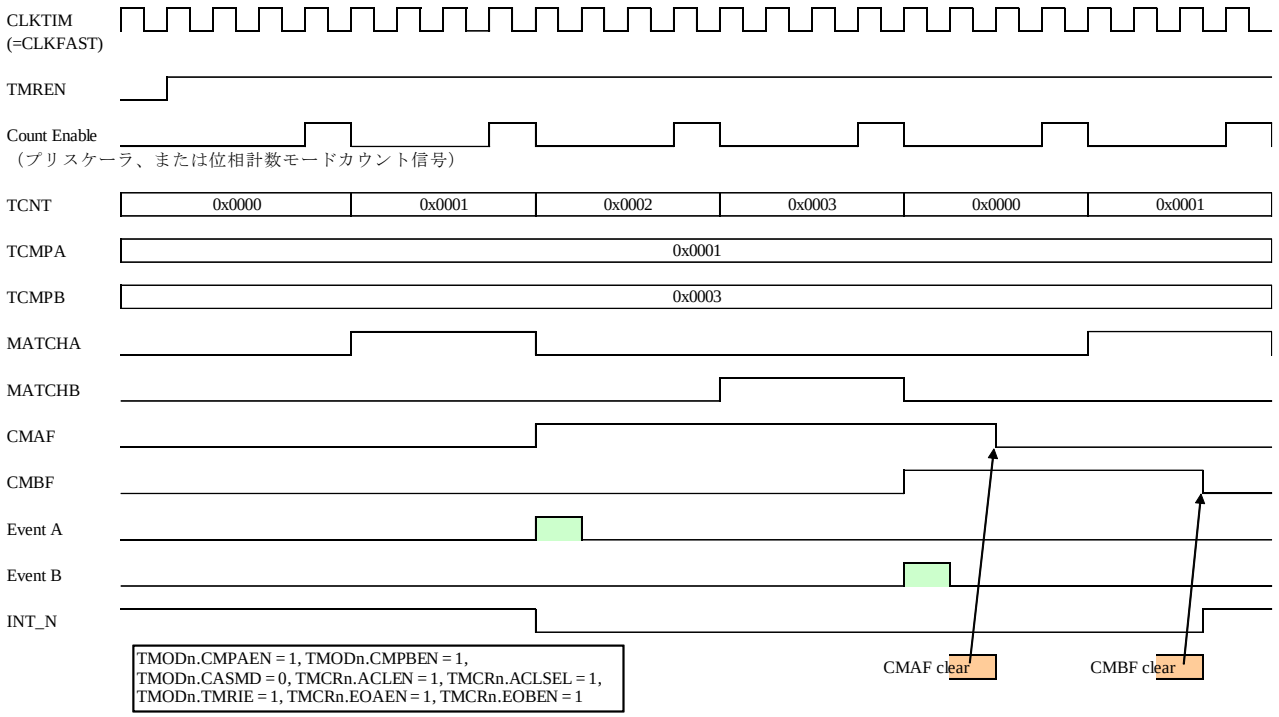


図 17-3　コンペアマッチタイミング

TMODn.TMREN ビットを 1 に設定すると、16 ビットカウンタ（TCNT）はあらかじめ設定した値からカウントアップします。TCNT の初期値は 0x0000 です。TMODn.PRSCL ビットで、TCNT のカウントアップのタイミング、または位相計数モード時の TCNT のカウントダウンタイミングを設定します。

図 17-3 に TMODn.PRSCL ビットで CLKFAST の 4 分周を選択した場合のタイミングを、以下にその動作を示します。

- TCNT と TCMPA レジスタ（TCMPALn と TCMPAHn）の値が一致すると、次の TCNT の更新タイミングで TMSRn.CMAF ビットがセットされます。
- TCNT と TCMPB レジスタ TCMPBLn と TCMPBHn）の値が一致すると、次の TCNT の更新タイミングで TMSRn.CMBF ビットがセットされます。
- TMSRn.CMAF ビットか TMSRn.CMBF ビットがセットされると同時に、コンペアマッチ割込み（INT_N）が発生します。
- TMCRn.ACLEN ビットを 1、TMCRn.ACLSEL ビットを 1 に設定すると、TCNT と TCMPB レジスタが一致したときに、次の TCNT の更新タイミングで TCNTLn／Hn レジスタがクリアされます。
- TMCRn.EOAEN ビットを 1 に設定すると、TMSRn.CMAF ビットがセットされたタイミングで Event A が出力されます。
- TMCRn.EOBEN を 1 ビットに設定すると、TMSRn.CMBF ビットがセットされたタイミングで Event B が出力されます。

© SANKEN ELECTRIC CO., LTD. 2017

17.3.10. インプットキャプチャモード

インプットキャプチャモードとは、選択したイベントを受けて 16 ビットカウンタ（TCNT）の値を TCMPA レジスタ（TCMPALn と TCMPAHn）または TCMPB（TCMPBLn と TCMPBHn）レジスタに取り込む（キャプチャする）動作です。

TICSn.CMPACS ビットで TCMPA レジスタの動作モードを設定します。TICSn.CMPACS ビットを 0b0000 以外に設定すると、TCMPA レジスタは、インプットキャプチャモードで動作します。TICSn.CMPACS で選択されたイベントを受けると、TCNT の値が TCMPA レジスタに取り込まれます。また、TICSn.CMPACS ビットを 0b0011 に設定すると、TCMPA レジスタは、TIOAn 入力イベントでインプットキャプチャ動作をします。TIOAn 入力イベントは、TXESn.TIAEVS ビットで設定します。

TICSn.CMPBCS ビットで TCMPB レジスタの動作モードを設定します。TICSn.CMPBCS ビットを 0b0000 以外に設定すると、TCMPB レジスタは、インプットキャプチャモードで動作します。TICSn.CMPBCS で選択されたイベントを受けると、TCNT の値が TCMPB レジスタに取り込まれます。また、TICSn.CMPBCS ビットを 0b0011 に設定すると、TCMPB レジスタは、TIOBn 入力イベントでインプットキャプチャ動作をします。TIOBn 入力イベントは、TXESn.TIBEVS ビットで設定します。

TCMPA／B レジスタのインプットキャプチャ動作時に、割込みやイベントを出力できます。割込みやイベントのイネーブル／ディスエーブルは、TMCRn レジスタで設定します。

TMCRn.ACLEN ビットを 1 に設定すると、インプットキャプチャ動作時に、TCNT をクリアできます。TCNT のクリアイベントは、TMCRn.ACLSEL ビットで選択します。

インプットキャプチャ機能は、プリスケーラや位相計数カウントイネーブルに依存せず、CLKFAST に同期してキャプチャをします。同様に、バッファモードにおける TCMPA／B レジスタから TBUFA／B レジスタ（TBUFALn と TBUFAH、または TBUFBLn と TBUFBHn）への転送も、CLKFAST に同期して行われます。

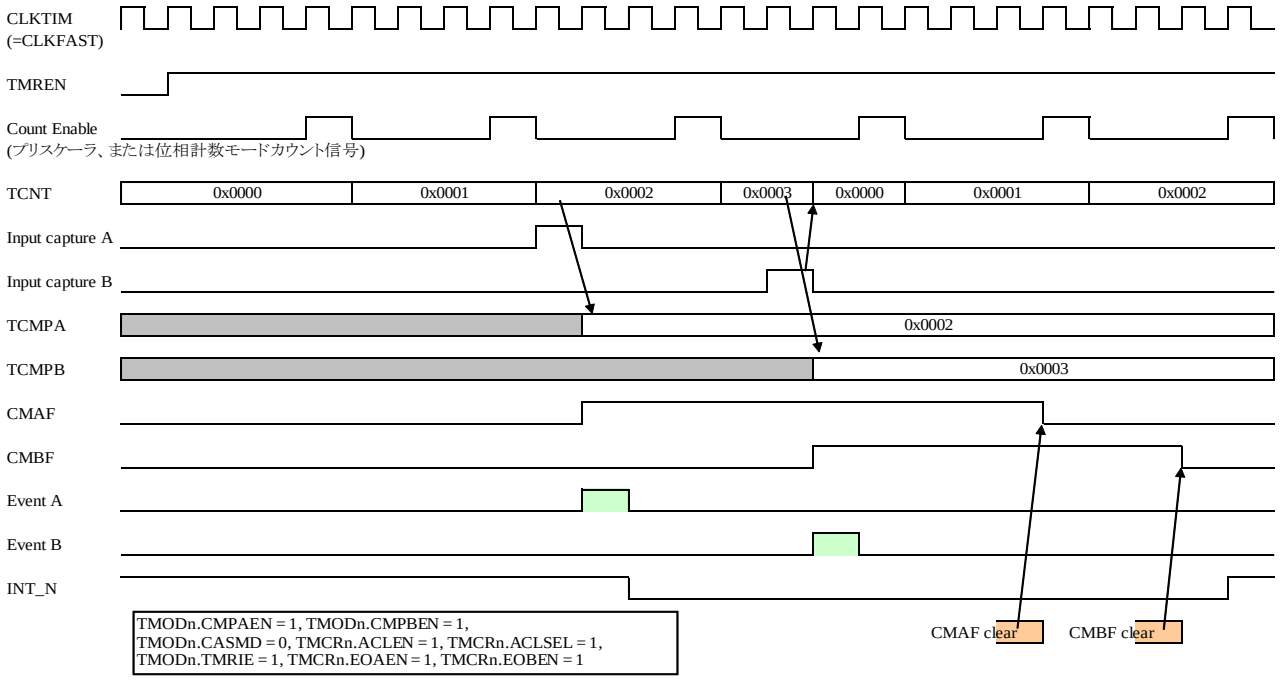


図 17-4　インプットキャプチャタイミング

© SANKEN ELECTRIC CO., LTD. 2017

17.3.11. バッファモード

TBUFALn／Hn レジスタは TCMPALn／Hn レジスタの、TBUFBLn／Hn レジスタは TCMPBLn／Hn レジスタのバッファとして動作します。TEMODn.BUFMD ビットを 1 に設定するとバッファモードになります。バッファモード時の動作は以下のとおりです。

- TCMPALn／Hn をコンペアマッチレジスタに設定した場合
  TCNTLn／Hn のクリアかオーバフローが発生すると、TBUFALn／Hn レジスタの値を TCMPALn／Hn レジスタに転送します。
- TCMPALn／Hn をインプットキャプチャレジスタに設定した場合
  TCMPALn／Hn のインプットキャプチャイベントが発生すると、TCMPALn／Hn レジスタの値を TBUFALn／Hn レジスタに転送します。
- TCMPBnL／Hn をコンペアマッチレジスタに設定した場合
  TCNTLn／Hn のクリアかオーバフローが発生すると、TBUFBL／Hn レジスタの値を TCMPBLn／Hn レジスタに転送します。
- TCMPBLn／Hn をインプットキャプチャレジスタに設定した場合
  TCMPBLn／Hn のインプットキャプチャイベントが発生すると TCMPBLn／Hn レジスタの値を TBUFBLn／Hn レジスタに転送します。

17.3.12. 位相計数モード

位相計数モードとは、TIOAn 入力端子と TIOBn 入力端子の状態に応じて、16 ビットカウンタ（TCNT）をカウントアップ／カウントダウンさせるモードです。位相計数モードは、以下の 4 モードから選択できます。

- 位相計数モード 1：TEMODn.EMOD = 0b001
- 位相計数モード 2：TEMODn.EMOD = 0b010
- 位相計数モード 3：TEMODn.EMOD = 0b011
- 位相計数モード 4：TEMODn.EMOD = 0b100

TIOAn 入力端子と TIOBn 入力端子の信号の代わりにコンパレータの出力信号を使用できます。TPCISn.TIASEL ビットを 1 に設定すると、TIOAn 入力端子の信号の代わりにコンパレータの出力を使用します。TPCISn.TIBSEL ビットを 1 に設定すると、TIOBn 入力端子の信号の代わりにコンパレータの出力を使用します。TMR のチャネルに対応するコンパレータ出力は、表 17-4 を参照してください。

図 17-5～図 17-8 に位相計数モード 1～4 の動作を、表 17-5～表 17-8 にそれぞれのモードにおけるカウントアップ条件とカウントダウン条件を示します。

© SANKEN ELECTRIC CO., LTD. 2017

● 位相計数モード 1

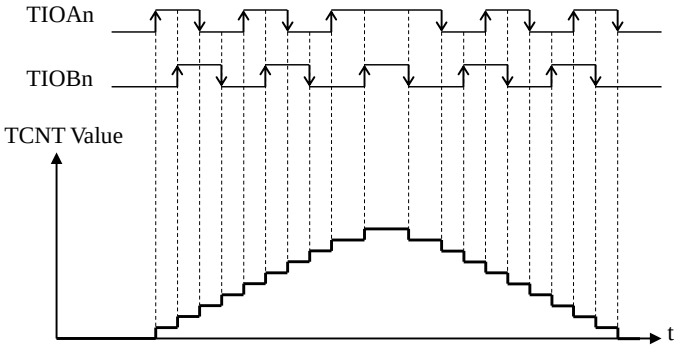


図 17-5　位相計数モード 1 の動作

表 17-5　位相計数モード 1 のカウントアップ／ダウン条件

TIOAn	TIOBn	カウンタ動作
“H”レベル	立ち上がりエッジ	＋1
“L”レベル	立ち下がりエッジ	
立ち上がりエッジ	“L”レベル	
立ち下がりエッジ	“H”レベル	
“H”レベル	立ち下がりエッジ	−1
“L”レベル	立ち上がりエッジ	
立ち上がりエッジ	“H”レベル	
立ち下がりエッジ	“L”レベル	

© SANKEN ELECTRIC CO., LTD. 2017

● 位相計数モード 2

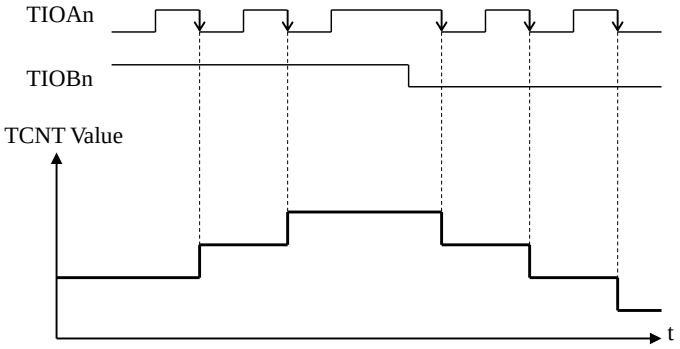


図 17-6　位相計数モード 2 の動作

表 17-6　位相計数モード 2 のカウントアップ／ダウン条件

TIOAn	TIOBn	カウンタ動作
“H”レベル	立ち上がりエッジ	動作なし
“L”レベル	立ち下がりエッジ	
立ち上がりエッジ	“L”レベル	
立ち下がりエッジ	“H”レベル	＋1
“H”レベル	立ち下がりエッジ	動作なし
“L”レベル	立ち上がりエッジ	
立ち上がりエッジ	“H”レベル	
立ち下がりエッジ	“L”レベル	−1

© SANKEN ELECTRIC CO., LTD. 2017

● 位相計数モード 3

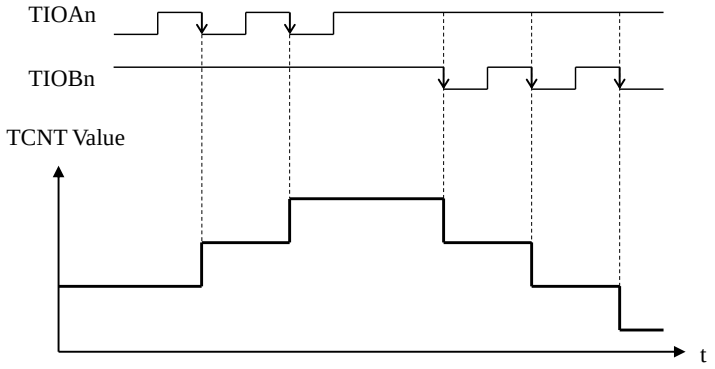


図 17-7　位相計数モード 3 の動作

表 17-7　位相計数モード 3 のカウントアップ／ダウン条件

TIOAn	TIOBn	カウンタ動作
“H”レベル	立ち上がりエッジ	動作なし
“L”レベル	立ち下がりエッジ	
立ち上がりエッジ	“L”レベル	
立ち下がりエッジ	“H”レベル	＋1
“H”レベル	立ち下がりエッジ	−1
“L”レベル	立ち上がりエッジ	動作なし
立ち上がりエッジ	“H”レベル	
立ち下がりエッジ	“L”レベル	

© SANKEN ELECTRIC CO., LTD. 2017

● 位相計数モード 4

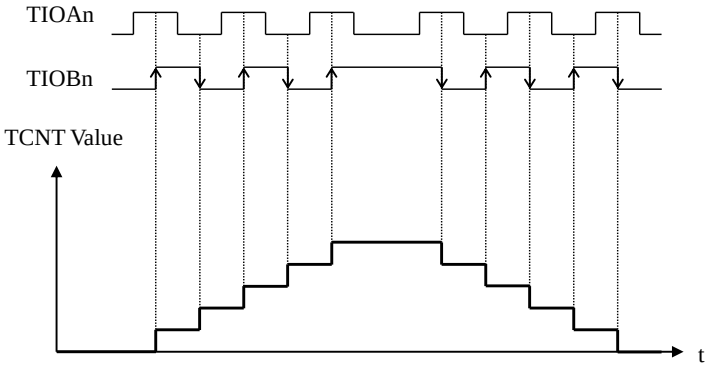


図 17-8　位相計数モード 4 の動作

表 17-8　位相計数モード 4 のカウントアップ／ダウン条件

TIOAn	TIOBn	カウンタ動作
“H”レベル	立ち上がりエッジ	＋1
“L”レベル	立ち下がりエッジ	
立ち上がりエッジ	“L”レベル	動作なし
立ち下がりエッジ	“H”レベル	
“H”レベル	立ち下がりエッジ	−1
“L”レベル	立ち上がりエッジ	
立ち上がりエッジ	“H”レベル	動作なし
立ち下がりエッジ	“L”レベル	

© SANKEN ELECTRIC CO., LTD. 2017

17.3.13. 入力端子のノイズフィルタ

各入力端子にはノイズフィルタがあります。TEMODn.FILEN ビットを 1 に設定すると、ノイズフィルタがイネーブルになります。ノイズフィルタは、入力信号をサンプリングし、直近の 3 つの値を保持します。サンプリングの周波数は、TPSNFn レジスタで設定します（17.2.11 項参照）。3 つのサンプリングした値が同じ場合にだけ、入力レベルを TMR の内部ロジックに取り込みます。ノイズフィルタをディスエーブル（TEMODn.FILEN = 0）にすると、入力信号は、2 つのフリップフロップ回路で CLKFAST と同期します。

17.3.14. イベント、割込み

TMRn は、1 チャネルあたり、CPU への割込みを 1 本、周辺モジュールへのイベントを 2 本出力します。TMODn.TMRIE ビットを 1 に設定すると、選択した割込み要因の発生時に、CPU に割込み要求を出力します。割込み要因は以下の 5 種類です。

- TMCRn.CMAIEN ビットを 1 に設定すると、TCMPA のコンペアマッチかインプットキャプチャの発生時に割込み出力を許可します。
- TMCRn.CMBIEN ビットを 1 に設定すると、TCMPB のコンペアマッチかインプットキャプチャの発生時に割込み出力を許可します。
- TMCRn.OVFIEN ビットを 1 に設定すると、16 ビットカウンタ（TCNT）のオーバフロー発生時に割込み出力を許可します。
- TMCRn.UDFIEN ビットを 1 に設定すると、16 ビットカウンタ（TCNT）のアンダフロー発生時に割込み出力を許可します。これは位相計数モード時のみ発生します。
- TEMODn.TICIE ビットを 1 に設定すると、TIC 入力イベントの検出時に割込み出力を許可します。

TMSRn レジスタは、それぞれの割込み要因の発生を示すステータスレジスタです。これらのステータスをクリアする場合は、クリアしたいビットに 1 をライトします。

表 17-9 に、イベント出力または割込み出力が使用できる条件を示します。Event A と Event B は、独立しており、同時にイベントの発生要件を満たした場合は、同時にイベントが出力されます。

表 17-9　イベントまたは割込み出力の条件

条件	Event A	Event B	割込み
TCMPA のコンペアマッチ	使用可能	—	使用可能
TCMPB のコンペアマッチ	—	使用可能	使用可能
TCMPA のインプットキャプチャ	使用可能	—	使用可能
TCMPB のインプットキャプチャ	—	使用可能	使用可能
TCNT オーバフロー	—	—	使用可能
TCNT アンダフロー	—	—	使用可能
TICn 入力による TCNT クリア	—	—	使用可能

© SANKEN ELECTRIC CO., LTD. 2017

17.3.15. 基本設定

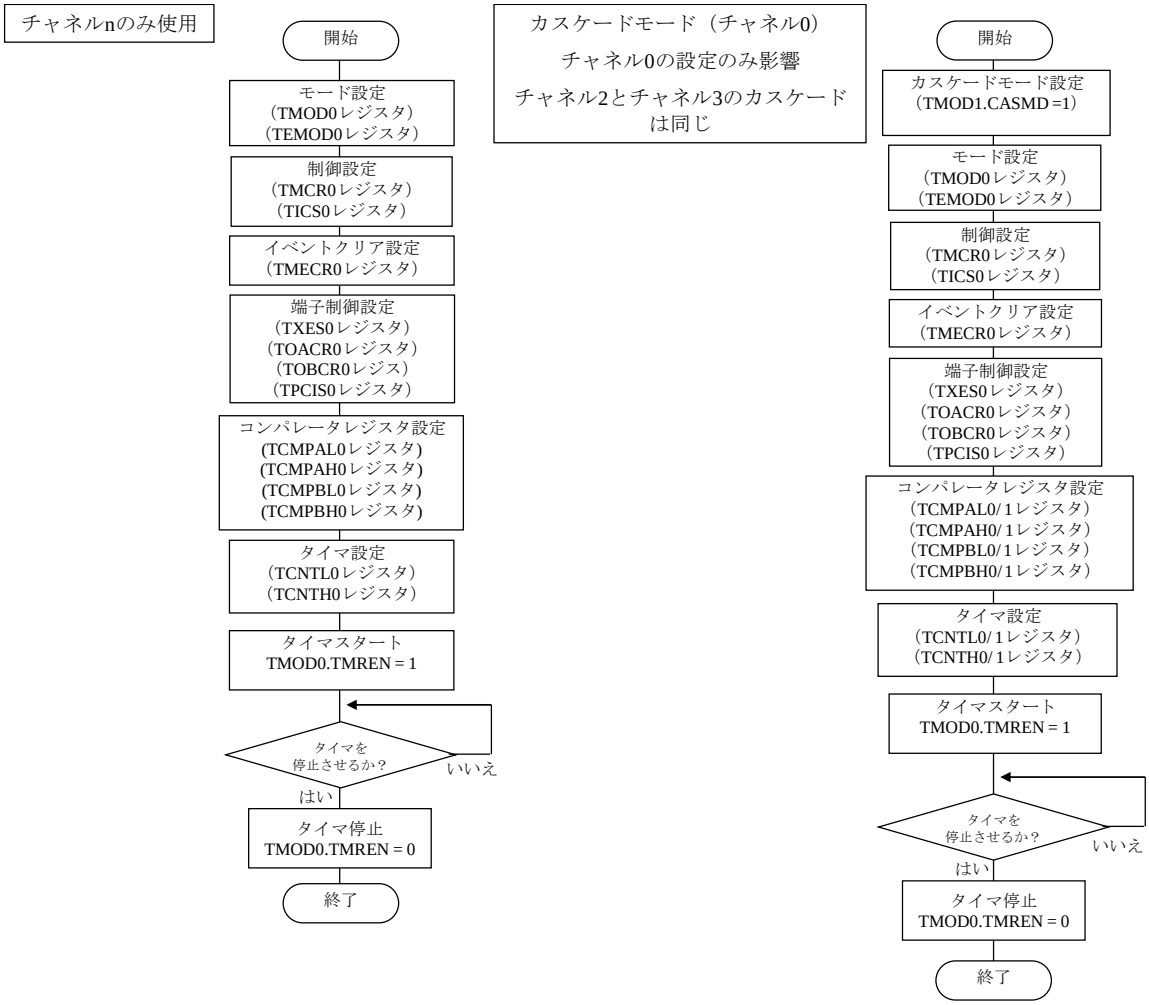


図 17-9　フローチャート

© SANKEN ELECTRIC CO., LTD. 2017

18. シリアルペリフェラルインタフェース（SPI）

18.1. 概要

シリアルペリフェラルインタフェース（SPI：Serial Peripheral Interface）は、クロックに同期した、全二重シリアル通信です。LSI 外部のプロセッサや周辺機器は、この SPI を介して通信できます。

表 18-1　SPI 機能概要

項目	説明
TX と RX の機能	● シリアル通信：マスタモード／スレーブモード ● SPI シリアル通信信号：MOSI（Master Out Subordinate In）、MISO（Master In Subordinate Out）、SCK（SPI Clock） ● 選択（SS_N）信号： 本 LSI がスレーブデバイスの場合、SS_N 信号はハードウェアで処理可能 本 LSI がマスタデバイスの場合、SS_N 信号は CPU で生成 ● SPI データ送受信クロックは、両 SPI クロックエッジ（立ち上がり／立ち下がり）に対応 ● SPI アイドル時のクロック端子レベルを設定可能 ● TXFIFO と RXFIFO ともに 2 つのステージあり ● 送信データバッファ：16 ビット×2 ライン ● 受信データバッファ：16 ビット×2 ライン
データフォーマット	● データ転送ビット順：MSB ファースト／LSB ファースト ● 転送データ長：6 ビット～16 ビット
SPI クロック	● SPI クロック周波数：f/4～f/1024
エラー検出	● FIFO オーバランエラー
割込み要因	● 送信／受信で独立した割込み ● SPI 受信割込み バッファに受信データが存在 FIFO エラー（バッファアンダフロー、バッファオーバフロー） ● SPI 送信割込み 送信バッファがフルでない 送信完了 FIFO エラー（バッファアンダフロー、バッファオーバフロー）
その他	● SPI がマスタデバイスに設定され、かつ送信をディスエーブルにしている場合、送信データは出力されません（ハイインピーダンスになります）。 ● SPI がスレーブデバイスに設定される場合、SS_N 端子は SPI の選択に使用されます。SPI の選択をするときだけ、送信データを出力します。SPI の選択をしないときは、ハイインピーダンスになります。

© SANKEN ELECTRIC CO., LTD. 2017

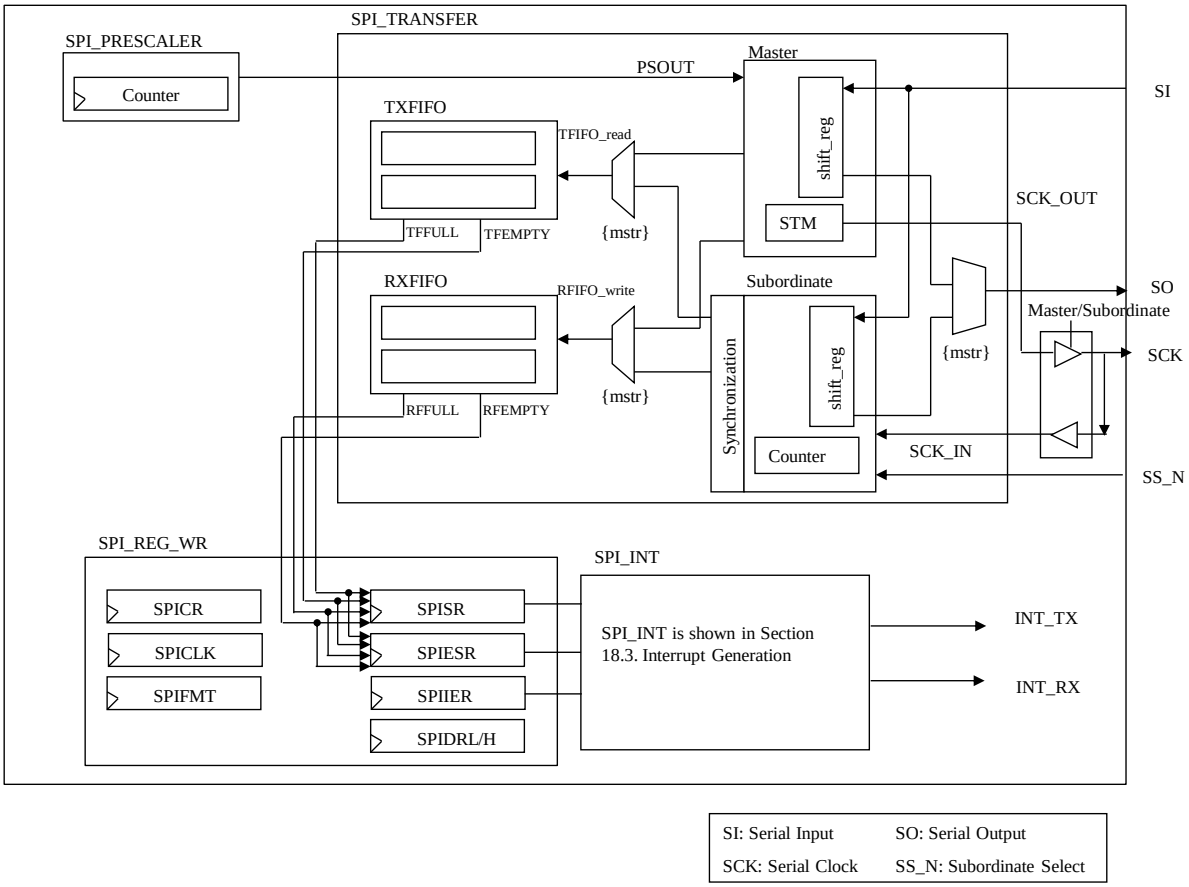


図 18-1　SPI のブロック図

18.2. レジスタ説明

表 18-2　レジスター一覧

Symbol	Name	Address	Initial Value
SPICR	SPI Control Register	0xFB80	0x00
SPICLK	SPI Clock Divider Register	0xFB81	0x00
SPIFMT	SPI Data Format Register	0xFB82	0x00
SPISR	SPI Status Register	0xFB84	0x05
SPIESR	SPI Error Status Register	0xFB85	0x00
SPIIER	SPI Interrupt Enable Register	0xFB86	0x00
SPIDRL	SPI Data Register Low	0xFB88	0x00
SPIDRH	SPI Data Register High	0xFB89	0x00

© SANKEN ELECTRIC CO., LTD. 2017

18.2.1. SPICR (SPI Control Register)

Register	SPICR	SPI Control Register	Address	0xFB80

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	SPE	R/W	0	SPI 通信イネーブル 0：SPI 通信をディスエーブル 1：SPI 通信をイネーブル 本ビットに 1 を設定し、SPI 通信をイネーブルにしたときだけ、データ転送します。	
4	MSTR	R/W	0	マスタモード／スレーブモードの切換え 0：スレーブモード 1：マスタモード 本ビットが 1 に設定されると、SPI はマスタデバイスになります。本ビットがクリアされると、SPI はスレーブデバイスになります。	
3	CPOL	R/W	0	クロック極性の設定 本ビットと CPHA ビットは、転送モードを決定します。 詳細は、表 18-3 を参照してください。	
2	CPHA	R/W	0	クロック位相の設定 本ビットと CPOL ビットは、転送モードを決定します。 詳細は、表 18-3 を参照してください。	
1	TXEN	R/W	0	TX 動作イネーブル 0：TX 動作をディスエーブル 1：TX 動作をイネーブル	
0	RXEN	R/W	0	RX 動作イネーブル 0：RX 動作をディスエーブル 1：RX 動作をイネーブル	

18.2.1.1. TXEN ビット、RXEN ビット

TXEN ビットと RXEN ビットは、以下に示すようにマスタモードとスレーブモードでは動作が異なります。

● 送信

- SPI がマスタモードの場合
  TXEN ビットか RXEN ビットが 1 に設定されている場合、SPI が動作します。ただし、RXEN ビットが 1 に設定されている場合は、ダミーの送信データを TXFIFO にライトして SPI 通信を動作させます。
- SPI がスレーブモードの場合
  TXEN ビットが 1、TXFIFO がエンプティのときに送信が開始された場合、TXFIFO のアンダフローフラグは 1 にセットされます。RXEN ビットだけが 1 に設定されている場合は、TXFIFO からデータが送信されないので、TXFIFO のアンダフローフラグは 1 に設定されません。

● 受信

マスタモードとスレーブモードの両モードで、RXEN ビットが 1 に設定されている場合、受信したデータは RXFIFO に格納されます。RXEN ビットが 1 に設定され、RXFIFO がすべての送受信を完了した場合、RXFIFO オーバフローフラグは 1 に設定されます。

© SANKEN ELECTRIC CO., LTD. 2017

18.2.1.2. CPOL ビット、CPHA ビット

CPOL ビットはクロック極性を、CPHA ビットはクロック位相を設定します。

4 つの SPI モードがあり、各 SPI モードは異なるデータセットアップタイミングとデータサンプルタイミングを有しています。表 18-3 にこれらの CPOL ビットと CPHA ビットの設定状態を、図 18-2 にタイミングを示します。ただし、スレーブモード（SPICR.MSTR = 0）時は SPI モード 0 と SPI モード 2 は使用できません（SPI モード 1、SPI モード 3 のみ使用可能）。

表 18-3　CPOL ビットと CPHA ビットの設定

CPOL ビット	CPHA ビット	SCK の 1 サイクル中の 1 回目のエッジ	SCK の 1 サイクル中の 2 回目のエッジ	SPI モード
0	0	立ち上がりエッジで 入力データをサンプリング	立ち下がりエッジで データを出力	0
0	1	立ち上がりエッジで データを出力	立ち下がりエッジで 入力データをサンプリング	1
1	0	立ち下がりエッジで 入力データをサンプリング	立ち上がりエッジで データを出力	2
1	1	立ち下がりエッジで データを出力	立ち上がりエッジで 入力データをサンプリング	3

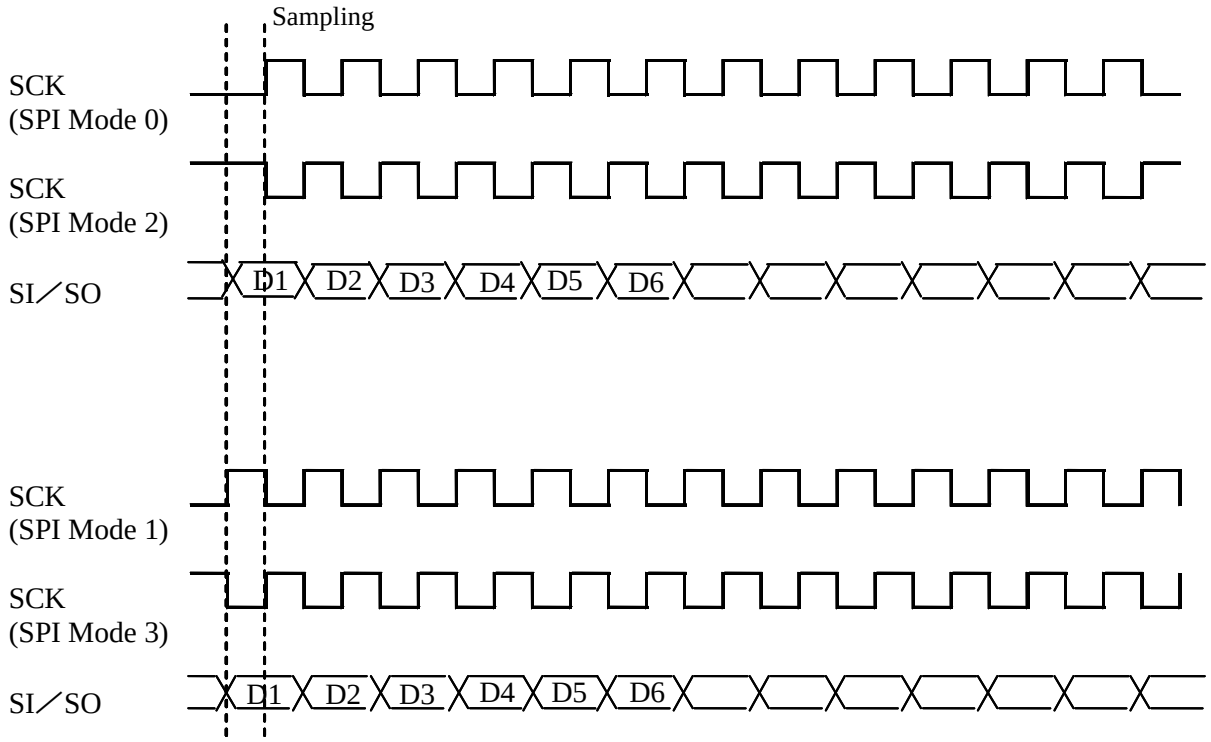


図 18-2　各 SPI モードのタイミング

© SANKEN ELECTRIC CO., LTD. 2017

18.2.2. SPICLK (SPI Clock Divider Register)

Register	SPICLK	SPI Clock Divider Register	Address	0xFB81

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CLKDIV	R/W	0	SPI クロックレート（マスタモードのみ有効） $SCK = CLK/4\,(CLKDIV + 1)$	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

18.2.3. SPIFMT (SPI Data Format Register)

Register	SPIFMT	SPI Data Format Register	Address	0xFB82

Bit	Bit Name	R/W	Initial	Description	Remarks
7	LSB	R/W	0	データ転送ビット順の設定 0：MSB ファースト 1：LSB ファースト	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	WORD	R/W	0	転送ワード長の設定 000：6 ビット 001：7 ビット 010：8 ビット 011：9 ビット 100：12 ビット 101：14 ビット 110：16 ビット 111：リザーブ	
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

18.2.4. SPISR (SPI Status Register)

Register	SPISR		SPI Status Register		Address	0xFB84
Bit	Bit Name	R/W	Initial	Description		Remarks
7	TEND	R/C	0	転送終了フラグ リード 0：転送未終了 リード 1：転送終了 ライト 0：変化なし ライト 1：本ビットをクリア TXFIFO がエンプティの場合、転送終了フラグは転送ブロックが完了したときに設定されます。本ビットが 1 にセットされ、SPIIER.TXENDIE ビットが 1 に設定されると、割込みが発生します。本ビットをクリアするには、本ビットに 1 をライトします。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	TFFULL	R	0	TXFIFO フルステータス 0：TXFIFO はフルでない 1：TXFIFO はフル		
2	TFEMPTY	R	1	TXFIFO エンプティステータス 0：TXFIFO はエンプティでない 1：TXFIFO はエンプティ		
1	RFFULL	R	0	RXFIFO フルステータス 0：RXFIFO はフルでない 1：RXFIFO はフル		
0	RFEMPTY	R	1	RXFIFO エンプティステータス 0：RXFIFO はエンプティでない 1：RXFIFO はエンプティ		

© SANKEN ELECTRIC CO., LTD. 2017

18.2.5. SPIESR (SPI Error Status Register)

Register	SPIESR	SPI Error Status Register	Address	0xFB85

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	TOVF	R/C	0	TXFIFO オーバフローフラグ リード 0：オーバフロー検出なし リード 1：オーバフロー検出 ライト 0：変化なし ライト 1：本ビットをクリア TXFIFO がフルの間に SPIDR レジスタがライトされると、TXFIFO オーバフローフラグがセットされます。TXFIFO オーバフローフラグをクリアするには、本ビットに 1 をライトします。	
2	TUDF	R/C	0	TXFIFO アンダフローフラグ リード 0：アンダフロー検出なし リード 1：アンダフロー検出 ライト 0：変化なし ライト 1：本ビットをクリア TXFIFO がエンプティの間にデータが転送されると、TXFIFO アンダフローフラグがセットされます。TXFIFO アンダフローフラグをクリアするには、本ビットに 1 をライトします。	
1	ROVF	R/C	0	RXFIFO オーバフローフラグ リード 0：オーバフロー検出なし リード 1：オーバフロー検出 ライト 0：変化なし ライト 1：本ビットをクリア RXFIFO がフルの間にデータが受信されると、RXFIFO オーバフローフラグがセットされます。RXFIFO オーバフローフラグをクリアするには、本ビットに 1 をライトします。	
0	RUDF	R/C	0	RXFIFO アンダフローフラグ リード 0：アンダフロー検出なし リード 1：アンダフロー検出 ライト 0：変化なし ライト 1：本ビットをクリア RXFIFO がエンプティの間に SPIDR レジスタをリードすると、RXFIFO アンダフローフラグが設定されます。RXFIFO アンダフローフラグをクリアするには、本ビットに 1 をライトします。	

© SANKEN ELECTRIC CO., LTD. 2017

18.2.6. SPIIER (SPI Interrupt Enable Register)

Register	SPIIER		SPI Interrupt Enable Register	Address	0xFB86
Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	TXENDIE	R/W	0	TXEND 割込みイネーブル 0：TXEND 割込みをディスエーブル 1：TXEND 割込みをイネーブル 本ビットが 1 に設定され、SPISR.TEND ビットが 1 のとき、送信割込みが発生します。	
3	TXERRIE	R/W	0	TX ERROR 割込みイネーブル 0：TX ERROR 割込みをディスエーブル 1：TX ERROR 割込みをイネーブル 本ビットが 1 に設定され、SPIESR.TOVF ビットか SPIESR.TUDF ビットがセットされた場合、送信割込みが発生します。	
2	RXERRIE	R/W	0	RX ERROR 割込みイネーブル 0：RX ERROR 割込みをディスエーブル 1：RX ERROR 割込みをイネーブル 本ビットが 1 に設定され、SPIESR.ROVF ビットか SPIESR.RUDF ビットがセットされた場合、受信割込みが発生します。	
1	TXFIFOIE	R/W	0	TXFIFO 割込みイネーブル 0：TXFIFO 割込みをディスエーブル 1：TXFIFO 割込みをイネーブル 本ビットが 1 に設定され、SPISR.TFFULL ビットが 0 のとき、送信割込みが発生します。	
0	RXFIFOIE	R/W	0	RXFIFO 割込みイネーブル 0：RXFIFO 割込みをディスエーブル 1：RXFIFO 割込みをイネーブル 本ビットが 1 に設定され、SPISR.RFEMPTY が 0 のとき、受信割込みが発生します。	

© SANKEN ELECTRIC CO., LTD. 2017

18.2.7. SPIDRL (SPI Data Register Low)

Register	SPIDRL		SPI Data Register Low		Address	0xFB88
Bit	Bit Name	R/W	Initial	Description		Remarks
7	SPIDRL	R/W	0	SPI の TX／RX データ下位バイト		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0		R/W	0			

18.2.8. SPIDRH (SPI Data Register High)

データ長が 8 ビット以下のとき、SPI は SPIDRL レジスタだけを使用し、SPIDRH レジスタは使用しません。データ長が 9 ビット以上のとき、SPIDRL レジスタ、SPIDRH レジスタの順でリードかライトする必要があります。

データ長が 9 ビット以上のとき、FIFO ステータスは以下のように変化します。

- **TXFIFO**
  SPIDRH レジスタにライトするとき、SPISR.TFEMPTY ビットと SPISR.TFFULL ビットが更新されます。

- **RXFIFO**
  SPIDRH レジスタをリードするとき、SPISR.RFFULL ビットと SPISR.RFEMPTY ビットが更新されます。

Register	SPIDRH		SPI Data Register High		Address	0xFB89
Bit	Bit Name	R/W	Initial	Description		Remarks
7	SPIDRH	R/W	0	SPI の TX／RX データ上位バイト		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0		R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

18.3. 割込み発生

18.3.1. 送信割込み（INT_TX）

図 18-3 に、送信割込み（INT_TX）の生成論理図を示します。

● **SPISR.TFFULL ビット**
TXFIFO がフルのとき、SPISR.TFFULL ビットは 1 にセットされます。送信の開始時に、SPISR.TFFULL ビットはクリアされます。

● **SPIESR.TUDF ビット**
TXFIFO がエンプティの間に送信が開始したとき、SPIESR.TUDF ビットは 1 にセットされます。SPIESR.TUDF ビットに 1 をライトすると、TXFIFO アンダフローフラグがクリアされます。

● **SPIESR.TOVF ビット**
TXFIFO がフルの間にライト動作が発生したとき、SPIESR.TOVF ビットが 1 にセットされます。SPIESR.TOVF ビットに 1 をライトすると、TXFIFO オーバフローフラグがクリアされます。

● **SPISR.TEND ビット**
TXFIFO がエンプティの間に送信が完了したとき、SPISR.TEND ビットが 1 にセットされます。SPISR.TEND ビットに 1 をライトすると、SPISR.TEND ビットがクリアされます。

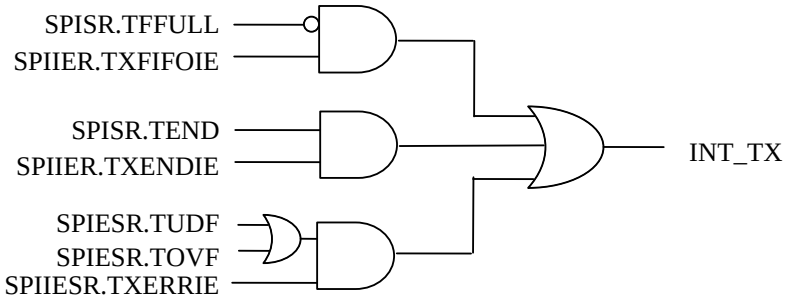


図 18-3　INT_TX 論理図

© SANKEN ELECTRIC CO., LTD. 2017

18.3.2. 受信割込み（INT_RX）

図 18-4 に、受信割込み（INT_RX）の生成論理図を示します。

● **SPISR.RFEMPTY ビット**

RXFIFO に受信データが格納されているとき、SPISR.RFEMPTY ビットはクリアされます。RXFIFO に格納されているすべてのデータをリードすると、RXFIFO がエンプティになり、SPISR.RFEMPTY ビットは 1 にセットされます。

● **SPIESR.RUDF ビット**

RXFIFO がエンプティのとき、SPIDRL レジスタをさらにリードすると RXFIFO のアンダフローが発生し、SPIESR.RUDF ビットが 1 にセットされます。SPIESR.RUDF ビットに 1 をライトすると、RXFIFO アンダフローフラグがクリアされます。

● **SPIESR.ROVF ビット**

RXFIFO がフルのとき、データがさらに受信され RXFIFO へ格納されたとき、RXFIFO オーバフローが発生し、SPIESR.ROVF ビットが 1 にセットされます。SPIESR.ROVF ビットに 1 をライトすると、RXFIFO オーバフローフラグがクリアされます。

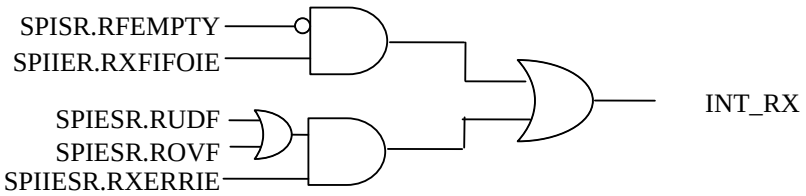


図 18-4　INT_RX 論理図

© SANKEN ELECTRIC CO., LTD. 2017

18.4. タイミングと接続

18.4.1. マスタモード

図 18-5 と図 18-6 に、SPI モードが 0 の場合と 1 の場合のタイミングを示します。このときの設定条件は、以下のとおりです。

- 転送ワード長 8 ビット（SPIFMT.WORD = 0b010）
- SPI クロックレート = 1/2（SPICLK.CLKDIV = 0x00）

図 18-7 と図 18-8 に、マスタデバイス（MD6603）とスレーブデバイスの接続を示します。

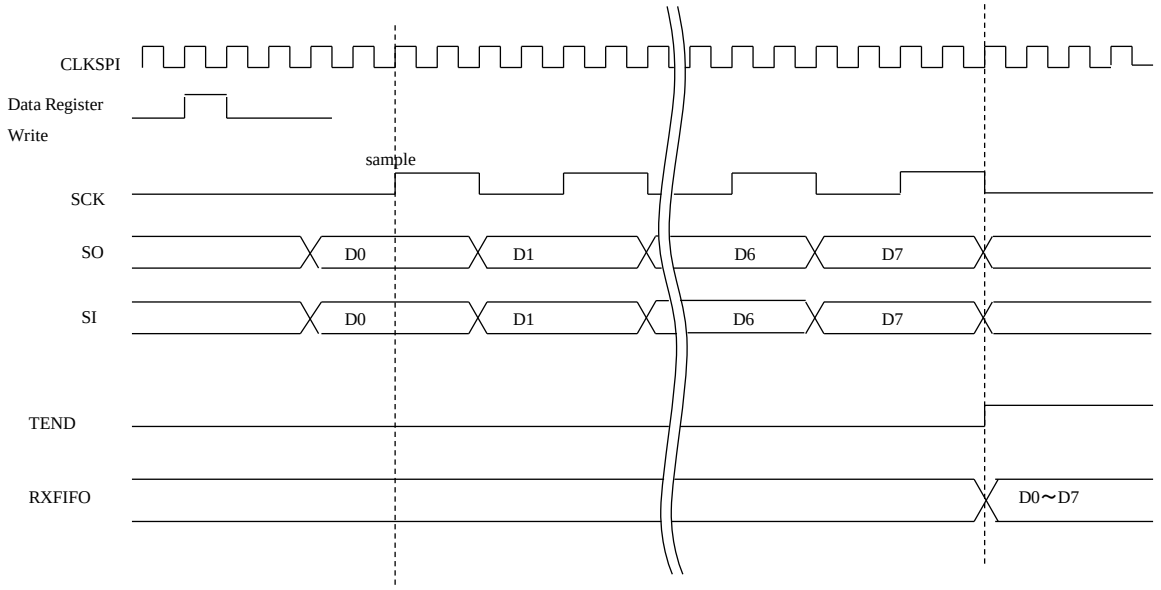


図 18-5　マスタモードでのタイミング（SPI モード 0 の場合）

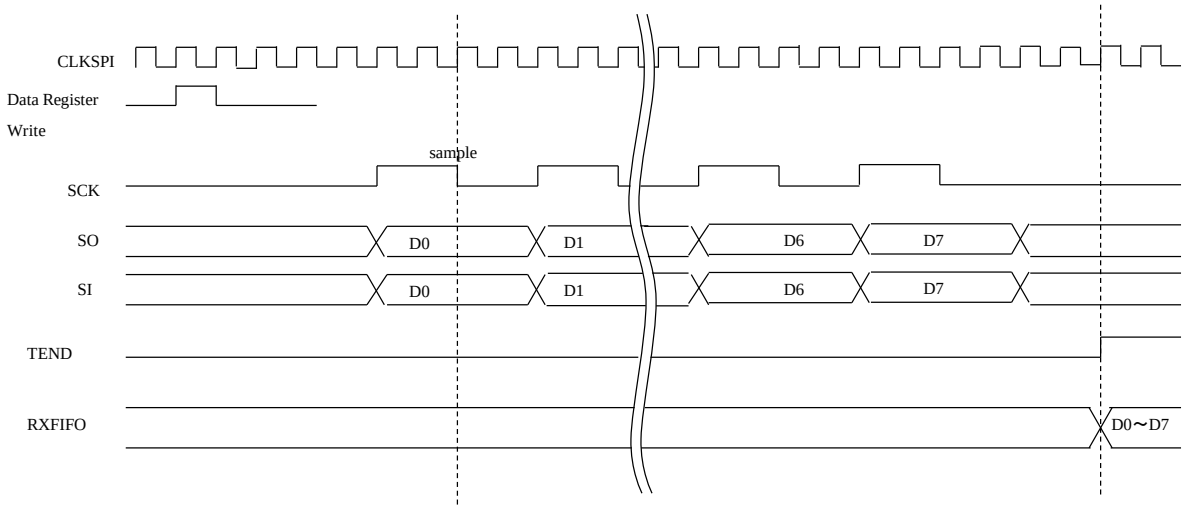


図 18-6　マスタモードでのタイミング（SPI モード 1 の場合）

© SANKEN ELECTRIC CO., LTD. 2017

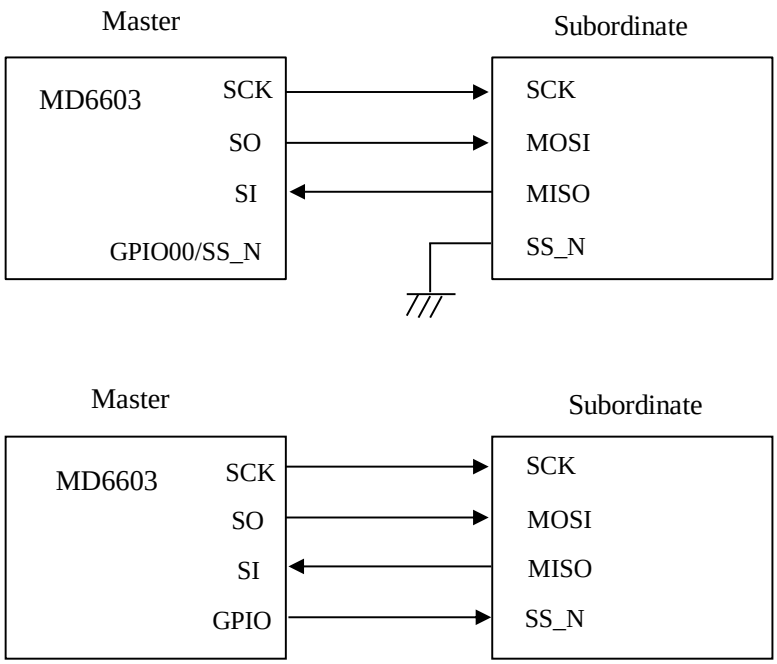


図 18-7　シングルマスタとシングルスレーブの接続（マスタデバイス：MD6603）

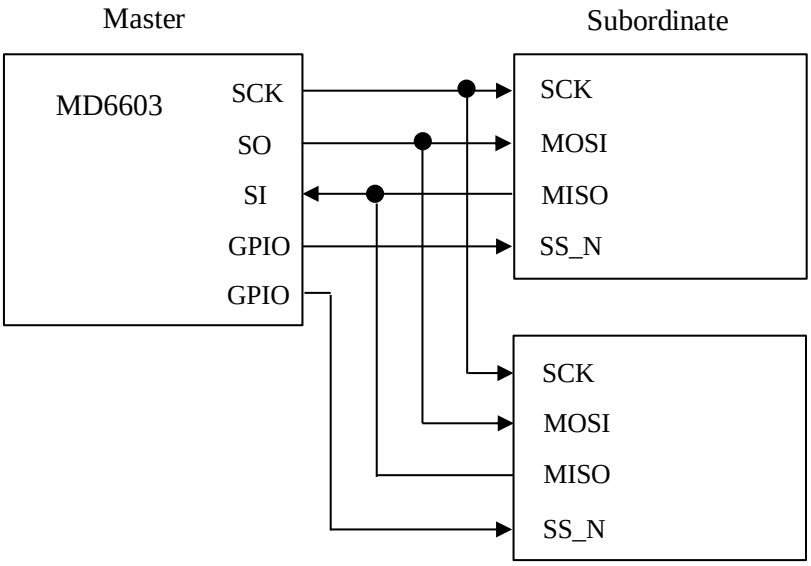


図 18-8　シングルマスタとマルチスレーブの接続（マスタデバイス：MD6603）

スレーブデバイスに SS_N 端子がある場合は、GPIO 端子を用いてソフトウェアによって SS_N 端子を制御してください。マルチスレーブの場合は、スレーブデバイスのそれぞれの SS_N 端子に、GPIO 端子を接続してください。MD6603 の SO 端子はスレーブデバイスの MOSI 端子に接続され、MD6603 の SI 端子はスレーブデバイスの MISO 端子に接続されます。

© SANKEN ELECTRIC CO., LTD. 2017

18.4.2. スレーブモード

図 18-9 に、SPI モードが 1 の場合のタイミングを示します。このときの設定条件は、転送ワード長 8 ビット（SPIFMT.WORD = 0b010）です。

図 18-10 に、マスタデバイスとスレーブデバイス（MD6603）の接続を示します。

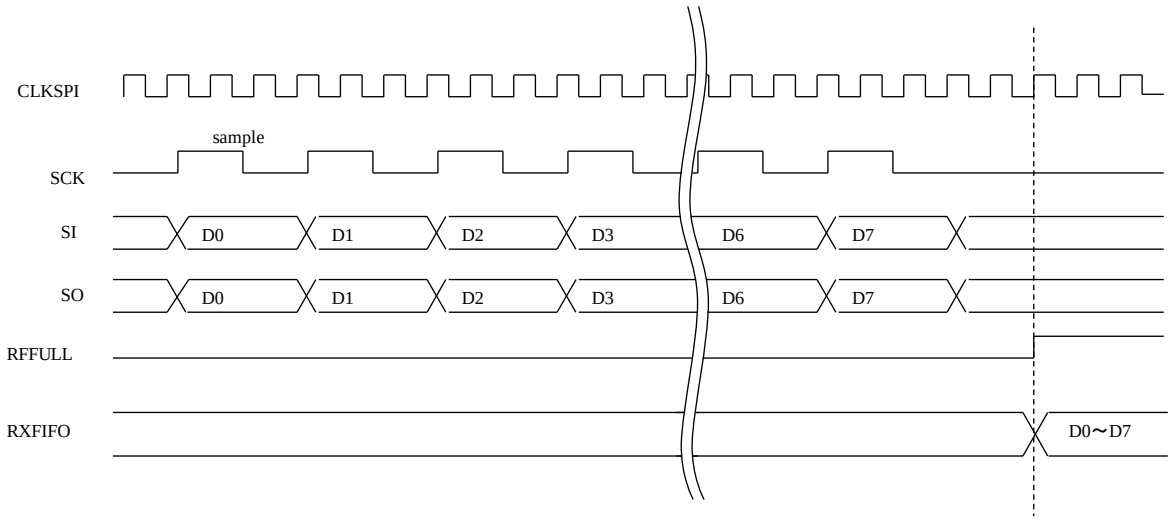


図 18-9　スレーブモードでのタイミング（SPI モード 1 の場合）

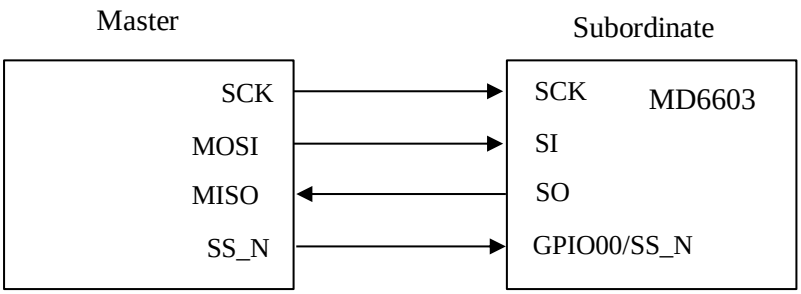


図 18-10　スレーブモードにおける接続（スレーブデバイス：MD6603）

マスタデバイスの SS_N 端子を MD6603 の SS_N 端子に接続します。

MD6603 の SI 端子はマスタデバイスの MOSI 端子と接続され、MD6603 の SO 端子はマスタデバイスの MISO 端子と接続されます。MD6603 の SCK 端子は入力端子です。

© SANKEN ELECTRIC CO., LTD. 2017

18.5. 動作

18.5.1. マスタモード

● 送信開始

TXFIFO がエンプティ（SPISR.TFEMPTY = 1）で SPIDRL／H レジスタに送信データ[1]をライトすると、送信データは TXFIFO を介してシフトレジスタに転送されます。そして、図 18-11 に示すような転送が始まります。

また、複数のデータを送信するために SPIDRL／H レジスタに連続的にライトすると、2 つのデータが TXFIFO に格納されます。そして、TXFIFO ステータスはフルになります（SPISR.TFFULL = 1）。

● 受信開始

RXFIFO がエンプティで（SPISR.RFEMPTY = 1）、SPIDRL／H レジスタにダミーデータをライトすると、SCK を発生させ受信を開始します。図 18-12 のように、受信データは SCK によってサンプリングされ、シフトレジスタへラッチされます。

● 送信完了

SPI 転送は、SPICR.CPHA ビットと SPICR.CPOL ビットの設定に対応した SCK エッジで完了し、SPISR.TEND ビットは 1 にセットされます。最後のサンプリングタイミングは、データのビット長に依存します。

● 受信完了

受信データが RXFIFO に格納されると、RXFIFO のステータスはエンプティではない状態（SPISR.RFEMPTY = 0）になります。SPIDRL／H[2]レジスタをリードすると、RXFIFO からデータをリードできます。RXFIFO のステータスは、フルかエンプティかを示します。

---

[1] データ長が 8 ビット以下のとき、SPIDRL レジスタにライトすると TXFIFO のステータスが更新されます。データ長が 9 ビット以上のとき、SPIDRH レジスタにライトすると TXFIFO のステータスが更新されます。

[2] データ長が 8 ビット以下のとき、SPIDRL レジスタをリードすると RXFIFO のステータスが更新されます。データ長が 9 ビット以上のとき、SPIDRH レジスタをリードすると RXFIFO のステータスが更新されます。

© SANKEN ELECTRIC CO., LTD. 2017

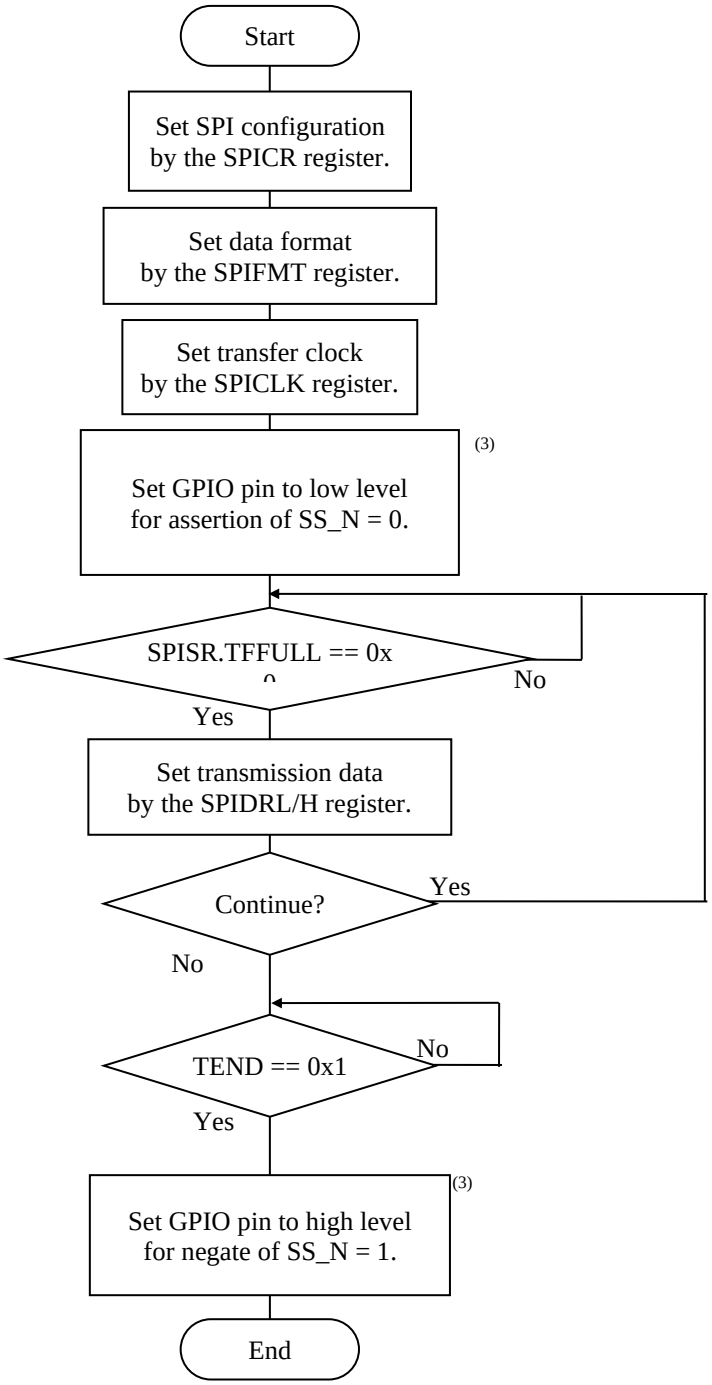


図 18-11　マスタモード（送信）

(3) SS_N 端子をアサート／ネゲートできる場合、GPIO 端子はどの端子でも使用できます。

© SANKEN ELECTRIC CO., LTD. 2017

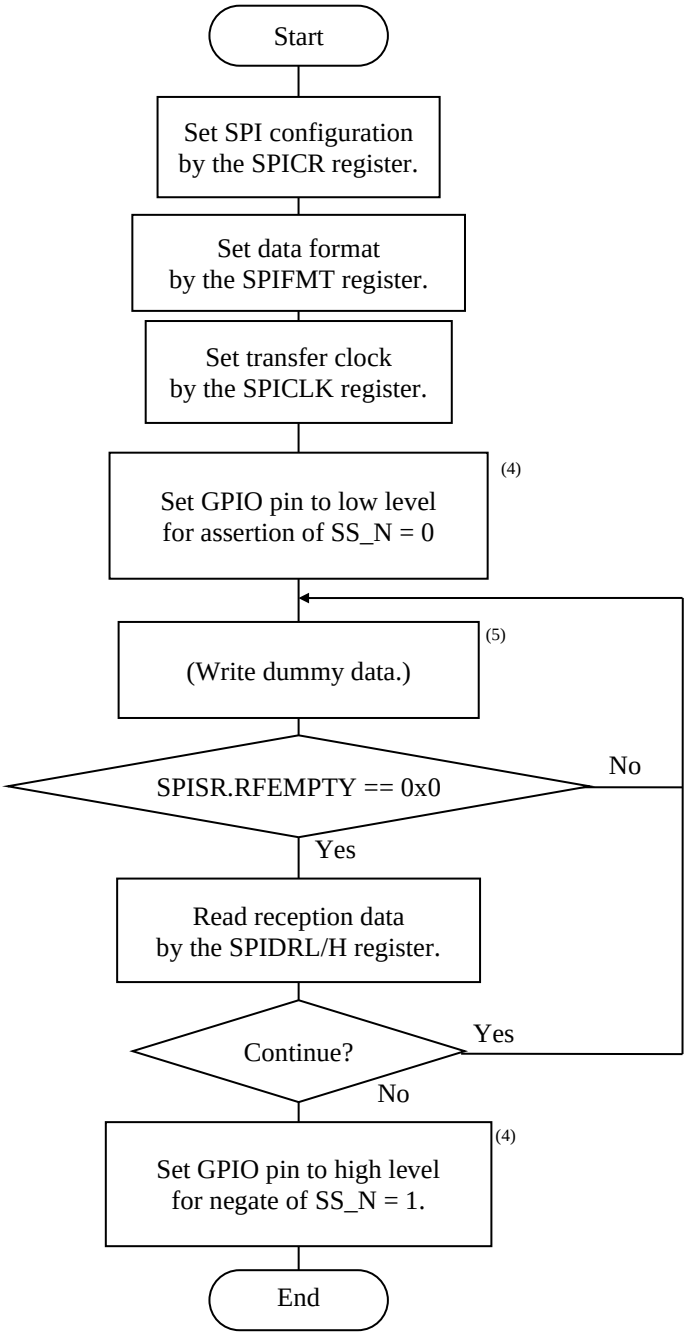


図 18-12　マスタモード（受信）

(4) SS_N 端子をアサート／ネゲートできる場合、GPIO 端子はどの端子でも使用できます。
(5) マスタモードでのダミーデータの送信によって SCK を発生させる必要があります。

© SANKEN ELECTRIC CO., LTD. 2017

18.5.2. スレーブモード

● 送信開始

SS_N 端子が“L”のとき、SPI はスレーブモードで動作します。データは、SCK 入力のサンプリングタイミングで転送されます。TXFIFO がエンプティで SPIDRL／H レジスタにデータ[(1)]がライトされたとき、送信データは TXFIFO を介してシフトレジスタに転送されます。また、データが SPIDRL／H レジスタに連続でライトされるとき、2 つのデータが TXFIFO に存在すれば TXFIFO ステータスはフルになります（SPISR.TFFULL = 1）。

● 送信完了

最後の SCK エッジを受信したとき、SPI はシリアル送信を完了させます。この場合、SPISR.TEND ビットが 1 にセットされます。

● 受信完了

受信データが RXFIFO にライトされたとき、RXFIFO のステータスはエンプティでない（SPISR.RFEMPTY = 0）ことを示します。SPIDRL／H[(2)]レジスタをリードすると、データは RXFIFO からリードできます。

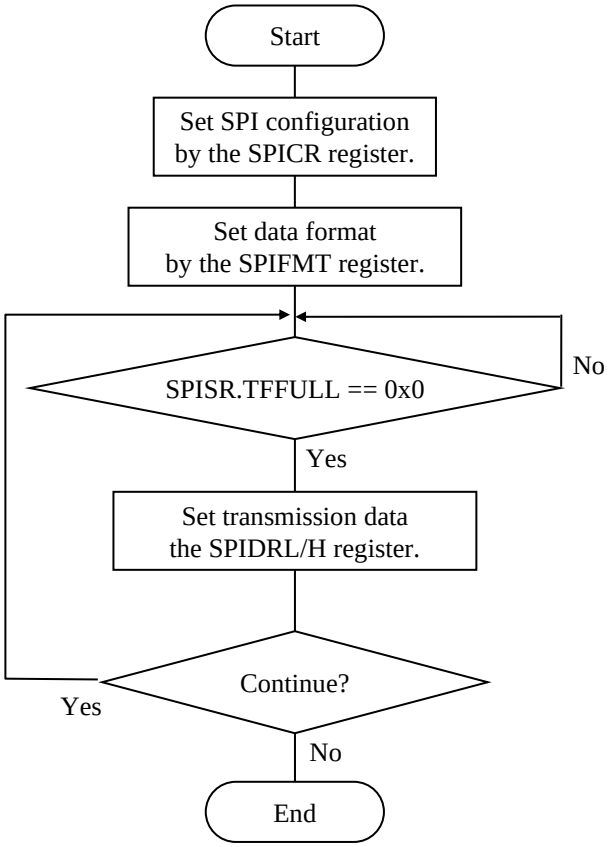


図 18-13　スレーブモード（送信）

(1) データ長が 8 ビット以下のとき、SPIDRL レジスタにライトすると TXFIFO のステータスが更新されます。データ長が 9 ビット以上のとき、SPIDRH レジスタにライトすると TXFIFO のステータスが更新されます。

(2) データ長が 8 ビット以下のとき、SPIDRL レジスタをリードすると RXFIFO のステータスが更新されます。データ長が 9 ビット以上のとき、SPIDRH レジスタをリードすると RXFIFO のステータスが更新されます。

© SANKEN ELECTRIC CO., LTD. 2017

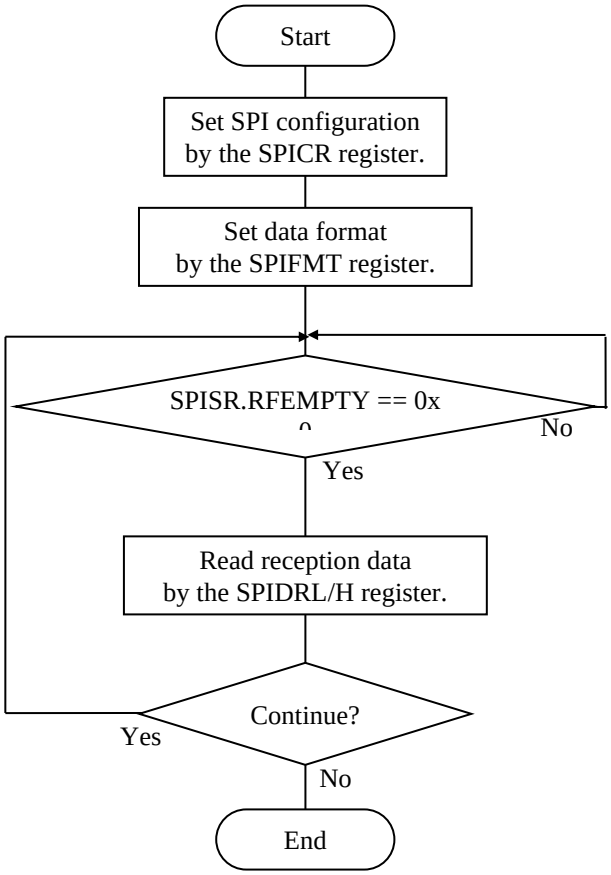


図 18-14　スレーブモード（受信）

© SANKEN ELECTRIC CO., LTD. 2017

19. I²C／SMBUS

19.1. 概要

本 LSI は、マスタモードとスレーブモードの両方をサポートする I²C コミュニケーションモジュールを搭載しています。

表 19-1　I²C 機能概要

項目	説明
通信方式	- I²C バス方式、SMBUS 方式 - マスタモードとスレーブモードを選択可能
クロック	CLKFAST/8 CLKFAST/32 CLKFAST/128 CLKFAST/512
対応機能	クロックストレッチ ジェネラルコールアドレス（GCA：General Call Address）
割込み	シングルソース

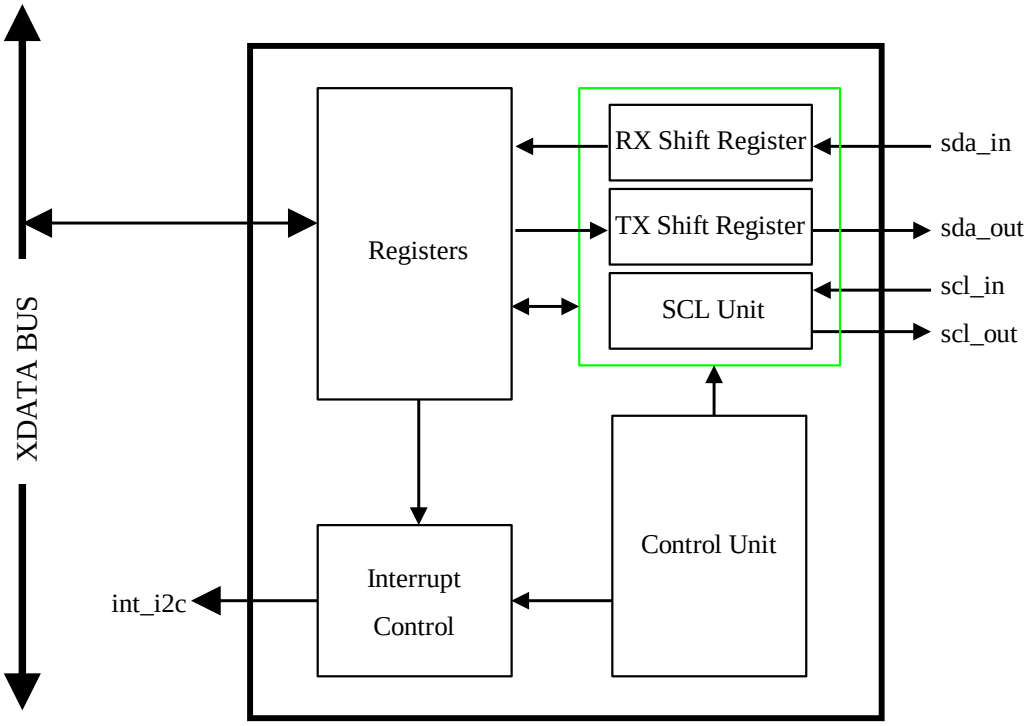


図 19-1　I²C のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

19.2. レジスタ説明

表 19-2　レジスタ一覧

Symbol	Name	Address	Initial Value
ICCR	I^2C Bus Control Register	0xFC00	0x00
ICSR	I^2C Bus Status Register	0xFC01	0x00
ICRXDR	I^2C Bus Receive Data Register	0xFC02	0x00
ICTXDR	I^2C Bus Transmit Data Register	0xFC03	0x00
ICTSAR	I^2C Transmit Address Register	0xFC04	0x00
ICSAR	I^2C Subordinate Address Register	0xFC05	0x00
ICCLK	I^2C Clock Divide Register	0xFC06	0x03
ICCMD	I^2C Command Register	0xFC07	0x00
ICSSTR	I^2C Bus SDA Setup Time Register	0xFC08	0x01
ICSHTR	I^2C Bus SDA Hold Time Register	0xFC09	0x00
ICHDSR0	I^2C Bus Hardware Status Register0	0xFC0A	0xC0
ICHDSR1	I^2C Bus Hardware Status Register1	0xFC0B	0x00
ICTIMER	I^2C Time Base Register	0xFC10	0xFF
SMBINT	SMBUS INT Status Register	0xFC11	0x00
ICSAA	I^2C Subordinate Alert Address Register	0xFC18	0x00
ICSAIR	I^2C Subordinate Address Identifier Register	0xFC19	0x00

© SANKEN ELECTRIC CO., LTD. 2017

19.2.1. ICCR (I^2C Bus Control Register)

Register	ICCR	I^2C Bus Control Register	Address	0xFC00

Bit	Bit Name	R/W	Initial	Description	Remarks
7	ICE	R/W	0	I^2C バスインタフェースイネーブル 0：I^2C バスインタフェースをディスエーブル 1：I^2C バスインタフェースをイネーブル	
6	IEIC0	R/W	0	IRIC0 割込みイネーブル 0：IRIC0 割込みをディスエーブル 1：IRIC0 割込みをイネーブル 本ビットが 1 に設定され、ICSR.IRIC0 ビットが 1 のとき、割込みが発生します。	
5	IEIC1	R/W	0	IRIC1 割込みイネーブル 0：IRIC1 割込みをディスエーブル 1：IRIC1 割込みをイネーブル 本ビットが 1 に設定され、ICSR.IRIC1 ビットが 1 のとき、割込みが発生します。	
4	IEIC2	R/W	0	IRIC2 割込みイネーブル 0：IRIC2 割込みをディスエーブル 1：IRIC2 割込みをイネーブル 本ビットが 1 に設定され、ICSR.IRIC2 ビットが 1 のとき、割込みが発生します。	
3	IEIC3	R/W	0	IRIC3 割込みイネーブル 0：IRIC3 割込みをディスエーブル 1：IRIC3 割込みをイネーブル 本ビットが 1 に設定され、ICSR.IRIC3 ビットが 1 のとき、割込みが発生します。	
2	IEIC4	R/W	0	IRIC4 割込みイネーブル 0：IRIC4 割込みをディスエーブル 1：IRIC4 割込みをイネーブル 本ビットが 1 に設定され、ICSR.IRIC4 ビットが 1 のとき、割込みが発生します。	
1	IEIC5	R/W	0	IRIC5 割込みイネーブル 0：IRIC5 割込みをディスエーブル 1：IRIC5 割込みをイネーブル 本ビットが 1 に設定され、ICSR.IRIC5 ビットが 1 のとき、割込みが発生します。	
0	GCAE	R/W	0	GCA イネーブル 0：GCA 応答をディスエーブル 1：GCA 応答をイネーブル スレーブモード時の GCA への応答を制御します。	

© SANKEN ELECTRIC CO., LTD. 2017

19.2.2. ICSR (I²C Bus Status Register)

Register	ICSR	I²C Bus Status Register	Address	0xFC01

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BBSY	R	0	I²C バスビジー検出フラグ 0：バス解放状態 1：バス占有状態 本ビットは、I²C バスが占有されているか（バスビジー）、解放されているか（バスフリー）を示します。 本ビットは、スタート条件が検出されると占有状態になり、ストップ条件が検出されると解放状態になります。	
6	IRIC0	R/C	0	スレーブアクセス検出割込み リード 0：スレーブアクセス検出なし リード 1：スレーブアクセス検出 ライト 0：変化なし ライト 1：本ビットをクリア 本 LSI がスレーブモード時にスレーブアドレスか GCAE = 1 で GCA を検出し、ACK を送信すると、本ビットが 1 にセットされます。CPU から本ビットに 1 をライトすると、本ビットをクリアできます。 本ビットの設定タイミングについては、図 19-8 と図 19-9 を参照してください。	
5	IRIC1	R/C	0	ACK／NACK 受付割込み 1 リード 0：ACK／NACK 受付なし リード 1：ACK／NACK 受付 ライト 0：変化なし ライト 1：本ビットをクリア 本 LSI がアドレスまたはコマンドの送信が完了し、ACK か NACK を受信すると、本ビットが 1 にセットされます。CPU から本ビットに 1 をライトすると、本ビットをクリアできます。 本ビットの設定タイミングについては、図 19-10 と図 19-11 を参照してください。	
4	IRIC2	R/C	0	ACK／NACK 受付割込み 2 リード 0：ACK／NACK 受付なし リード 1：ACK／NACK 受付 ライト 0：変化なし ライト 1：本ビットをクリア 本 LSI がデータを送信する際に、送信が完了して ACK か NACK を受信すると、本ビットが 1 にセットされます。CPU から本ビットに 1 をライトすると、本ビットをクリアできます。 本ビットの設定タイミングについては、図 19-9 と図 19-11 を参照してください。	

© SANKEN ELECTRIC CO., LTD. 2017

Register	ICSR	I²C Bus Status Register	Address	0xFC01

Bit	Bit Name	R/W	Initial	Description	Remarks
3	IRIC3	R/C	0	データ受信完了割込み リード 0：データ受信完了なし リード 1：データ受信完了 ライト 0：変化なし ライト 1：本ビットをクリア データの受信が完了すると、ACK か NACK を送信する前に、本ビットが 1 にセットされます。CPU から本ビットに 1 をライトすると、本ビットをクリアできます。 本ビットの設定タイミングは、図 19-8 と図 19-10 を参照してください。	
2	IRIC4	R	0	SMBUS 割込み 0：SMBUS 割込みなし 1：SMBUS 割込み中 SMBINT レジスタの割込み要因の論理和（OR）が、本ビットに表示されます。IRIC4 ビットをクリアするには、SMBINT レジスタの割込み要因をクリアしてください。	
1	IRIC5	R/C	0	ストップ条件割込み リード 0：ストップ条件なし リード 1：ストップ条件あり ライト 0：変化なし ライト 1：本ビットをクリア ストップ条件が検出されると、本ビットは 1 にセットされます。CPU から本ビットに 1 をライトすると、本ビットをクリアできます。	
0	RXACK	R	0	アクノリッジビット 0：ACK を受信 1：NACK を受信 マスタモード時は、スレーブデバイスから受信したアクノリッジビットの情報を、本ビットに格納します。 スレーブモード時は、マスタデバイスから受信したアクノリッジビットの情報を、本ビットに格納します。	

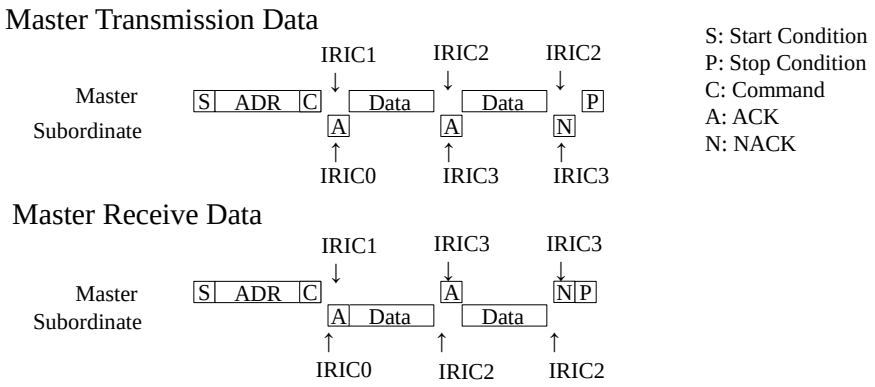


図 19-2　割込みタイミング

© SANKEN ELECTRIC CO., LTD. 2017

19.2.3. ICRXDR (I²C Bus Receive Data Register)

ICRXDR レジスタは、データの受信が完了してから、データを読み出す必要があります。データの受信が完了したかどうかは、ICSR.IRIC3 ビットで確認できます。

Register	ICRXDR		I²C Bus Receive Data Register		Address	0xFC02
Bit	Bit Name	R/W	Initial	Description		Remarks
7	ICRXDR	R	0	受信データ		
6		R	0			
5		R	0			
4		R	0			
3		R	0			
2		R	0			
1		R	0			
0		R	0			

19.2.4. ICTXDR (I²C Bus Transmit Data Register)

ICTXDR レジスタにデータを書き込むと、送信が開始します。
ICTXDR レジスタのデータ送信が完了するまで、書込みは禁止されています。データの送信中に書込みをした場合、そのデータの内容は破壊されます。

Register	ICTXDR		I²C Bus Transmit Data Register		Address	0xFC03
Bit	Bit Name	R/W	Initial	Description		Remarks
7	ICTXDR	R/W	0	送信データ		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0		R/W	0			

© SANKEN ELECTRIC CO., LTD. 2017

19.2.5. ICTSAR (I²C Transmit Address Register)

ICTSAR レジスタの設定をした後、ICCMD レジスタを設定して通信を開始してください。

Register	ICTSAR		I²C Transmit Address Register		Address	0xFC04
Bit	Bit Name	R/W	Initial	Description		Remarks
7	ADR	R/W	0	送信アドレス		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0	CMD	R/W	0	送信コマンド 0：ライトコマンド 1：リードコマンド		

19.2.6. ICSAR (I²C Subordinate Address Register)

受信したスレーブアドレスが、ICSAR.SVA ビットと一致すると、本 LSI は、マスタデバイスに指定されたスレーブデバイスとして動作します。ICSAR.SVA ビットが 0 の場合はスレーブアドレスとの一致判定を行いません。

受信コマンドの ICSAR.CMD ビットは GCA が有効な場合は GCA との一致、SAA が有効な場合は SAA の一致によっても更新されます。

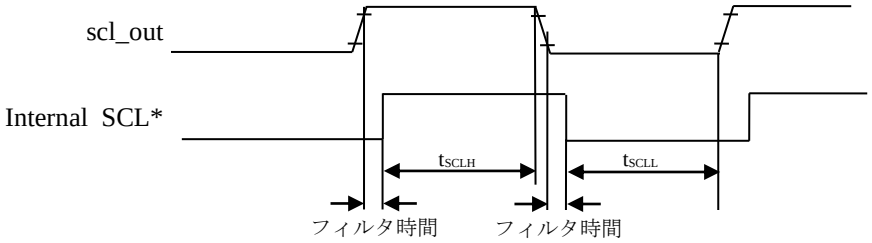
Register	ICSAR		I²C Subordinate Address Register		Address	0xFC05
Bit	Bit Name	R/W	Initial	Description		Remarks
7	SVA	R/W	0	スレーブアドレス		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0	CMD	R	0	受信コマンド 0：ライトコマンド 1：リードコマンド		

© SANKEN ELECTRIC CO., LTD. 2017

19.2.7. ICCLK (I^2C Clock Divider Register)

Register	ICCLK		I^2C Clock Divider Register		Address	0xFC06
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	DIV	R/W	1	SCL 最小パルス幅 00：t_{SCLH}/t_{SCLL} = CLKFAST の 9 サイクルに設定 01：t_{SCLH}/t_{SCLL} = CLKFAST の 32 サイクルに設定 10：t_{SCLH}/t_{SCLL} = CLKFAST の 128 サイクルに設定 11：t_{SCLH}/t_{SCLL} = CLKFAST の 512 サイクルに設定		
0		R/W	1			

SCL の最小パルス幅を ICCLK.DIV ビットに設定してください。バス上の SCL のパルス幅（t_{SCLH}/t_{SCLL}）は、ノイズフィルタと同期するため、ICCLK.DIV ビットの設定よりも 5 サイクル広がります。



*Internal SCL: SCL after noise filter

図 19-3　t_{SCLH}、t_{SCLL} タイミングの定義

表 19-3　最小クロック周波数の制限

項目	通常モード	高速モード
SCL 周波数	0 kHz～100 kHz	0 kHz～400 kHz
CLKFAST 周波数	1.74 MHz 以上	6.67 MHz 以上

© SANKEN ELECTRIC CO., LTD. 2017

19.2.8. ICCMD (I²C Command Register)

ICCMD レジスタは、リセット時か ICCR.ICE ビットをクリアすると、初期化されます。

Register	ICCMD		I²C Command Register		Address	0xFC07
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	NACK	R/W	0	NACK 応答 0：NACK 応答しない 1：NACK 応答する スレーブモード時にデータを受信した後、NACK 応答を返します。NACK 応答が完了すると、本ビットはクリアされます。以下の場合、本ビットはセットされません。 ● ACK = 1 の場合 ● ACK ビットと NACK ビットを同時にセットしようとした場合 ● マスタモードの場合		
3	ACK	R/W	0	ACK 応答 0：ACK 応答しない 1：ACK 応答する スレーブモード時にデータを受信した後、ACK 応答を返します。ACK 応答が完了すると、本ビットはクリアされます。以下の場合、本ビットはセットされません。 ● NACK = 1 の場合 ● マスタモードの場合		
2	RDCNT	R/W	0	読出し継続 0：読出し継続を要求しない 1：読出し継続を要求する マスタモードの場合、読出し動作時に、次のデータの読出しを要求します。本ビットは、読出しデータの受信開始時にクリアされます。スレーブモードの場合は、本ビットはセットされません。		
1	END	R/W	0	ストップ条件生成 0：ストップ条件の生成を要求しない 1：ストップ条件の生成を要求する 本ビットを 1 に設定すると、データの転送を終了してストップ条件の生成を要求し、スレーブモードに遷移します。 本ビットは、ストップ条件の検出時にクリアされます。 以下の場合、本ビットはセットされません。 ● GO = 1 の場合 ● GO ビットと本ビットを同時にセットしようとした場合 ● スレーブモードの場合		

© SANKEN ELECTRIC CO., LTD. 2017

Register	ICCMD		I²C Command Register	Address	0xFC07
Bit	Bit Name	R/W	Initial	Description	Remarks
0	GO	R/W	0	スタート条件生成 0：スタート条件を生成しない 1：スタート条件を生成する 本ビットを 1 に設定すると、スタート条件を生成してアドレスまたはコマンド送信開始を要求し、マスタモードに遷移します。本ビットは、スタート条件の検出時にクリアされます。スレーブモードの場合は、本ビットを 1 に設定しないでください。 END ビットが 1 に設定されている場合、本ビットはセットされません。	

19.2.9. ICSSTR (I²C Bus SDA Setup Time Register)

Register	ICSSTR		I²C Bus SDA Setup Time Register	Address	0xFC08
Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	ICSSTR	R/W	0	SDA セットアップ時間	
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	1		

SCL の立ち上がりに対する SDA 出力のセットアップ時間を、ICSSTR.ICSSTR ビットで設定します。SDA 出力のセットアップ時間の最小値は 0、最大値は 0x3F です。SDA 出力のセットアップ時間 $t_{SU:DAT}$ は、次式で算出できます。

$$tSU{:}\,DAT = (ICSSTR + 1) \times CLKFAST \text{ の周期}(ns)$$

CLKFAST が 60 MHz の場合、SDA 出力のセットアップ時間の設定範囲は 16 ns～1.07 μs です。

© SANKEN ELECTRIC CO., LTD. 2017

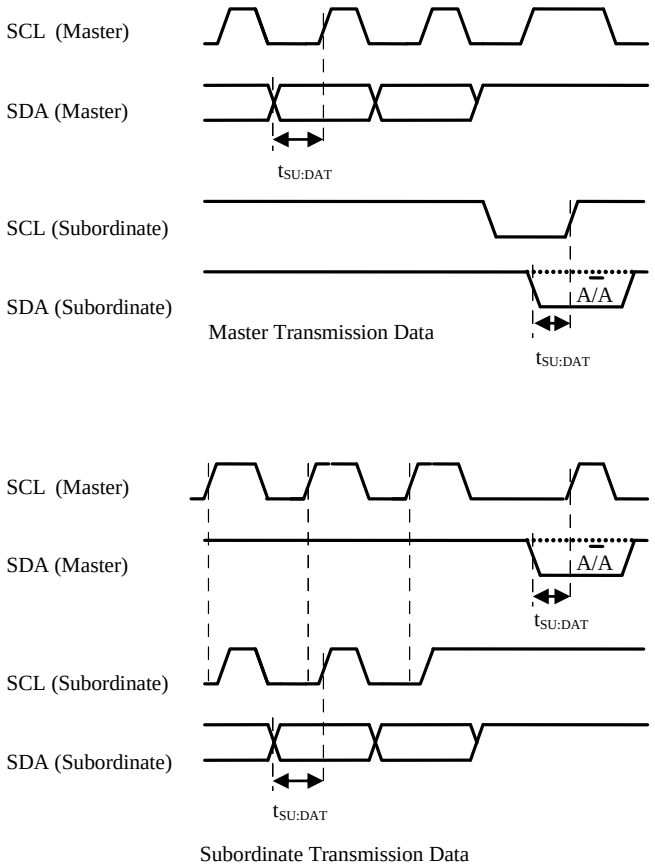


図 19-4　SDA 出力のセットアップ時間と SCL 立ち上がりの関係

© SANKEN ELECTRIC CO., LTD. 2017

19.2.10. ICSHTR (I²C Bus SDA Hold Time Register)

Register	ICSHTR	I²C Bus SDA Hold Time Register		Address	0xFC09
Bit	Bit Name	R/W	Initial	Description	Remarks
7	ICSHEXP	R/W	0	拡張 SDA 出力ホールド 0：SDA 出力ホールドの拡張なし 1：SDA 出力ホールドの拡張あり 本 LSI を CLKFAST ≤ 12.5 MHz のとき、または I²C を SMBUS として使用しない場合は本ビットを 0 に設定します。CLKFAST > 12.5 MHz のとき、かつ I²C を SMBUS として使用する場合は本ビットを 1 に設定します。 本ビットを 1 に設定した場合、0 に設定したときに比べ、SDA 出力が CLKFAST で 3 サイクル遅延します。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	ICSHTR	R/W	0	SDA ホールド時間設定	
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

スレーブアドレスとスレーブデータを受信する場合、SDA の SCL に対する遅延時間を ICSHTR.ICSHTR ビットで設定します。この遅延時間は、ホールド時間を内部的に確保するためのものです。

$$t_{HD:DAT} = \text{ICSHTR} \times \text{CLKFAST の周期(ns)}$$

CLKFAST が 60 MHz の場合、ICSHTR.ICSHTR ビットに設定できる遅延時間の範囲は 0 ns～516 ns です。ICSSTR.ICSSTR ビットと ICSHTR.ICSHTR ビットの設定時間は、以下の関係式を満たすように設定する必要があります。

$$(\text{ICSSTR.ICSSTR ビットの設定時間}) > (\text{ICSHTR.ICSHTR ビットの設定時間}) - (\text{SDA と SCL の相対遅延時間})$$

$$(\text{SDA と SCL の相対遅延時間}) = (\text{SCL 遅延時間}) - (\text{SDA 遅延時間})$$

ここで、SDA と SCL の相対遅延時間とは、I²C バス上での SDA 信号と SCL 信号の遅延時間の差です。この遅延時間の差は、実際の I²C バスの動作環境に依存するため、注意が必要です。

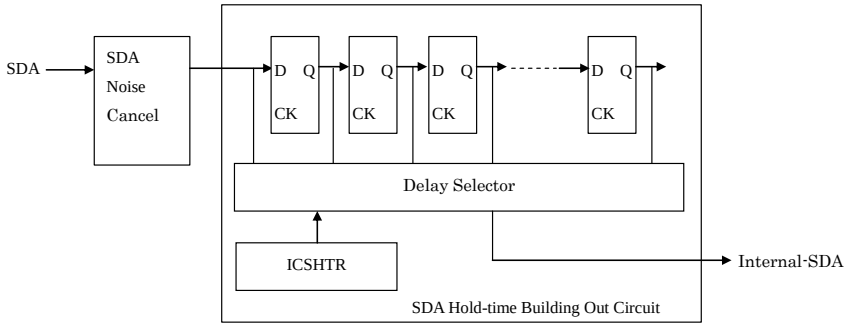


図 19-5　内部 SDA 生成ブロック図

© SANKEN ELECTRIC CO., LTD. 2017

19.2.11. ICHDSR0 (I^2C Bus Hardware Status Register0)

Register	ICHDSR0	I^2C Bus Hardware Status Register0	Address	0xFC0A

Bit	Bit Name	R/W	Initial	Description	Remarks
7	SDAMON	R	1	SDA 信号モニタ 1 0：SDA 信号が“L” 1：SDA 信号が“H”	
6	SCLMON	R	1	SCL 信号モニタ 1 0：SCL 信号が“L” 1：SCL 信号が“H”	
5	SDACHG	R/C	0	SDA 信号モニタ 2（SDAMON ビット変化） リード 0 : SDAMON ビットの変化は検出されていない リード 1：SDAMON ビットの変化を検出 ライト 0：変化なし ライト 1：本ビットをクリア 本ビットは、SDA 信号の変化の有無を示します。CPU から本ビットに 1 をライトすると、本ビットをクリアできます。	
4	SCLCHG	R/C	0	SCL 信号モニタ 2（SCLMON ビット変化） リード 0：SCLMON ビットの変化は検出されていない リード 1：SCLMON ビットの変化を検出 ライト 0：変化なし ライト 1：本ビットをクリア 本ビットは、SCL 信号の変化の有無を示します。CPU から本ビットに 1 をライトすると、本ビットをクリアできます。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

19.2.12. ICHDSR1 (I²C Bus Hardware Status Register1)

Register	ICHDSR1		I²C Bus Hardware Status Register1	Address	0xFC0B
Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	I2C_ST	R	0	バスインタフェース制御のステートマシンの状態	
3		R	0		
2		R	0		
1		R	0		
0		R	0		

19.2.13. ICTIMER (I²C Time Base Register)

Register	ICTIMER		I²C Time Base Register	Address	0xFC10
Bit	Bit Name	R/W	Initial	Description	Remarks
7	TIME	R/W	1	1 ms のタイミング信号を生成する場合は、以下の式を使用してください。 $\mathrm{ICTIMER} = \left(\frac{\text{CLKFAST の周波数(kHz)}}{128}\right) - 1$	
6		R/W	1		
5		R/W	1		
4		R/W	1		
3		R/W	1		
2		R/W	1		
1		R/W	1		
0		R/W	1		

SMBUS 規格で定義されている違反を検出するための基準となるタイミング信号の時間を設定します。SMBINT レジスタでの違反検出で使用します。1 ms のタイミング信号を生成するように設定してください。

タイミング信号の間隔について示します。

$$\text{タイミング信号間隔(ms)} = \frac{128 \times (\mathrm{TIME} + 1)}{\text{CLKFAST の周波数(kHz)}}$$

タイミング信号間隔が 0.5 ms ならば半分の時間で判定します。2 ms ならば倍の時間で判定します。

CLKFAST の周波数が 32768 kHz より速い場合はタイミング信号を 1 ms に設定できません。最大値（0xFF）を設定しても SMBUS 規格で定義されている違反と判定する時間より速いタイミングで判定されます。

© SANKEN ELECTRIC CO., LTD. 2017

19.2.14. SMBINT (SMBUS INT Status Register)

SMBUS 規格で定義されている違反を IRSM0～IRSM2 ビットで検出するためには、ICTIMER レジスタを 1 ms に設定する必要があります。

Register	SMBINT		SMBUS INT Status Register		Address	0xFC11
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	IRSM2	R/C	0	SMBUS 割込みモニタ 2 リード 0：TIMEOUT 違反なし リード 1：TIMEOUT 違反あり ライト 0：変化なし ライト 1：本ビットをクリア SMBUS 規格で定義されている TIMEOUT 違反を検出すると、本ビットが 1 にセットされます。CPU から本ビットに 1 をライトすると、本ビットをクリアできます。		
1	IRSM1	R/C	0	SMBUS 割込みモニタ 1 リード 0：TLOW:SEXT 違反なし リード 1：TLOW:SEXT 違反あり ライト 0：変化なし ライト 1：本ビットをクリア SMBUS 規格で定義されている TLOW:SEXT 違反を検出すると、本ビットが 1 にセットされます。CPU から本ビットに 1 をライトすると、本ビットをクリアできます。		
0	IRSM0	R/C	0	SMBUS 割込みモニタ 0 リード 0：TLOW:MEXT 違反なし リード 1：TLOW:MEXT 違反あり ライト 0：変化なし ライト 1：本ビットをクリア SMBUS 規格で定義されている TLOW:MEXT 違反を検出すると、本ビットが 1 にセットされます。CPU から本ビットに 1 をライトすると、本ビットをクリアできます。		

© SANKEN ELECTRIC CO., LTD. 2017

19.2.15. ICSAA (I^2C Subordinate Alert Address Register)

ICSAIR.SAAEN ビットでスレーブアラートアドレスが有効、かつ受信したスレーブアドレスが、ICSAA.SAA ビットと一致すると、本 LSI は、マスタデバイスに指定されたスレーブデバイスとして動作します。ICSAA.SAA ビットが 0 の場合はスレーブアドレスとの一致判定を行いません。

受信コマンドの ICSAA.CMD ビットは、スレーブアラートアドレスの有効／無効に関わらず、SVA の一致、および GCA が有効な場合は GCA との一致、SAA が有効な場合は SAA の一致によっても更新されます。

Register	ICSAA		I^2C Subordinate Alert Address Register		Address	0xFC18
Bit	Bit Name	R/W	Initial	Description		Remarks
7	SAA	R/W	0	スレーブアラートアドレス		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0	CMD	R	0	受信コマンド 0：ライトコマンド 1：リードコマンド		

© SANKEN ELECTRIC CO., LTD. 2017

19.2.16. ICSAIR (I²C Subordinate Address Identifier Register)

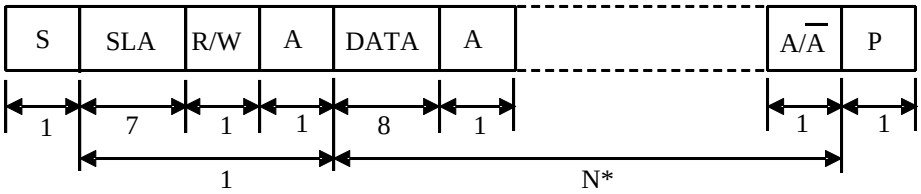
Register	ICSAIR		I²C Subordinate Address Identifier Register		Address	0xFC19
Bit	Bit Name	R/W	Initial	Description		Remarks
7	SAAEN	R/W	0	スレーブアラートアドレスイネーブル 0：スレーブアラートアドレスをディスエーブル 1：スレーブアラートアドレスをイネーブル 本ビットを 0 に設定した場合、I²C が ICSAA.SAA ビットと一致するアドレスを受け取ると、NACK 応答をして、次のデータの予約はしません。 本ビットを 1 に設定した場合、I²C が ICSAA.SAA ビットと一致するアドレスを受け取ると、ACK 応答をして、次のデータの予約をします。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	SAI2	R	0	スレーブアドレスインジケータ 2 0：最後に受け取ったアドレスが ICSAR.SVA ビットと一致しない 1：最後に受け取ったアドレスが ICSAR.SVA ビットと一致している スレーブモード時に、最後に受け取ったアドレスが、ICSAR.SVA ビットと一致しているかどうかを示します。		
1	SAI1	R	0	スレーブアドレスインジケータ 1 0：最後に受け取ったアドレスが ICSAA.SAA ビットと一致しない 1：最後に受け取ったアドレスが ICSAA.SAA ビットと一致している スレーブモード時に、最後に受け取ったアドレスが、ICSAA.SAA ビットと一致しているかどうかを示します。		
0	SAI0	R	0	スレーブアドレスインジケータ 0 0：最後に受け取ったアドレスが GCA と一致しない 1：最後に受け取ったアドレスが GCA と一致している スレーブモード時に、最後に受け取ったアドレスが GCA と一致しているかどうかを示します。		

© SANKEN ELECTRIC CO., LTD. 2017

19.3. I²C バスデータフォーマット

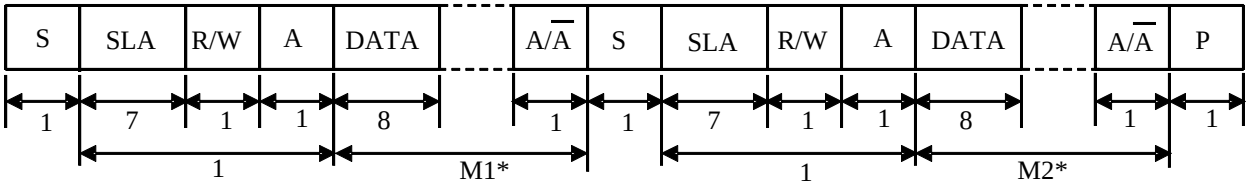
I²C バスインタフェースには、2 種類のデータフォーマットがあります（図 19-6）。スタート条件に続く最初のバイトは、必ず 8 ビットで構成されます。図 19-7 に、I²C バスのタイミングを示します。

(a) Transfer format



*N: Number of bytes transferred

(b) Transfer format (Retransmitting a start condition)



*M1, M2: Number of bytes transferred

図 19-6　I²C バスデータフォーマット

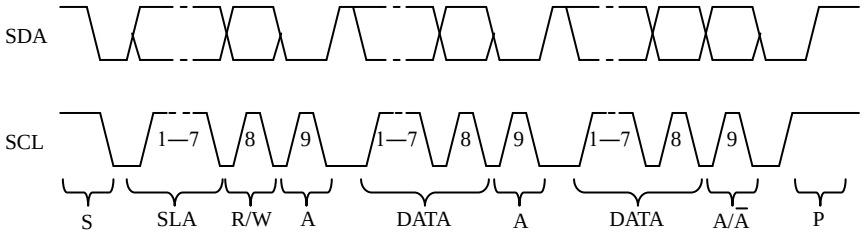


図 19-7　I²C バスタイミング

© SANKEN ELECTRIC CO., LTD. 2017

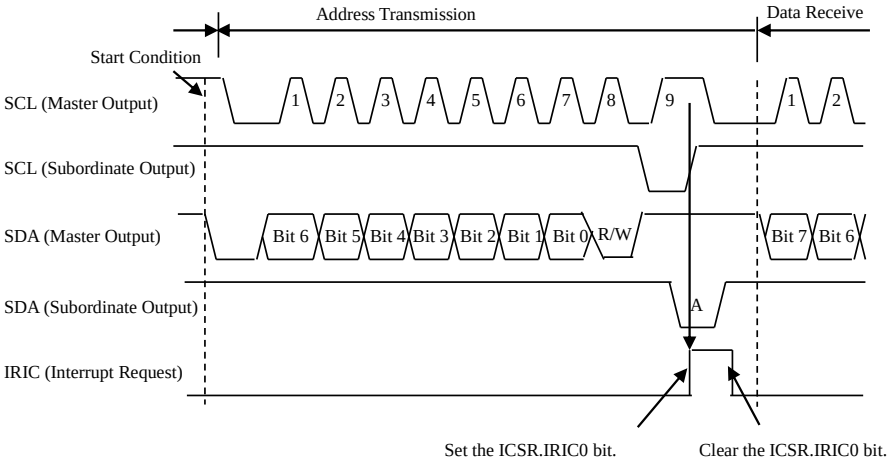
19.4. スレーブ受信

スレーブ受信では、マスタデバイスがスレーブアドレスと送信データとクロックを出力し、スレーブデバイスがアクノリッジを送信します。以下に、スレーブ受信の手順と動作を示します。

(1) ICCR.ICE ビットを 1 に、ICCR.IEIC0 ビット、ICCR.IEIC3 ビット、ICCR.IEIC5 ビットを 1 に設定してください。スレーブ送信も行う場合は、ICCR.IEIC2 ビットも 1 に設定してください。
(2) ICSAR.SVA ビットに、スレーブアドレスを設定してください。GCA、SAA も使用する場合は必要な設定をしてください。ICSAR.SVA ビットとの判定と同様に GCA、SAA も判定します。
(3) マスタデバイスは、スタート条件を送信した後に、スレーブアドレスとライトコマンドを送信します。
(4) スレーブデバイスは、受信したスレーブアドレスと、ICSAR.SVA ビットを比較します。
(5) スレーブアドレスと ICSAR.SVA ビットが一致した場合は、スレーブデバイスが ICSAR.CMD ビットにライトコマンドを格納し、マスタデバイスにアクノリッジを自動的に送信します。
(6) アクノリッジの送信と同時に、ICSR.IRIC0 ビットが 1 にセットされ、割込みが発生します。
(7) ICSR.IRIC0 ビットをクリアしてください。ICSAR.CMD ビットでスレーブの受信か送信か判定をして処理してください。GCA、SAA も使用している場合は ICSAIR.SAI0 ビット～ICSAIR.SAI2 ビットを確認してください。コマンドがリードの場合は 19.5 項の(8)の操作から開始してください。
(8) マスタデバイスからデータを受信します。
(9) スレーブデバイスが ICRXDR レジスタに受信データを格納し、ICSR.IRIC3 ビットを 1 にセットされ、割込みが発生します。
(10) 受信を継続する場合は、ICCMD.ACK ビットを 1 に設定してください。これにより、I^2C バスに ACK 応答を出力します。ICSR.IRIC3 ビットをクリアして(8)に戻ってください。
(11) 受信を継続しない場合は、ICCMD.NACK ビットを 1 に設定してください。これにより I^2C バスに NACK 応答を出力します。ICSR.IRIC3 ビットをクリアしてください。
(12) ストップ条件を検出した場合は、ICSR.IRIC5 ビットに 1 がセットされ、割込みが発生します。割込みサービスルーチン内で、ICSR.IRIC5 ビットをクリアしてください。

© SANKEN ELECTRIC CO., LTD. 2017

a) Address Transmission (Master) −> Data Receive (Subordinate)



b) Data Receive (Subordinate)

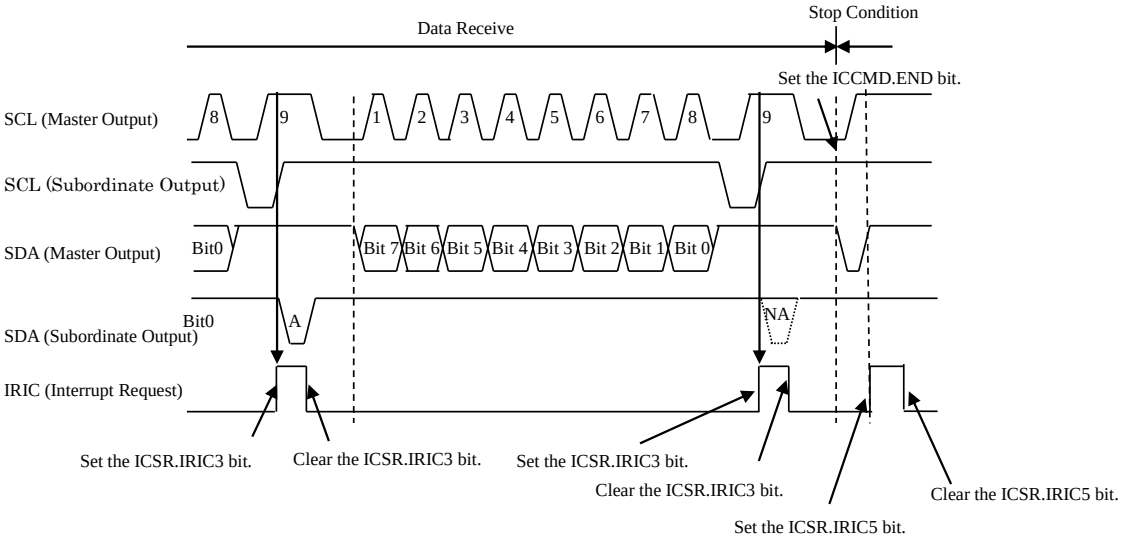


図 19-8　スレーブ受信タイミング

© SANKEN ELECTRIC CO., LTD. 2017

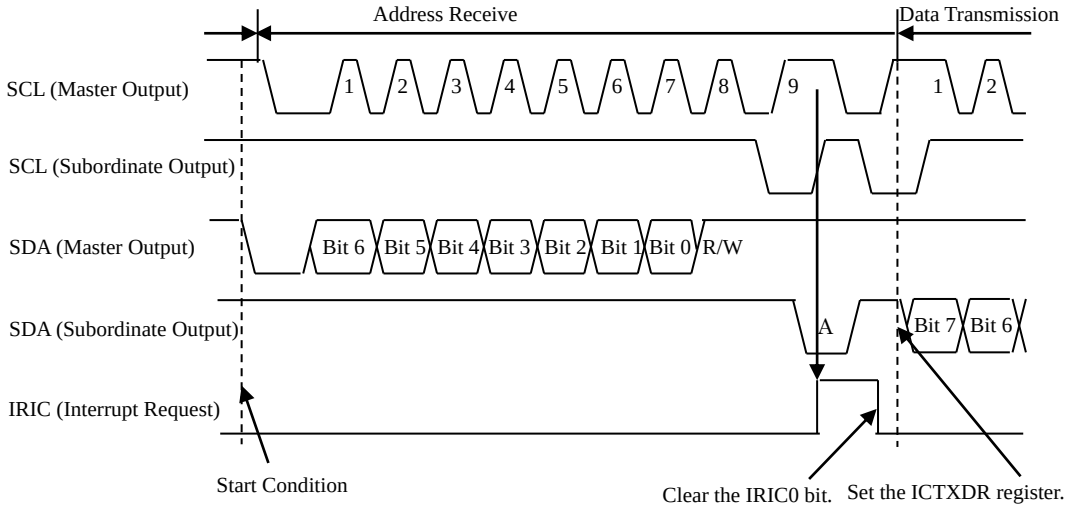
19.5. スレーブ送信

スレーブ送信では、スレーブデバイスが送信データを出力し、マスタデバイスがスレーブアドレスとアクノリッジを送信します。以下に、スレーブ送信の手順と動作を示します。

(1) ICCR.ICE ビットを 1 に、ICCR.IEIC0 ビット、ICCR.IEIC2 ビット、ICCR.IEIC5 ビットを 1 に設定してください。スレーブ受信も行う場合は、ICCR.IEIC3 ビットも 1 に設定してください。
(2) ICSAR.SVA ビットに、スレーブアドレスを設定してください。SAA も使用する場合は必要な設定をしてください。ICSAR.SVA ビットとの判定と同様に SAA も判定します。
(3) マスタデバイスは、スタート条件を送信した後に、スレーブアドレスとリードコマンドを送ります。
(4) スレーブデバイスは、受信したスレーブアドレスと、ICSAR.SVA ビットを比較します。
(5) スレーブアドレスと ICSAR.SVA ビットが一致した場合は、スレーブデバイスが ICSAR.CMD ビットにリードコマンドを格納し、マスタデバイスにアクノリッジを自動的に送信します。
(6) アクノリッジの送信と同時に、ICSR.IRIC0 ビットが 1 にセットされ、割込みが発生します。
(7) ICSR.IRIC0 ビットをクリアしてください。ICSAR.CMD ビットでスレーブの受信か送信か判定をして処理してください。SAA も使用している場合は ICSAIR.SAI0 ビット～ICSAIR.SAI2 ビットを確認してください。コマンドがライトの場合は 19.4 項の(8)の操作から開始してください。
(8) スレーブデバイスが ICTXDR レジスタに送信データをセットすると、送信を開始します。
(9) 送信が完了し、ACK か NACK をマスタから受信すると、ICSR.IRIC2 ビットが 1 にセットされ、割込みが発生します。
(10) 受信したアクノリッジビットが ACK か NACK かを、ICSR.RXACK ビットで確認してください。
(11) ICSR.IRIC2 ビットをクリアしてください。
(12) 送信を継続する場合は、(8)に戻ります。
(13) ストップ条件を検出した場合は、ICSR.IRIC5 ビットに 1 がセットされ、割込みが発生します。割込みサービスルーチン内で、ICSR.IRIC5 ビットをクリアしてください。

© SANKEN ELECTRIC CO., LTD. 2017

a) Address Receive −> Data Transmission



b) Data Transmission

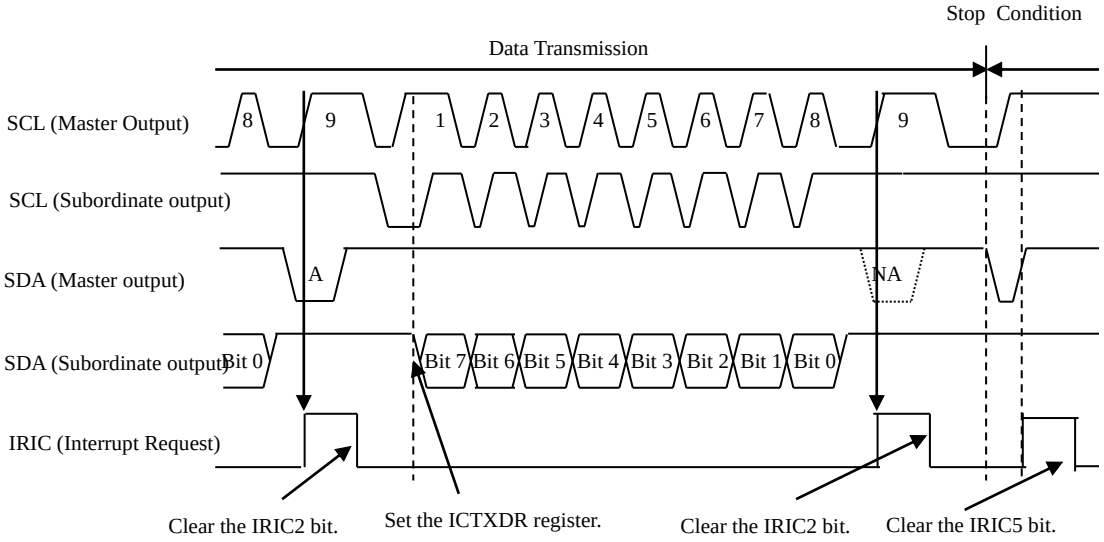


図 19-9　スレーブ送信タイミング

© SANKEN ELECTRIC CO., LTD. 2017

19.6. マスタ受信

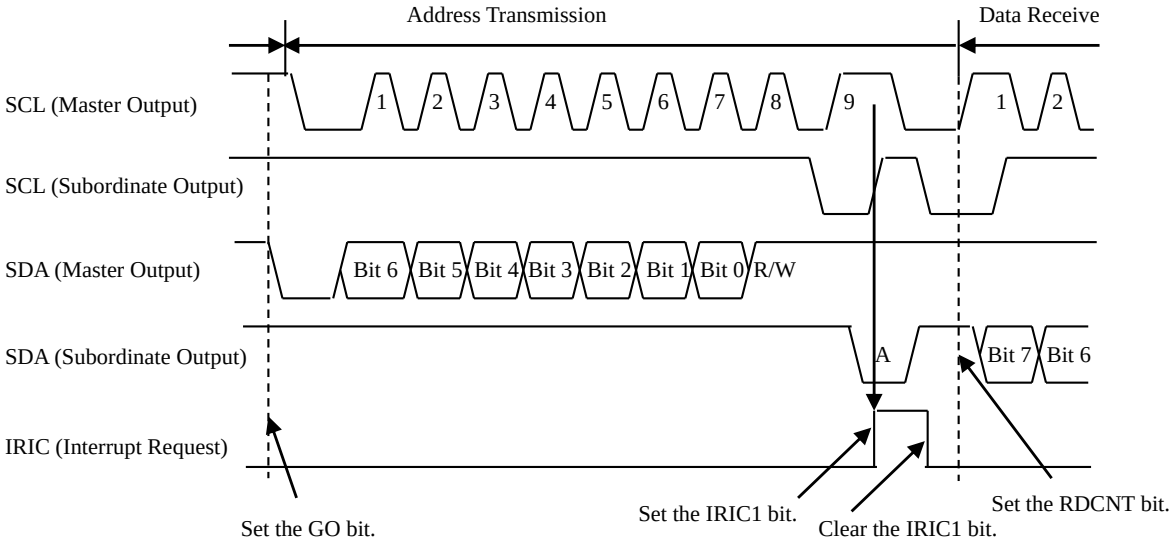
マスタ受信では、スレーブデバイスが送信データを出力し、マスタデバイスがスレーブアドレスとアクノリッジを送信します。以下に、マスタ受信の手順と動作を示します。

(1) ICCR.ICE ビットを 1 に、ICCR.IEIC1 ビット、ICCR.IEIC3 ビット、ICCR.IEIC5 ビットを 1 に設定してください。
(2) マスタデバイスが ICTSAR.ADR ビットにスレーブアドレスを設定し、ICTSAR.CMD ビットに 1 をセットします。
(3) マスタデバイスがスタート条件を生成するために、ICCMD.GO ビットを 1 に設定してください。スタート条件を検出すると、ICCMD.GO ビットは自動的にクリアされます。
(4) マスタデバイスは、スタート条件を送信した後に、スレーブアドレスとリードコマンドを送信します。
(5) スレーブデバイスから ACK か NACK を受信すると同時に、ICSR.IRIC1 ビットが 1 にセットされ、割込みが発生します。ICSR.IRIC1 ビットをクリアしてください。
(6) ACK と NACK のどちらを受信したかは、ICSR.RXACK ビットで確認できます。ACK の場合、マスタデバイスは ICCMD レジスタのいずれかのビットに 1 を書き込むまで、SCL を“L”に保持します。NACK の場合、マスタデバイスは自動でストップ条件を生成します。ストップ条件の生成が完了すると、ICSR.IRIC5 ビットが 1 にセットされ、割込みが発生します。割込みサービスルーチン内で、ICSR.IRIC5 ビットをクリアして(12)に進んでください。
(7) ICCMD.RDCNT ビットを 1 に設定してください。SCL を解放し、データの受信を開始します。
(8) マスタデバイスが 8 ビット目のデータを受信すると、ICSR.IRIC3 ビットが 1 にセットされ、割込みが発生します。マスタデバイスは、ICCMD レジスタのいずれかのビットに 1 をライトするまで SCL を“L”に保持します。
(9) ICSR.IRIC3 ビットをクリアしてください。
(10) ICRXDR レジスタの受信データを読み出してください。
(11) 次に実行する動作に応じて、以下のように設定してください。
- 受信を継続する場合
  ICCMD.RDCNT ビットを 1 に設定してください。スレーブデバイスに自動的に ACK を送信し、(8)～(11)の操作を繰り返します。
- 受信を停止する場合
  ICCMD.END ビットを 1 に設定してください。マスタデバイスは、スレーブデバイスに自動的に NACK を送信し、ストップ条件を生成します。ストップ条件の生成が完了すると、ICSR.IRIC5 ビットが 1 にセットされ、割込みが発生します。割込みサービスルーチン内で、ICSR.IRIC5 ビットをクリアしてください。

(12) 次の動作を開始する場合
まず、ICSR.BBSY ビットが、ストップ条件を検出していることを確認し、(2)に戻ります。

© SANKEN ELECTRIC CO., LTD. 2017

a) Address Transmission –> Data Receive



b) Data Receive

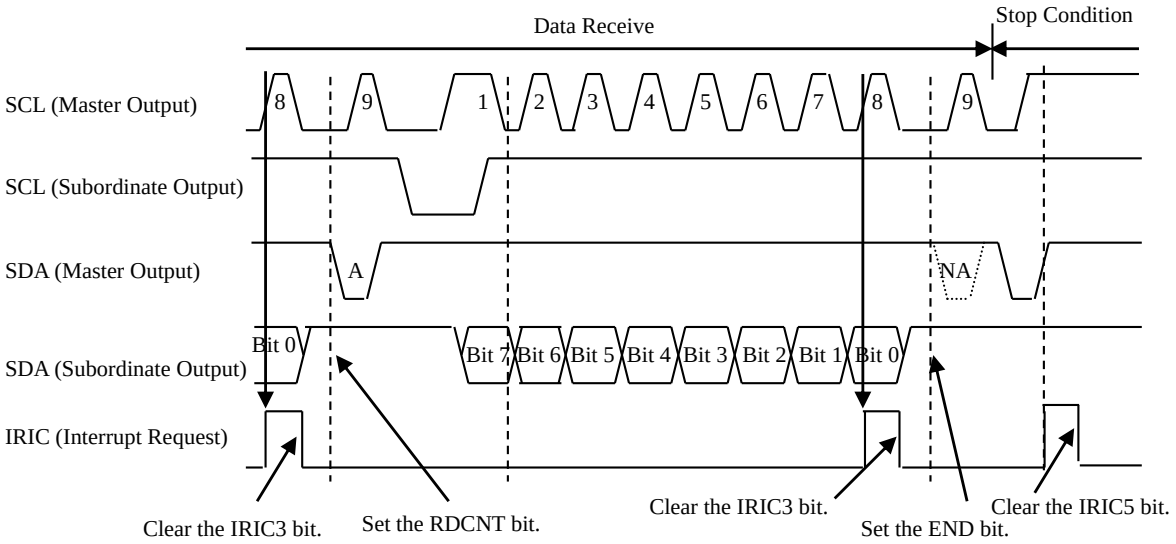


図 19-10　マスタ受信タイミング

© SANKEN ELECTRIC CO., LTD. 2017

19.7. マスタ送信

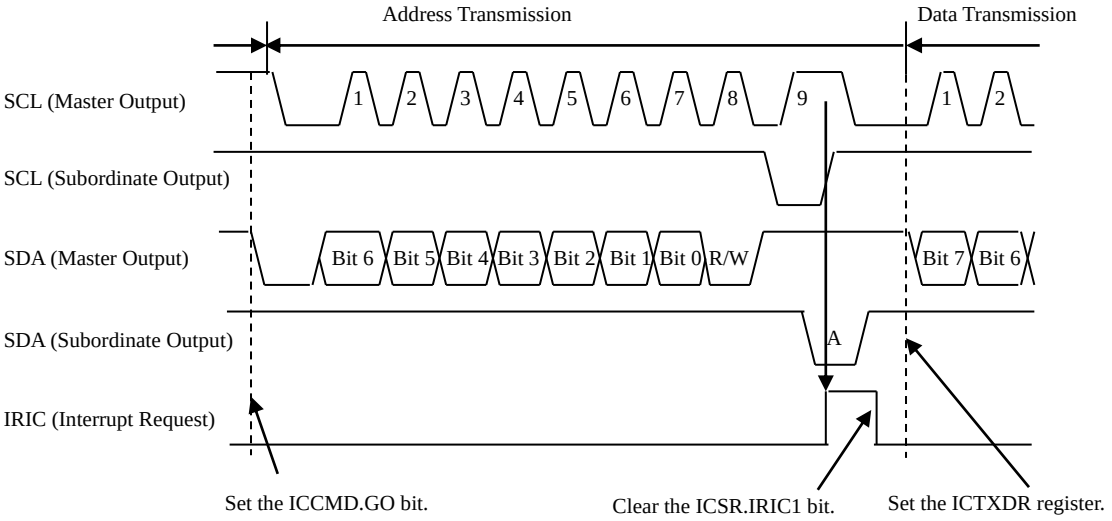
マスタ送信では、マスタデバイスが送信データと送信クロックを出力し、スレーブデバイスがアクノリッジを送信します。以下に、マスタ送信の手順と動作を示します。

(1) ICCR.ICE ビットを 1 に、ICCR.IEIC1 ビット、ICCR.IEIC2 ビット、ICCR.IEIC5 ビットを 1 に設定してください。
(2) ICTSAR.ADR ビットに、スレーブアドレスを設定し、ICTSAR.CMD ビットを 0 に設定してください。
(3) スタート条件を生成するために、ICCMD.GO ビットを 1 に設定してください。スタート条件を検出すると、ICCMD.GO ビットは自動的にクリアされます。
(4) マスタデバイスは、スタート条件を送信した後、スレーブアドレスとライトコマンドを送信します。
(5) スレーブデバイスから ACK か NACK を受信すると同時に、ICSR.IRIC1 ビットが 1 にセットされ、割込みが発生します。ICSR.IRIC1 ビットをクリアしてください。
(6) ACK と NACK のどちらを受信したかは、ICSR.RXACK ビットで確認できます。ACK の場合、マスタデバイスは ICCMD レジスタのいずれかのビットに 1 を書き込むまで、SCL を“L”に保持します。NACK の場合、マスタデバイスは自動でストップ条件を生成します。ストップ条件の生成が完了すると、ICSR.IRIC5 ビットが 1 にセットされ、割込みが発生します。割込みサービスルーチン内で、ICSR.IRIC5 ビットをクリアして(12)に進んでください。
(7) ICTXDR レジスタに送信データを設定してください。
(8) マスタデバイスが 8 ビット目のデータの送信を完了すると、マスタデバイスは、スレーブデバイスからの応答（ACK か NACK）を待ちます。
(9) スレーブデバイスから ACK か NACK を受信すると同時に、ICSR.IRIC2 ビットが 1 にセットされ、割込みが発生します。ACK と NACK のどちらを受信したかは、ICSR.RXACK ビットで確認できます。マスタデバイスは、ICCMD レジスタのいずれかのビットに 1 を書き込むか、ICTXDR レジスタに送信データをセットするまで、SCL を“L”に保持します。
(10) ICSR.IRIC2 ビットをクリアしてください。
(11) 次に実行する動作に応じて、以下のように設定してください。
- 送信を継続する場合
  ICTXDR レジスタに送信データを設定してください。(8)～(11)の操作を繰り返します。
- リピートスタートコンディションを発生してマスタ受信に切り替えする場合
  ストップ条件を発生させずに、再度スタート条件を発生させてマスタ受信に切り換える場合は、19.6 項の(2)の操作から開始してください。ICCR.IEIC3 は事前に 1 にセットしておいてください。
- 送信を中止する場合
  ICCMD.END ビットを 1 に設定すると、マスタデバイスはストップ条件を生成します。ストップ条件の生成が完了すると、ICSR.IRIC5 ビットが 1 にセットされ、割込みが発生します。割込みサービスルーチン内で、ICSR.IRIC5 ビットをクリアしてください。

(12) 次の動作を開始する場合
まず、ICSR.BBSY ビットが、ストップ条件を検出していることを確認し、(2)に戻ります。

© SANKEN ELECTRIC CO., LTD. 2017

a) Address Transmission −> Data Transmission



b) Data Transmission

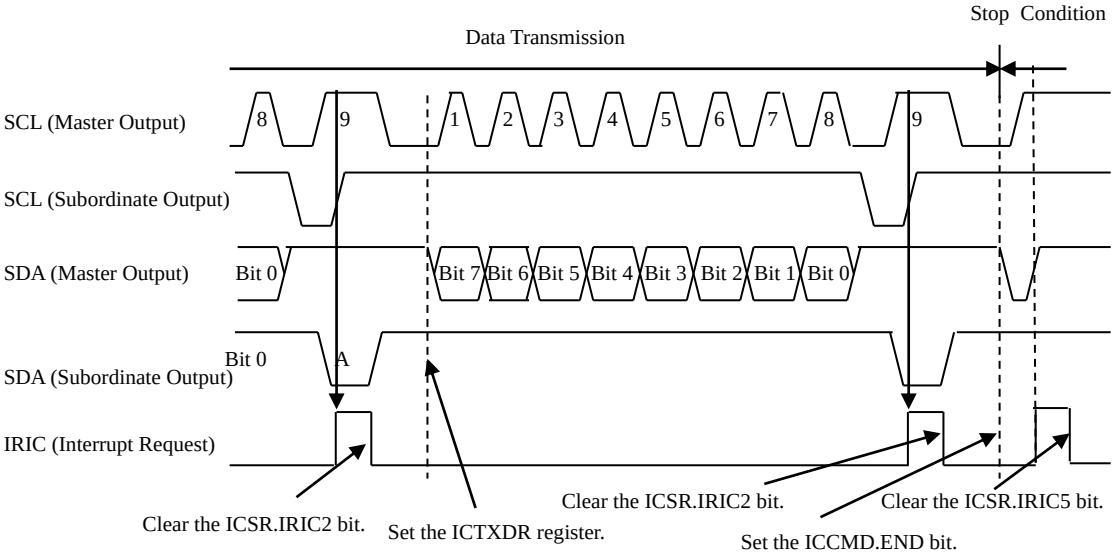


図 19-11　マスタ送信タイミング

© SANKEN ELECTRIC CO., LTD. 2017

19.8. スレーブアラートアドレス（SAA）、GCA と受信アドレスインジケータ

このI²Cは、スレーブアドレスを設定するレジスタとして、0x00 固定のジェネラルコールアドレス（GCA）と、任意のアドレスを設定できる ICSAR レジスタと、スレーブアラートアドレス（SAA：Subordinate Alert Address）レジスタを備えています。

スレーブアドレスと GCA、SAA が一致したときのスレーブモード時の動作は、ICSAR が一致した時と共通です。ICSAR と SAA に同じスレーブアドレスを設定した場合、優先度は ICSAR > SAA の順です。ICSAR および SAA の設定値が 0 の場合は、それぞれスレーブアドレスとの一致判定は行いません。よって、GCA の一致判定と同時に成立しません。SAA アドレスを使用しない場合は、ICSAIR.SAAEN ビットを 0 に設定してください。GCA を使用しない場合は、ICCR.GCAE を 0 に設定してください。ICSAIR レジスタの下位 3 ビットは、最後にスレーブデバイスとしてアクセスされたアドレスを示します。そのスレーブアドレスに対するコマンドがリードかライトか確認は ICSAR.CMD ビットを参照してください。

19.9. ノイズフィルタ

SCL 端子と SDA 端子の状態は、ノイズフィルタ回路を介して内部に取り込まれます。図 19-12 にノイズフィルタ回路のブロック図を示します。

ノイズフィルタは、2 段直列に接続したフリップフロップ回路と、一致検出回路で構成されています。SCL 信号と SDA 信号は、CLKFAST でサンプリングされます。2 つのフリップフロップの出力レベルが一致すると、そのレベルを一致検出回路から出力します。出力レベルが一致しない場合、一致検出回路の出力は前の値を保持します。

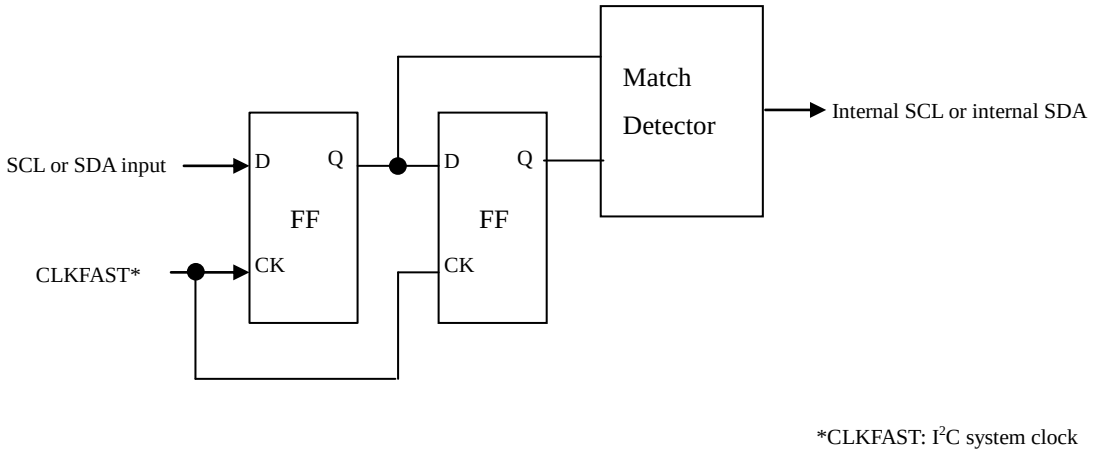


図 19-12　ノイズフィルタのブロック図

© SANKEN ELECTRIC CO., LTD. 2017

20. UART

本 LSI は、モデム端子制御機能をサポートしていません。

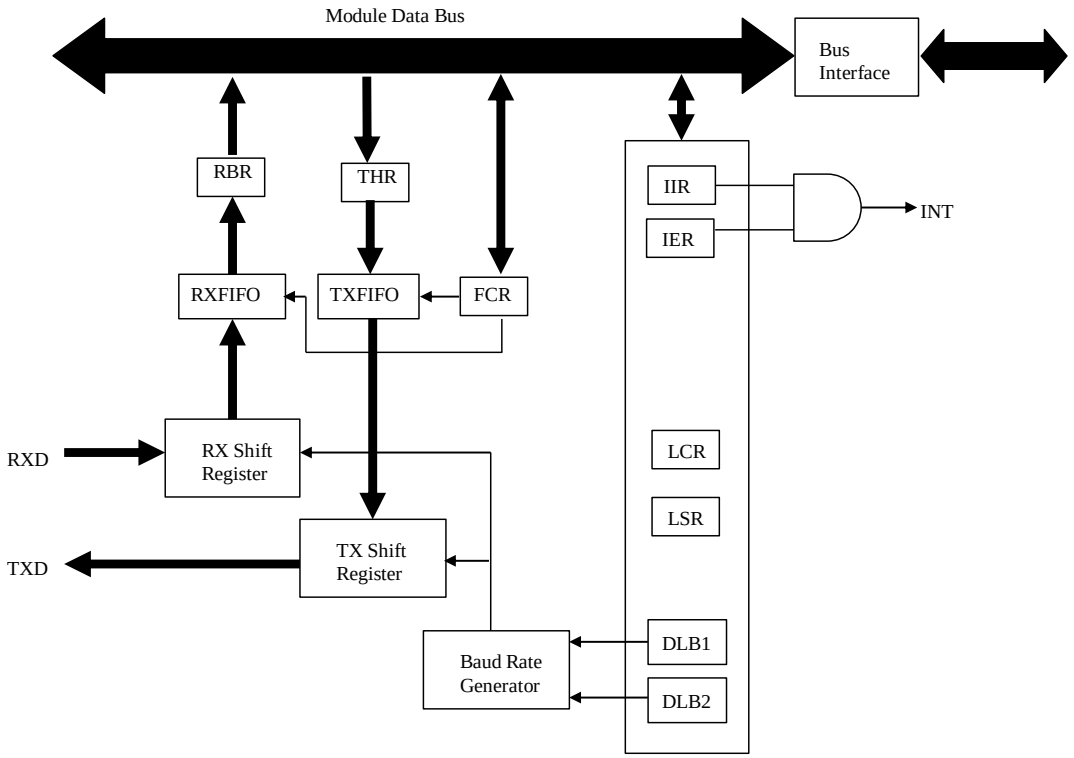
20.1. 概要

UART（Universal Asynchronous Receiver Transmitter）は、調歩同期式のシリアル入出力モードをサポートします。UART は、転送クロックを生成します。また、ボーレート生成用のタイマを有します。

表 20-1　UART 機能概要

項目	説明
キャラクタ フォーマット	データ長：5 ビット／6 ビット／7 ビット／8 ビット スタートビット：1 ビット パリティビット：奇数／偶数／なし ストップビット：1 ビット／2 ビット
ボーレート	分周器レジスタの設定値に基づき、下記式でボーレートを設定 $\text{ボーレート(bps)} = \frac{\text{CLKUART}}{16 \times \text{n}}$ ここで、 CLKUART：CLKFAST n：DLB1 レジスタと DLB2 レジスタの設定値
FIFO	TX（送信）FIFO：16 バイト RX（受信）FIFO：16 バイト
TX による割込み	送信バッファエンプティ 転送完了
RX による割込み	受信バッファフル パリティエラー／オーバランエラー／フレーミングエラー

© SANKEN ELECTRIC CO., LTD. 2017



RXFIFO：Receiver FIFO
TXFIFO：Transmitter FIFO

RXD：Reception data
TXD：Transmission data

図 20-1　UART のブロック図

20.2. 外部接続端子

端子名	入出力	説明
TXD	出力	送信データ
RXD	入力	受信データ

© SANKEN ELECTRIC CO., LTD. 2017

20.3. レジスタ説明

表 20-3 のクロック分周レジスタは 16 ビットで、表 20-2 の制御レジスタのアドレスとデュアルマップされています。LCR.DLAB ビットを 1 に設定したとき、表 20-3 のクロック分周レジスタ（DLB1 レジスタと DLB2 レジスタ）にアクセスできます。このとき、同一アドレスにマップされている送受信レジスタ（RBR レジスタ、THR レジスタ、および IER レジスタ）にはアクセスできません。

表 20-2　制御レジスター覧

Symbol	Name	Address	Initial Value
RBR	Receiver Buffer Register	0xFC80	Undefined
THR	Transmitter Holding Register	0xFC80	Undefined
IER	Interrupt Enable Register	0xFC81	0x00
IIR	Interrupt Identification Register	0xFC82	0xC1
FCR	FIFO Control Register	0xFC82	0xC0
LCR	Line Control Register	0xFC83	0x03
LSR	Line Status Register	0xFC85	0x60

表 20-3　クロック分周レジスター覧

Symbol	Name	Address	Initial Value
DLB1	Divisor Latch Byte1	0xFC80	0x00
DLB2	Divisor Latch Byte2	0xFC81	0x00

© SANKEN ELECTRIC CO., LTD. 2017

20.3.1. RBR (Receiver Buffer Register)/THR (Transmitter Holding Register)

Register	RBR		Receiver Buffer Register		Address	0xFC80
Bit	Bit Name	R/W	Initial	Description		Remarks
7	RBR	R	不定	受信 FIFO 出力		
6		R	不定			
5		R	不定			
4		R	不定			
3		R	不定			
2		R	不定			
1		R	不定			
0		R	不定			

Register	THR		Transmitter Holding Register		Address	0xFC80
Bit	Bit Name	R/W	Initial	Description		Remarks
7	THR	W	不定	送信 FIFO 入力		
6		W	不定			
5		W	不定			
4		W	不定			
3		W	不定			
2		W	不定			
1		W	不定			
0		W	不定			

20.3.2. IER (Interrupt Enable Register)

IER レジスタは、UART 割込みのイネーブルを設定します。

Register	IER		Interrupt Enable Register		Address	0xFC81
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	IER2	R/W	0	受信ステータスイネーブル 0：受信ステータスをディスエーブル 1：受信ステータスをイネーブル		
1	IER1	R/W	0	送信ホールディングレジスタのエンプティ割込みイネーブル 0：送信ホールディングレジスタのエンプティ割込みをディスエーブル 1：送信ホールディングレジスタのエンプティ割込みをイネーブル		
0	IER0	R/W	0	受信データ割込みイネーブル 0：受信データ割込みをディスエーブル 1：受信データ割込みをイネーブル		

© SANKEN ELECTRIC CO., LTD. 2017

20.3.3. IIR (Interrupt Identification Register)

IIR レジスタは、現在の処理待ち中の割込みのうち、最も高い優先順位の割込み要因を表示します。
NOPEND ビットが 0 のとき、処理待ち割込みが存在することを示します。NOPEND ビットが 1 のとき、処理待ち割込みが存在しないことを示します。

Register	IIR		Interrupt Identification Register		Address	0xFC82
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	1	リード値は 1 です。また、必ず 1 をライトしてください。		
6	Reserved	R	1	リード値は 1 です。また、必ず 1 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	IIR3	R	0	割込みタイプの設定 (3) 割込みタイプは、表 20-4 を参照してください。		
2	IIR2	R	0	割込みタイプの設定 (2) 割込みタイプは、表 20-4 を参照してください。		
1	IIR1	R	0	割込みタイプの設定 (1) 割込みタイプは、表 20-4 を参照してください。		
0	NOPEND	R	1	未決定割込みの有無 0：未決定割込みあり 1：未決定割込みなし		

以下の表に、各ビットと割込みの関係およびその優先度を示します。

表 20-4　各ビットと割込みの関係、およびその優先度

IIR3	IIR2	IIR1	優先度	割込みタイプ	割込み要因	割込みリセット制御
0	1	1	1st	受信通信ステータス	パリティ、オーバラン、フレーミングエラー、またはブレイク割込み	通信ステータスレジスタをリード
0	1	0	2nd	受信データ取得完了	FIFO トリガレベルの到達	FIFO 内のデータがトリガレベルより少なくなる
1	1	0	2nd	タイムアウト	FIFO には 1 データ以上あるが、FIFO にデータが受信されない、または 4 データ転送時間分 FIFO がリードされない	FIFO からリード（受信バッファレジスタ）
0	0	1	3rd	送信バッファエンプティ	送信バッファエンプティ	送信バッファにライト、または IIR レジスタをリード

© SANKEN ELECTRIC CO., LTD. 2017

20.3.4. FCR (FIFO Control Register)

FCR レジスタでは、受信データ割込みが発生する受信 FIFO のバイト数を選択します。さらに、FCR レジスタで FIFO をクリアできます。

Register	FCR		FIFO Control Register		Address	0xFC82
Bit	Bit Name	R/W	Initial	Description		Remarks
7	FTL	W	1	受信データ割込みが発生する受信 FIFO のバイト数の設定 00：1 バイト 01：4 バイト 10：8 バイト 11：14 バイト		
6		W	1			
5	Reserved	W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	W	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	TFCLR	C	0	本ビットに 1 をライトすると、送信 FIFO をクリア（TXFIFO = 0）します。		
1	RFCLR	C	0	本ビットに 1 をライトすると、受信 FIFO をクリア（RXFIFO = 0）します。		
0	Reserved	W	0	リード値は 0 です。また、必ず 0 をライトしてください。		

© SANKEN ELECTRIC CO., LTD. 2017

20.3.5. LCR (Line Control Register)

LCR レジスタは、使用する調歩同期式データ通信の方式を指定します。また、ボーレートを定義するために、分周器レジスタにアクセスできます。

Register	LCR	Line Control Register	Address	0xFC83

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DLAB	R/W	0	送受信レジスタと、ボーレート設定用の分周器レジスタは、同一アドレス（0xFC80）にマッピングされています。本ビットで、どちらにアクセスするかを切り換えます。 0：送受信レジスタにアクセス 1：分周器レジスタにアクセス	
6	BRK	R/W	0	ブレイク状態の設定 0：ブレイク状態をディスエーブル 1：TXD 端子を 0 に固定（ブレイク状態）	
5	STICK	R/W	0	スティックパリティの設定 0：スティックパリティをディスエーブル 1：本ビットが 1 の場合の動作は、PARE ビットと EVPAR ビットの状態に依存します。 - PARE ビットと EVPAR ビットが 1 の場合 送信時はパリティビットをクリアし、受信時はパリティビットが 0 であると解釈します。 - PARE ビットが 1 で EVPAR ビットが 0 の場合 送信時はパリティビットを 1 にし、受信時はパリティビットが 1 であると解釈します。	
4	EVPAR	R/W	0	偶数パリティの選択 0：奇数パリティ データビットとパリティビットを含めて 1 の数が奇数個になるようにパリティビットを送信し、受信データの 1 の数が奇数個かを確認します。例としてデータ中の 1 の数が偶数個の場合、パリティは 1 になります。 1：偶数パリティ データビットとパリティビットを含めて 1 の数が偶数個になるようにパリティビットを送信し、受信データの 1 の数が偶数個かを確認します。	
3	PARE	R/W	0	パリティイネーブル 0：パリティをディスエーブル 1：パリティをイネーブル	
2	NSTP	R/W	0	ストップビット数の設定 0：1 ストップビット 1：6、7、8 ビットキャラクタ長が選択されるとき、2 ストップビットです。5 ビットキャラクタ長が選択されるとき、1.5 ストップビットです。 データを受信するときは、常に 1 つ目のストップビットのみを確認します。	
1	NBCHAR	R/W	1	各キャラクタのビット数の選択 00：5 ビット 01：6 ビット 10：7 ビット 11：8 ビット	
0		R/W	1		

© SANKEN ELECTRIC CO., LTD. 2017

20.3.6. LSR (Line Status Register)

Register	LSR	Line Status Register	Address	0xFC85

Bit	Bit Name	R/W	Initial	Description	Remarks
7	RXERR	R	0	送信エラーのインジケータ 0：RXFIFO エラーなし 1：RXFIFO に、パリティエラー、オーバランエラー、フレーミングエラー、ブレイク割込みが 1 つ以上存在 LSR レジスタをリードしたとき、本ビットはクリアされます。	
6	TXEMP	R	1	送信エンプティインジケータ 0：エンプティでない 1：TXFIFO と TX シフトレジスタはエンプティ データが TXFIFO にライトされたとき、本ビットはクリアされます。	
5	TFEMP	R	1	TXFIFO エンプティ 0：TXFIFO はエンプティでない 1：TXFIFO はエンプティ TXFIFO がエンプティになると、TXFIFO エンプティ割込みが発生します。データが TXFIFO にライトされたとき、本ビットはクリアされます。	
4	BRKI	R	0	ブレイク割込み（BI：Break Interrupt）インジケータ 0：最新の受信データはブレイク状態ではない 1：最新の受信データはブレイク状態である 1 キャラクタ（スタートビット＋データ＋パリティ＋ストップビット）を受信する期間内に受信したデータがすべて 0 の場合、UART はブレイク状態を受信したと解釈します。UART がブレイク状態を受信すると、UART は RXFIFO に 0x00 を格納し、受信通信ステータス割込みを発生させ、次のスタートビットを待ちます。 本ビットは、LSR レジスタをリードするとクリアされます。	
3	FERI	R	0	フレーミングエラー（FE：Framing Error）インジケータ 0：最新の受信データにフレーミングエラーがない 1：最新の受信データにフレーミングエラーがある ストップビットを検出できなかった場合、UART はフレーミングエラーを受信したと解釈します。UART がフレーミングエラーを受信すると、UART は受信通信ステータス割込みを発生させます。 本ビットは、LSR レジスタをリードするとクリアされます。	
2	PERI	R	0	パリティエラー（PE：Parity Error）インジケータ 0：最新の受信データにパリティエラーがない 1：最新の受信データにパリティエラーがある パリティエラーを検出すると、UART は受信通信ステータス割込みを発生させます。 本ビットは、LSR レジスタをリードするとクリアされます。	

© SANKEN ELECTRIC CO., LTD. 2017

Register	LSR	Line Status Register	Address	0xFC85

Bit	Bit Name	R/W	Initial	Description	Remarks
1	OERI	R	0	オーバランエラー（OE：Overrun Error）インジケータ 0：RXFIFO はオーバラン状態ではない 1：RXFIFO でオーバランエラーが発生した RXFIFO がフルにもかかわらず、次のデータを受信すると、UART は RXFIFO がオーバランエラー状態であると解釈します。オーバランエラーを検出すると、UART は受信通信ステータス割込みを発生させます。 本ビットは、LSR レジスタをリードするとクリアされます。	
0	DRDYI	R	0	データレディ（DR：Data Ready）インジケータ 0：RXFIFO にキャラクタなし 1：1 データ以上を受信しています。データは RXFIFO 内に格納されています。 本ビットは、RXFIFO のすべてのデータをリードするとクリアされます。	

© SANKEN ELECTRIC CO., LTD. 2017

20.3.7. DLB1/2 (Divisor Latch Byte1/2)

Register	DLB1		Divisor Latch Byte1		Address	0xFC80
Bit	Bit Name	R/W	Initial	Description		Remarks
7	DLB1	R/W	0	分周器レジスタの LSB		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0		R/W	0			

Register	DLB2		Divisor Latch Byte2		Address	0xFC81
Bit	Bit Name	R/W	Initial	Description		Remarks
7	DLB2	R/W	0	分周器レジスタの MSB		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0		R/W	0			

LCR.DLAB ビットを 1 に設定すると、分周器レジスタにアクセスできます。UART の初期設定時に、LCR.DLAB ビットに 1 をライトしてから、分周器の値を DLB1 レジスタと DLB2 レジスタに設定します。分周器の値は 16 ビット（2 バイト）です。DLB1 レジスタにライトするとボーレートジェネレータの内部カウントが動作するため、分周器を設定するときは、DLB2 レジスタ、DLB1 レジスタの順にライトしてください。

DLB1 レジスタと DLB2 レジスタの初期値は、0 です。これはすべてのシリアル入出力動作をディスエーブルにします。分周器の設定後、RBR レジスタと THR レジスタにアクセスするために、LCR.DLAB ビットを 0 に設定します。

分周器の値に基づいて、以下の式でボーレートを求めます。

$$\text{ボーレート(bps)} = \frac{\text{CLKUART}}{16 \times \text{n}}$$

ここで、
CLKUART：CLKFAST
n：DLB1 レジスタと DLB2 レジスタの設定値

ボーレートと分周器の値の例を表 20-5 に示します。

© SANKEN ELECTRIC CO., LTD. 2017

20.3.8. ボーレート

表 20-5 は、いくつかのクリスタルを使用した際のボーレートに対する 10 進法の分周器の値（一例）を示しています。ボーレートは、20.3.7 項に示す計算式で求められます。

ボーレートの精度は発振器の特性に依存します。表 20-5 のエラーは計算式で求められたもので、保証されるものではありません。

表 20-5　ボーレートに対する分周器の値の例（CLKFAST = 60 MHz、30 MHz、12 MHz）

ボーレート (bps)	CLKFAST = 60 MHz		CLKFAST = 30 MHz		CLKFAST = 12 MHz	
	10進法 分周値	エラー (%)	10進法 分周値	エラー (%)	10進法 分周値	エラー (%)
2400	1563	0.03	781	0.03	313	0.16
4800	781	0.03	391	0.10	156	0.16
9600	391	0.10	195	0.16	78	0.16
19200	195	0.16	98	0.35	39	0.16
38400	98	0.35	49	0.35	20	2.40
76800	49	0.35	24	1.70	10	2.40
96000	39	0.16	20	2.40	8	2.40
115200	33	1.38	16	1.70	7	7.52
128000	29	1.01	15	2.40	6	2.40
256000	15	2.40	7	4.43	3	2.40
384000	10	2.40	5	2.40	2	2.40
512000	7	4.43	4	9.23	1	31.73
768000	5	2.40	2	18.08	1	2.40
1152000	3	7.84	2	22.88	1	53.60
1536000	2	18.08	1	18.08	-	-

20.4. 動作

この UART 機能は、モデム端子制御機能を除いて、標準 16550 UART チップに準拠しています。

© SANKEN ELECTRIC CO., LTD. 2017

21. アナログインターコネクション

21.1. 概要

図 21-1 にアナログインターコネクションを示します。本 LSI は、内部アナログモジュール間をスイッチで接続するアナログインターコネクションを構成しています。対応するレジスタのユーザ設定で、図に示すすべてのスイッチステートを設定できます。

たとえば、以下のように構成することができます。

(1) ADC 入力を外部端子に直接接続するか、外部端子と ADC 入力の間に OPAMP を挿入できます。

(2) OPAMP は、スタンドアロンアンプやゲインアンプ（×1 または×4）として使用できます。また、コンパレータをスタンドアロンで使用したり、外部端子とコンパレータ入力の間に OPAMP を挿入したりできます。

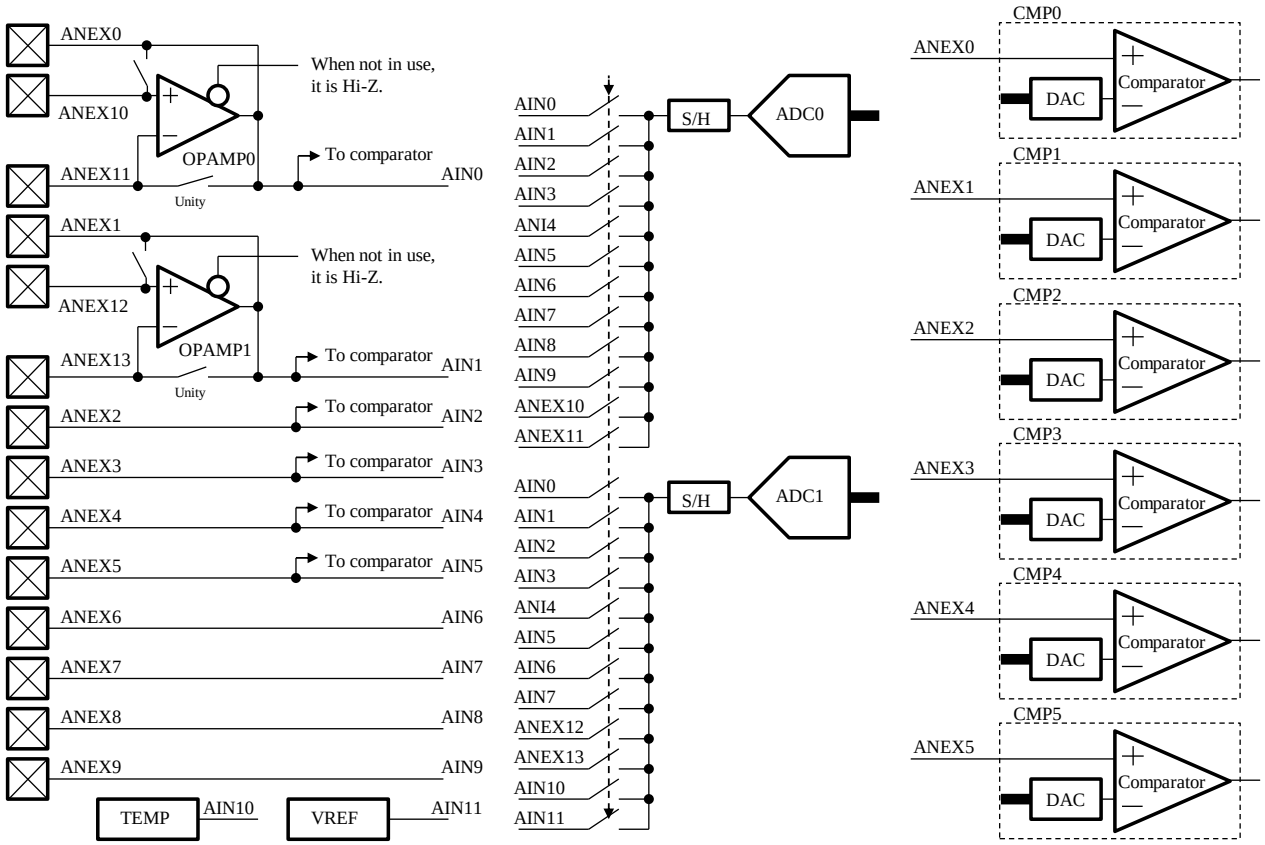


図 21-1　アナログインターコネクション

© SANKEN ELECTRIC CO., LTD. 2017

22. 12 ビット SAR ADC

22.1. 概要

表 22-1 に ADC の機能概要を示します。

表 22-1　ADC 機能概要

項目	説明
分解能	12 ビット
変換方式	逐次比較方式（SAR：Successive Approximation Register）
変換速度	クロック周波数 60 MHz で最大 4 MSPS
ユニット数	2 ユニット
アナログ入力	12 チャネル／ユニット
特長	最大 8 つの変換グループを登録可能 ADC0、ADC1 のユニット間同時動作機能搭載

本 LSI は、12 ビットの分解能を持つ逐次比較方式（SAR：Successive Approximation Register）の ADC を 2 つ搭載しています。クロック周波数が 60 MHz のとき、各 ADC の最高変換速度は 4 MSPS です。ADC は、CLKFAST のクロックを基準にしています。各 ADC には、12 個のアナログ入力があります。各アナログ入力には、識別するための固有のチャネル番号（0～11）が割り当てられ、このチャネル番号で設定などを処理します。また、ADC には、各チャネルに変換結果を格納するレジスタ、変換結果に加算するオフセット値を設定するレジスタ、およびサンプリング時間を設定するレジスタがあります。サンプリング時間とは、チャネルのアナログ電位を ADC 内部の容量に蓄える時間であり、1 サイクル～256 サイクルを指定できます。デジタル値に変換した結果は、各チャネルに設定されているオフセット値が加算された後に、変換結果を格納するレジスタに格納されます。

ADC はアナログ入力の電位を容量に蓄えた後、アナログ入力と容量を切り離し、二分探索による逐次比較方式で容量に蓄えた電位をデジタル値に変換します。各チャネルの変換処理とは、容量に電位を蓄え（サンプル）、容量を切り離し（ホールド）、容量の値をデジタル値に変換してオフセットを加算した結果をレジスタに格納する、という一連の処理を指します。

1 つの ADC は、1 回の変換処理で 1 本のチャネルのアナログ値をデジタル値に変換できます。1 つの ADC が複数のチャネルを変換する必要があるとき、ADC はチャネルの変換処理を連続して行います。ADC は、チャネルをグループで管理します。1 つの ADC には、8 つのグループがあります。各グループには、任意のチャネルを設定できます。ADC は、チャネルを直接指定して変換するのではなく、グループに対して変換開始を指示します。変換開始のトリガとなるイベントは、グループごとに設定します。ADC は、CPU やイベントから変換開始の指示を受け取ると、指示されたグループに登録されているすべてのチャネルを連続して変換します。

次に、ADC のグループとチャネルの処理について説明します。まず、ADC は受け取ったトリガから、処理するグループを 1 つ選択します。処理候補となるグループが複数ある場合、その中からグループ番号が最も小さいものを選択します。処理するグループが決定すると、ADC はグループに設定されている変換チャネルを、チャネル番号の小さい方から順番にすべて変換します。イベント出力が指定されたチャネルの変換処理が完了すると、ADC イベントが発生します。ADC イベントの種類はグループで決まり、チャネル番号とは関係ありません。すべてのチャネルの変換処理が完了したとき、割込みイネーブルが設定されている場合は ADC の割込み信号を発生させ、グループの処理を完了します。ADC が一度発生させた割込み信号は、ユーザがクリアしない限り発生し続けます。グループの処理が完了したときに、それまでのグループ選択で選択されなかったグループがある場合や、処理中にトリガを受け取っていた場合は、再度処理するグループを 1 つ決定し、グループの処理に入ります。そうでない場合は、次の起動トリガを受け取るまで待機状態に入ります。

グループは、GPIO、コンパレータ、PWM、タイマ、DSAC、EPU、CPU からのトリガで起動します。各

© SANKEN ELECTRIC CO., LTD. 2017

グループの起動トリガは、既定の 2 つの CPU トリガ（ADT トリガと ADLOOP トリガ）と、ユーザが指定できるトリガの、合計 3 つです。ユーザは、GPIO トリガ、コンパレータトリガ、PWM トリガ、タイマトリガ、DSAC トリガ、EPU トリガから 1 つ選択できます。2 つの ADC は独立して動作しますが、グループ 0 では、2 つの ADC の変換を同時に開始するように設定できます。これは、2 つのアナログ値を同時に変換したい場合に有効です。

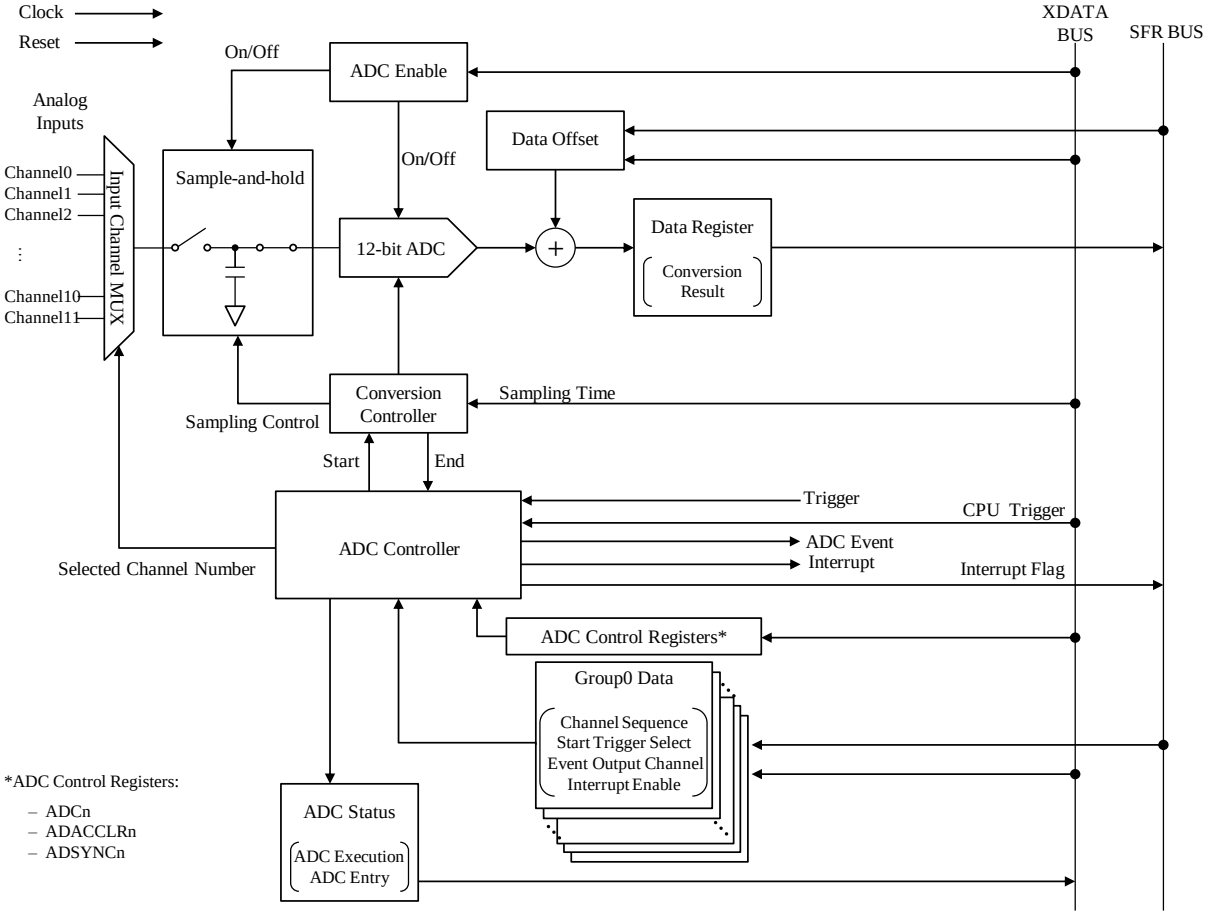


図 22-1　12 ビット ADC のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

22.2. レジスタ説明

ADC は、XDATA BUS レジスタと SFR BUS レジスタの 2 種類のレジスタを使用します。表 22-2 に XDATA BUS レジスタ、表 22-3 に SFR BUS レジスタの一覧を示します。n はユニット番号です。

表 22-2　XDATA BUS レジスタ一覧

Symbol	Name	Address (Unit0)	Address (Unit1)	Initial Value
ADCn	ADCn Configuration Register	0xF000	0xF080	0x00
ADENn	ADCn Enable Register	0xF001	0xF081	0x00
ADTn	ADCn CPU Trigger Register	0xF003	0xF083	0x00
ADLOOPn	ADCn CPU Loop Trigger Register	0xF008	0xF088	0x00
ADEXEn	ADCn Group Execution Status Register	0xF006	0xF086	0x00
ADENTRYn	ADCn Group Entry Status Register	0xF004	0xF084	0x00
ADIENn	ADCn Group Interrupt Enable Register	0xF007	0xF087	0x00
ADSYNCn	ADCn Synchronous Control Register	0xF005	0xF085	0x00
ADCHSELTESTLn	ADCn Channel Select Test Low Register	0xF00E	0xF08E	0x00
ADCHSELTESTHn	ADCn Channel Select Test High Register	0xF00F	0xF08F	0x00
ADNSMP0n	ADCn Channel0 Sampling Time Register	0xF010	0xF090	0x03
ADNSMP1n	ADCn Channel1 Sampling Time Register	0xF011	0xF091	0x03
ADNSMP2n	ADCn Channel2 Sampling Time Register	0xF012	0xF092	0x03
ADNSMP3n	ADCn Channel3 Sampling Time Register	0xF013	0xF093	0x03
ADNSMP4n	ADCn Channel4 Sampling Time Register	0xF014	0xF094	0x03
ADNSMP5n	ADCn Channel5 Sampling Time Register	0xF015	0xF095	0x03
ADNSMP6n	ADCn Channel6 Sampling Time Register	0xF016	0xF096	0x03
ADNSMP7n	ADCn Channel7 Sampling Time Register	0xF017	0xF097	0x03
ADNSMP8n	ADCn Channel8 Sampling Time Register	0xF018	0xF098	0x03
ADNSMP9n	ADCn Channel9 Sampling Time Register	0xF019	0xF099	0x03
ADNSMPAn	ADCn Channel10 Sampling Time Register	0xF01A	0xF09A	0x03
ADNSMPBn	ADCn Channel11 Sampling Time Register	0xF01B	0xF09B	0x03
ADO0Ln	ADCn Channel0 Data Offset Low Register	0xF020	0xF0A0	0x00
ADO0Hn	ADCn Channel0 Data Offset High Register	0xF021	0xF0A1	0x00
ADO1Ln	ADCn Channel1 Data Offset Low Register	0xF022	0xF0A2	0x00
ADO1Hn	ADCn Channel1 Data Offset High Register	0xF023	0xF0A3	0x00
ADO2Ln	ADCn Channel2 Data Offset Low Register	0xF024	0xF0A4	0x00
ADO2Hn	ADCn Channel2 Data Offset High Register	0xF025	0xF0A5	0x00
ADO3Ln	ADCn Channel3 Data Offset Low Register	0xF026	0xF0A6	0x00
ADO3Hn	ADCn Channel3 Data Offset High Register	0xF027	0xF0A7	0x00
ADO4Ln	ADCn Channel4 Data Offset Low Register	0xF028	0xF0A8	0x00
ADO4Hn	ADCn Channel4 Data Offset High Register	0xF029	0xF0A9	0x00

© SANKEN ELECTRIC CO., LTD. 2017

Symbol	Name	Address (Unit0)	Address (Unit1)	Initial Value
ADO5Ln	ADCn Channel5 Data Offset Low Register	0xF02A	0xF0AA	0x00
ADO5Hn	ADCn Channel5 Data Offset High Register	0xF02B	0xF0AB	0x00
ADO6Ln	ADCn Channel6 Data Offset Low Register	0xF02C	0xF0AC	0x00
ADO6Hn	ADCn Channel6 Data Offset High Register	0xF02D	0xF0AD	0x00
ADO7Ln	ADCn Channel7 Data Offset Low Register	0xF02E	0xF0AE	0x00
ADO7Hn	ADCn Channel7 Data Offset High Register	0xF02F	0xF0AF	0x00
ADO8Ln	ADCn Channel8 Data Offset Low Register	0xF030	0xF0B0	0x00
ADO8Hn	ADCn Channel8 Data Offset High Register	0xF031	0xF0B1	0x00
ADO9Ln	ADCn Channel9 Data Offset Low Register	0xF032	0xF0B2	0x00
ADO9Hn	ADCn Channel9 Data Offset High Register	0xF033	0xF0B3	0x00
ADOALn	ADCn Channel10 Data Offset Low Register	0xF034	0xF0B4	0x00
ADOAHn	ADCn Channel10 Data Offset High Register	0xF035	0xF0B5	0x00
ADOBLn	ADCn Channel11 Data Offset Low Register	0xF036	0xF0B6	0x00
ADOBHn	ADCn Channel11 Data Offset High Register	0xF037	0xF0B7	0x00
ADACCLRn	ADCn Data Read Access Counter Clear Register	0xF002	0xF082	0x00
ADS0Ln	ADCn Group0 Channel Sequence Low Register	0xF040	0xF0C0	0x00
ADS0Hn	ADCn Group0 Channel Sequence High Register	0xF041	0xF0C1	0x00
ADS1Ln	ADCn Group1 Channel Sequence Low Register	0xF048	0xF0C8	0x00
ADS1Hn	ADCn Group1 Channel Sequence High Register	0xF049	0xF0C9	0x00
ADS2Ln	ADCn Group2 Channel Sequence Low Register	0xF050	0xF0D0	0x00
ADS2Hn	ADCn Group2 Channel Sequence High Register	0xF051	0xF0D1	0x00
ADS3Ln	ADCn Group3 Channel Sequence Low Register	0xF058	0xF0D8	0x00
ADS3Hn	ADCn Group3 Channel Sequence High Register	0xF059	0xF0D9	0x00
ADS4Ln	ADCn Group4 Channel Sequence Low Register	0xF060	0xF0E0	0x00
ADS4Hn	ADCn Group4 Channel Sequence High Register	0xF061	0xF0E1	0x00
ADS5Ln	ADCn Group5 Channel Sequence Low Register	0xF068	0xF0E8	0x00
ADS5Hn	ADCn Group5 Channel Sequence High Register	0xF069	0xF0E9	0x00
ADS6Ln	ADCn Group6 Channel Sequence Low Register	0xF070	0xF0F0	0x00
ADS6Hn	ADCn Group6 Channel Sequence High Register	0xF071	0xF0F1	0x00
ADS7Ln	ADCn Group7 Channel Sequence Low Register	0xF078	0xF0F8	0x00
ADS7Hn	ADCn Group7 Channel Sequence High Register	0xF079	0xF0F9	0x00
ADSTSEL0n	ADCn Group0 Start Trigger Select Register	0xF042	0xF0C2	0x00
ADSTSEL1n	ADCn Group1 Start Trigger Select Register	0xF04A	0xF0CA	0x00
ADSTSEL2n	ADCn Group2 Start Trigger Select Register	0xF052	0xF0D2	0x00
ADSTSEL3n	ADCn Group3 Start Trigger Select Register	0xF05A	0xF0DA	0x00
ADSTSEL4n	ADCn Group4 Start Trigger Select Register	0xF062	0xF0E2	0x00
ADSTSEL5n	ADCn Group5 Start Trigger Select Register	0xF06A	0xF0EA	0x00

© SANKEN ELECTRIC CO., LTD. 2017

Symbol	Name	Address (Unit0)	Address (Unit1)	Initial Value
ADSTSEL6n	ADCn Group6 Start Trigger Select Register	0xF072	0xF0F2	0x00
ADSTSEL7n	ADCn Group7 Start Trigger Select Register	0xF07A	0xF0FA	0x00
ADEVT0Ln	ADCn Group0 Event Output Channel Low Register	0xF044	0xF0C4	0x00
ADEVT0Hn	ADCn Group0 Event Output Channel High Register	0xF045	0xF0C5	0x00
ADEVT1Ln	ADCn Group1 Event Output Channel Low Register	0xF04C	0xF0CC	0x00
ADEVT1Hn	ADCn Group1 Event Output Channel High Register	0xF04D	0xF0CD	0x00
ADEVT2Ln	ADCn Group2 Event Output Channel Low Register	0xF054	0xF0D4	0x00
ADEVT2Hn	ADCn Group2 Event Output Channel High Register	0xF055	0xF0D5	0x00
ADEVT3Ln	ADCn Group3 Event Output Channel Low Register	0xF05C	0xF0DC	0x00
ADEVT3Hn	ADCn Group3 Event Output Channel High Register	0xF05D	0xF0DD	0x00
ADEVT4Ln	ADCn Group4 Event Output Channel Low Register	0xF064	0xF0E4	0x00
ADEVT4Hn	ADCn Group4 Event Output Channel High Register	0xF065	0xF0E5	0x00
ADEVT5Ln	ADCn Group5 Event Output Channel Low Register	0xF06C	0xF0EC	0x00
ADEVT5Hn	ADCn Group5 Event Output Channel High Register	0xF06D	0xF0ED	0x00
ADEVT6Ln	ADCn Group6 Event Output Channel Low Register	0xF074	0xF0F4	0x00
ADEVT6Hn	ADCn Group6 Event Output Channel High Register	0xF075	0xF0F5	0x00
ADEVT7Ln	ADCn Group7 Event Output Channel Low Register	0xF07C	0xF0FC	0x00
ADEVT7Hn	ADCn Group7 Event Output Channel High Register	0xF07D	0xF0FD	0x00

© SANKEN ELECTRIC CO., LTD. 2017

表 22-3　SFR BUS レジスター一覧

Symbol (Unit n)	Name	Address (Unit0)	Address (Unit1)	Initial Value
ADO0n	ADCn Channel0 Data Offset Register	0x00	0x01	0x00
ADO1n	ADCn Channel1 Data Offset Register	0x08	0x09	0x00
ADO2n	ADCn Channel2 Data Offset Register	0x10	0x11	0x00
ADO3n	ADCn Channel3 Data Offset Register	0x18	0x19	0x00
ADO4n	ADCn Channel4 Data Offset Register	0x20	0x21	0x00
ADO5n	ADCn Channel5 Data Offset Register	0x28	0x29	0x00
ADO6n	ADCn Channel6 Data Offset Register	0x30	0x31	0x00
ADO7n	ADCn Channel7 Data Offset Register	0x38	0x39	0x00
ADO8n	ADCn Channel8 Data Offset Register	0x40	0x41	0x00
ADO9n	ADCn Channel9 Data Offset Register	0x48	0x49	0x00
ADOAn	ADCn Channel10 Data Offset Register	0x50	0x51	0x00
ADOBn	ADCn Channel11 Data Offset Register	0x58	0x59	0x00
AD0n	ADCn Channel0 Data Register	0x99	0x9A	0x00
AD1n	ADCn Channel1 Data Register	0xA1	0xA2	0x00
AD2n	ADCn Channel2 Data Register	0xA9	0xAA	0x00
AD3n	ADCn Channel3 Data Register	0xB1	0xB2	0x00
AD4n	ADCn Channel4 Data Register	0xB9	0xBA	0x00
AD5n	ADCn Channel5 Data Register	0xC1	0xC2	0x00
AD6n	ADCn Channel6 Data Register	0xC9	0xCA	0x00
AD7n	ADCn Channel7 Data Register	0xD1	0xD2	0x00
AD8n	ADCn Channel8 Data Register	0xD9	0xDA	0x00
AD9n	ADCn Channel9 Data Register	0xE1	0xE2	0x00
ADAn	ADCn Channel10 Data Register	0xE9	0xEA	0x00
ADBn	ADCn Channel11 Data Register	0xF1	0xF2	0x00
ADIFn	ADCn Interrupt Flag Register	0x89	0x8A	0x00

© SANKEN ELECTRIC CO., LTD. 2017

22.2.1. ADCn (ADCn Configuration Register) (n = 0 to 1)

Register	ADC0	ADC0 Configuration Register	Address	0xF000
Register	ADC1	ADC1 Configuration Register	Address	0xF080

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CHCONMODE	R/W	0	チャネル接続モード 0：モード 0 に設定 1：モード 1 に設定 チャネル接続モードについては、22.4 項を参照してください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	COMPASYNC	R/W	0	2 サイクルモード選択時の同期 0：別ユニットの ADC との間で、比較データ作成サイクルと比較動作サイクルを同期する 1：同期しない 2 サイクルモードを使用する際に 2 つの ADC を同時に動作させると、比較データ作成サイクルの動作中に ADC ユニットから発生するノイズが、比較動作サイクル中の ADC ユニットの動作（変換精度）に影響を与える場合があります。これを防止するため、2 サイクルモードを使用するときは、本ビットを 0 に設定してください。	
3	MODE2	R/W	0	モード 2（動作サイクルモード選択） 0：1 サイクルモード 比較データ作成と比較動作を 1 サイクルで行う 1：2 サイクルモード サイクルを比較データ作成と比較動作の 2 つに分ける 2 サイクルモードは、電源ノイズが変換精度に与える影響を低減します。ただし、1 サイクルモードと比較して、2 サイクルモードは変換時間が 2 倍になります	
2	MODE3	R/W	0	モード 3（ノイズ抑制動作モード選択） 0：ノイズ抑制動作をしない 1：ノイズ抑制動作モード ノイズ抑制動作モードは、電源ノイズが変換精度に与える影響を低減します。 本ビットの設定には制約があります。表 22-4 に示す ADCn.MODE1 との組み合わせにおいて「OK」の設定のみ使用できます。それ以外の組み合わせは、正しい変換値が得られません。 また、ADC0.MODE3 ビットと ADC1.MODE3 ビットは、必ず同じ値に設定してください。	
1	MODE1	R/W	0	モード 1（比較タイミングモード選択）	

© SANKEN ELECTRIC CO., LTD. 2017

Register	ADC0	ADC0 Configuration Register	Address	0xF000
Register	ADC1	ADC1 Configuration Register	Address	0xF080

Bit	Bit Name	R/W	Initial	Description	Remarks
				0：比較タイミング高速モード 比較動作タイミングを速くする 1：比較タイミング低速モード 比較動作タイミングを遅くする 比較タイミング低速モードは、電源ノイズが変換精度に与える影響を低減します。 本ビットの設定には制約があります。表 22-4 に示す ADCn.MODE3 との組み合わせにおいて「OK」の設定のみ使用できます。それ以外の組み合わせは、正しい変換値が得られません。	
0	MODE4	R/W	0	モード 4（ADC 特性評価用のモード） 本ビットを 1 に設定しないでください（正しい変換値が得られません）。	

© SANKEN ELECTRIC CO., LTD. 2017

表 22-4　ADCn.MODE1 および ADCn.MODE3 の設定制約条件

CLKFAST、ADC 条件				ADCn.MODE1、ADCn.MODE3 の設定条件		
CLKFAST／ADC	PLLCFG.REFDIV	LKCFG0.DIV1	LKCFG0.DIV1	ADCn.MODE3	ADCn.MODE1	設定
60 MHz／1 サイクルモード	0	0b11	0	0	0	OK
					1	—
				1	0	—
					1	—
60 MHz／2 サイクルモード	0	0b11	1	0	0	OK
					1	—
				1	0	OK
					1	—
≤30 MHz／1 サイクルモード	1	—	0	0	0	OK
					1	—
				1	0	OK
					1	OK
	—	0b11 以外	0	0	0	OK
					1	—
				1	0	OK
					1	OK
≤30 MHz／2 サイクルモード	1	—	1	0	0	OK
					1	OK
				1	0	OK
					1	OK
	—	0b11 以外	1	0	0	OK
					1	OK
				1	0	OK
					1	OK

© SANKEN ELECTRIC CO., LTD. 2017

22.2.2. ADENn (ADCn Enable Register) (n = 0 to 1)

Register	ADEN0	ADC0 Enable Register	Address	0xF001
Register	ADEN1	ADC1 Enable Register	Address	0xF081

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	ADENABLE	R/W	0	ADCn イネーブル 0：ADCn をディスエーブル 1：ADCn をイネーブル	

22.2.3. ADTn (ADCn CPU Trigger Register) (n = 0 to 1)

Register	ADT0	ADC0 CPU Trigger Register	Address	0xF003
Register	ADT1	ADC1 CPU Trigger Register	Address	0xF083

Bit	Bit Name	R/W	Initial	Description	Remarks
7	TRIGGER7	W	0	グループ 7 の CPU トリガ ライト 0：変化なし ライト 1：グループ 7 の起動	
6	TRIGGER6	W	0	グループ 6 の CPU トリガ ライト 0：変化なし ライト 1：グループ 6 の起動	
5	TRIGGER5	W	0	グループ 5 の CPU トリガ ライト 0：変化なし ライト 1：グループ 5 の起動	
4	TRIGGER4	W	0	グループ 4 の CPU トリガ ライト 0：変化なし ライト 1：グループ 4 の起動	
3	TRIGGER3	W	0	グループ 3 の CPU トリガ ライト 0：変化なし ライト 1：グループ 3 の起動	
2	TRIGGER2	W	0	グループ 2 の CPU トリガ ライト 0：変化なし ライト 1：グループ 2 の起動	
1	TRIGGER1	W	0	グループ 1 の CPU トリガ ライト 0：変化なし ライト 1：グループ 1 の起動	
0	TRIGGER0	W	0	グループ 0 の CPU トリガ ライト 0：変化なし ライト 1：グループ 0 の起動	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.4. ADLOOPn (ADCn CPU Loop Trigger Register) (n = 0 to 1)

各ビットに 0 をライトしても、CPU からの起動トリガは停止されません。起動トリガを停止するためには、ADLOOPn.LOOPm ビットを 0 にしてください。ADLOOP トリガの詳細は、22.5.6.3 項を参照してください。

Register	ADLOOP0	ADC0 CPU Loop Trigger Register	Address	0xF008
Register	ADLOOP1	ADC1 CPU Loop Trigger Register	Address	0xF088

Bit	Bit Name	R/W	Initial	Description	Remarks
7	LOOP7	R/W	0	グループ 7 の CPU トリガ リード 0：ADLOOP トリガが発行されていない状態 リード 1：ADLOOP トリガが発行されている状態 ライト 0：ADLOOP トリガの取り消し ライト 1：ADLOOP トリガを発行	
6	LOOP6	R/W	0	グループ 6 の CPU トリガ リード 0：ADLOOP トリガが発行されていない状態 リード 1：ADLOOP トリガが発行されている状態 ライト 0：ADLOOP トリガの取り消し ライト 1：ADLOOP トリガを発行	
5	LOOP5	R/W	0	グループ 5 の CPU トリガ リード 0：ADLOOP トリガが発行されていない状態 リード 1：ADLOOP トリガが発行されている状態 ライト 0：ADLOOP トリガの取り消し ライト 1：ADLOOP トリガを発行	
4	LOOP4	R/W	0	グループ 4 の CPU トリガ リード 0：ADLOOP トリガが発行されていない状態 リード 1：ADLOOP トリガが発行されている状態 ライト 0：ADLOOP トリガの取り消し ライト 1：ADLOOP トリガを発行	
3	LOOP3	R/W	0	グループ 3 の CPU トリガ リード 0：ADLOOP トリガが発行されていない状態 リード 1：ADLOOP トリガが発行されている状態 ライト 0：ADLOOP トリガの取り消し ライト 1：ADLOOP トリガを発行	
2	LOOP2	R/W	0	グループ 2 の CPU トリガ リード 0：ADLOOP トリガが発行されていない状態 リード 1：ADLOOP トリガが発行されている状態 ライト 0：ADLOOP トリガの取り消し ライト 1：ADLOOP トリガを発行	
1	LOOP1	R/W	0	グループ 1 の CPU トリガ リード 0：ADLOOP トリガが発行されていない状態 リード 1：ADLOOP トリガが発行されている状態 ライト 0：ADLOOP トリガの取り消し ライト 1：ADLOOP トリガを発行	
0	LOOP0	R/W	0	グループ 0 の CPU トリガ リード 0：ADLOOP トリガが発行されていない状態 リード 1：ADLOOP トリガが発行されている状態 ライト 0：ADLOOP トリガの取り消し ライト 1：ADLOOP トリガを発行	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.5. ADEXEn (ADCn Group Execution Status Register) (n = 0 to 1)

Register	ADEXE0	ADC0 Group Execution Status Register	Address	0xF006
Register	ADEXE1	ADC1 Group Execution Status Register	Address	0xF086

Bit	Bit Name	R/W	Initial	Description	Remarks
7	EXECUTION7	R	0	グループ 7 の実行状態 0：停止中 1：実行中	
6	EXECUTION6	R	0	グループ 6 の実行状態 0：停止中 1：実行中	
5	EXECUTION5	R	0	グループ 5 の実行状態 0：停止中 1：実行中	
4	EXECUTION4	R	0	グループ 4 の実行状態 0：停止中 1：実行中	
3	EXECUTION3	R	0	グループ 3 の実行状態 0：停止中 1：実行中	
2	EXECUTION2	R	0	グループ 2 の実行状態 0：停止中 1：実行中	
1	EXECUTION1	R	0	グループ 1 の実行状態 0：停止中 1：実行中	
0	EXECUTION0	R	0	グループ 0 の実行状態 0：停止中 1：実行中	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.6. ADENTRYn (ADCn Group Entry Status Register) (n = 0 to 1)

Register	ADENTRY0	ADC0 Group Entry Status Register	Address	0xF004
Register	ADENTRY1	ADC1 Group Entry Status Register	Address	0xF084

Bit	Bit Name	R/W	Initial	Description	Remarks
7	ENTRY7	R	0	グループ 7 のエントリー状態 0：エントリーされていない状態 1：エントリーされている状態	
6	ENTRY6	R	0	グループ 6 のエントリー状態 0：エントリーされていない状態 1：エントリーされている状態	
5	ENTRY5	R	0	グループ 5 のエントリー状態 0：エントリーされていない状態 1：エントリーされている状態	
4	ENTRY4	R	0	グループ 4 のエントリー状態 0：エントリーされていない状態 1：エントリーされている状態	
3	ENTRY3	R	0	グループ 3 のエントリー状態 0：エントリーされていない状態 1：エントリーされている状態	
2	ENTRY2	R	0	グループ 2 のエントリー状態 0：エントリーされていない状態 1：エントリーされている状態	
1	ENTRY1	R	0	グループ 1 のエントリー状態 0：エントリーされていない状態 1：エントリーされている状態	
0	ENTRY0	R	0	グループ 0 のエントリー状態 0：エントリーされていない状態 1：エントリーされている状態	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.7. ADIENn (ADCn Group Interrupt Enable Register) (n = 0 to 1)

Register	ADIEN0	ADC0 Group Interrupt Enable Register	Address	0xF007
Register	ADIEN1	ADC1 Group Interrupt Enable Register	Address	0xF087

Bit	Bit Name	R/W	Initial	Description	Remarks
7	IEN7	R/W	0	グループ 7 の割込み信号イネーブル 0：割込み信号をディスエーブル 1：割込み信号をイネーブル	
6	IEN6	R/W	0	グループ 6 の割込み信号イネーブル 0：割込み信号をディスエーブル 1：割込み信号をイネーブル	
5	IEN5	R/W	0	グループ 5 の割込み信号イネーブル 0：割込み信号をディスエーブル 1：割込み信号をイネーブル	
4	IEN4	R/W	0	グループ 4 の割込み信号イネーブル 0：割込み信号をディスエーブル 1：割込み信号をイネーブル	
3	IEN3	R/W	0	グループ 3 の割込み信号イネーブル 0：割込み信号をディスエーブル 1：割込み信号をイネーブル	
2	IEN2	R/W	0	グループ 2 の割込み信号イネーブル 0：割込み信号をディスエーブル 1：割込み信号をイネーブル	
1	IEN1	R/W	0	グループ 1 の割込み信号イネーブル 0：割込み信号をディスエーブル 1：割込み信号をイネーブル	
0	IEN0	R/W	0	グループ 0 の割込み信号イネーブル 0：割込み信号をディスエーブル 1：割込み信号をイネーブル	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.8. ADSYNCn (ADCn Synchronous Control Register) (n = 0 to 1)

Register	ADSYNC0	ADC0 Synchronous Control Register	Address	0xF005
Register	ADSYNC1	ADC1 Synchronous Control Register	Address	0xF085

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	SYNCHRONOUS	R/W	0	同時実行 0：同時実行をしない 1：同時実行をする	

22.2.9. ADCHSELTESTLn (ADCn Channel Select Test Low Register) (n = 0 to 1)

Register	ADCHSELTESTL0	ADC0 Channel Select Test Low Register	Address	0xF00E
Register	ADCHSELTESTL1	ADC1 Channel Select Test Low Register	Address	0xF08E

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.10. ADCHSELTESTHn (ADCn Channel Select Test High Register) (n = 0 to 1)

Register	ADCHSELTESTH0	ADC0 Channel Select Test High Register	Address	0xF00F
Register	ADCHSELTESTH1	ADC1 Channel Select Test High Register	Address	0xF08F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.11. ADNSMPmn (ADCn Channel m Sampling Time Register) (n = 0 to 1) (m = 0 to 11)

Register	ADNSMP00	ADC0 Channel0 Sampling Time Register	Address	0xF010
Register	ADNSMP01	ADC1 Channel0 Sampling Time Register	Address	0xF090
Register	ADNSMP10	ADC0 Channel1 Sampling Time Register	Address	0xF011
Register	ADNSMP11	ADC1 Channel1 Sampling Time Register	Address	0xF091
Register	ADNSMP20	ADC0 Channel2 Sampling Time Register	Address	0xF012
Register	ADNSMP21	ADC1 Channel2 Sampling Time Register	Address	0xF092
Register	ADNSMP30	ADC0 Channel3 Sampling Time Register	Address	0xF013
Register	ADNSMP31	ADC1 Channel3 Sampling Time Register	Address	0xF093
Register	ADNSMP40	ADC0 Channel4 Sampling Time Register	Address	0xF014
Register	ADNSMP41	ADC1 Channel4 Sampling Time Register	Address	0xF094
Register	ADNSMP50	ADC0 Channel5 Sampling Time Register	Address	0xF015
Register	ADNSMP51	ADC1 Channel5 Sampling Time Register	Address	0xF095
Register	ADNSMP60	ADC0 Channel6 Sampling Time Register	Address	0xF016
Register	ADNSMP61	ADC1 Channel6 Sampling Time Register	Address	0xF096
Register	ADNSMP70	ADC0 Channel7 Sampling Time Register	Address	0xF017
Register	ADNSMP71	ADC1 Channel7 Sampling Time Register	Address	0xF097
Register	ADNSMP80	ADC0 Channel8 Sampling Time Register	Address	0xF018
Register	ADNSMP81	ADC1 Channel8 Sampling Time Register	Address	0xF098
Register	ADNSMP90	ADC0 Channel9 Sampling Time Register	Address	0xF019
Register	ADNSMP91	ADC1 Channel9 Sampling Time Register	Address	0xF099
Register	ADNSMPA0	ADC0 Channel10 Sampling Time Register	Address	0xF01A
Register	ADNSMPA1	ADC1 Channel10 Sampling Time Register	Address	0xF09A
Register	ADNSMPB0	ADC0 Channel11 Sampling Time Register	Address	0xF01B
Register	ADNSMPB1	ADC1 Channel11 Sampling Time Register	Address	0xF09B

Bit	Bit Name	R/W	Initial	Description	Remarks
7	SHTIME	R/W	0	サンプリングサイクル 00000000：256 サイクル （0 サイクルにはなりません） 00000001：1 サイクル 00000010：2 サイクル 00000011：3 サイクル 00000100：4 サイクル ⋮ 11111111：255 サイクル サンプリングするサイクル（1 サイクル～256 サイクル）を指定します。詳細は、22.4.1 項を参照してください。以下は正しい変換値が得られないため、使用禁止です。 00000101：5 サイクル 00100101：37 サイクル 01000101：69 サイクル 01100101：101 サイクル 10000101：133 サイクル 10100101：165 サイクル 11000101：197 サイクル 11100101：229 サイクル	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	1		
0		R/W	1		

© SANKEN ELECTRIC CO., LTD. 2017

22.2.12. ADOmLn (ADCn Channel m Data Offset Low Register) (n = 0 to 1) (m = 0 to 11)

Register	ADO0L0	ADC0 Channel0 Data Offset Low Register	Address	0xF020
Register	ADO0L1	ADC1 Channel0 Data Offset Low Register	Address	0xF0A0
Register	ADO1L0	ADC0 Channel1 Data Offset Low Register	Address	0xF022
Register	ADO1L1	ADC1 Channel1 Data Offset Low Register	Address	0xF0A2
Register	ADO2L0	ADC0 Channel2 Data Offset Low Register	Address	0xF024
Register	ADO2L1	ADC1 Channel2 Data Offset Low Register	Address	0xF0A4
Register	ADO3L0	ADC0 Channel3 Data Offset Low Register	Address	0xF026
Register	ADO3L1	ADC1 Channel3 Data Offset Low Register	Address	0xF0A6
Register	ADO4L0	ADC0 Channel4 Data Offset Low Register	Address	0xF028
Register	ADO4L1	ADC1 Channel4 Data Offset Low Register	Address	0xF0A8
Register	ADO5L0	ADC0 Channel5 Data Offset Low Register	Address	0xF02A
Register	ADO5L1	ADC1 Channel5 Data Offset Low Register	Address	0xF0AA
Register	ADO6L0	ADC0 Channel6 Data Offset Low Register	Address	0xF02C
Register	ADO6L1	ADC1 Channel6 Data Offset Low Register	Address	0xF0AC
Register	ADO7L0	ADC0 Channel7 Data Offset Low Register	Address	0xF02E
Register	ADO7L1	ADC1 Channel7 Data Offset Low Register	Address	0xF0AE
Register	ADO8L0	ADC0 Channel8 Data Offset Low Register	Address	0xF030
Register	ADO8L1	ADC1 Channel8 Data Offset Low Register	Address	0xF0B0
Register	ADO9L0	ADC0 Channel9 Data Offset Low Register	Address	0xF032
Register	ADO9L1	ADC1 Channel9 Data Offset Low Register	Address	0xF0B2
Register	ADOAL0	ADC0 Channel10 Data Offset Low Register	Address	0xF034
Register	ADOAL1	ADC1 Channel10 Data Offset Low Register	Address	0xF0B4
Register	ADOBL0	ADC0 Channel11 Data Offset Low Register	Address	0xF036
Register	ADOBL1	ADC1 Channel11 Data Offset Low Register	Address	0xF0B6

Bit	Bit Name	R/W	Initial	Description	Remarks
7	OFFSET	R/W	0	オフセットの下位ビット 各チャネルのオフセット値は、符号付き 13 ビットの値（−4096～4095）で設定できます。符号は ADOmHn.OFFSTSIGN ビットで設定します。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

22.2.13. ADOmHn (ADCn Channel m Data Offset High Register) (n = 0 to 1) (m = 0 to 11)

Register	ADO0H0	ADC0 Channel0 Data Offset High Register	Address	0xF021
Register	ADO0H1	ADC1 Channel0 Data Offset High Register	Address	0xF0A1
Register	ADO1H0	ADC0 Channel1 Data Offset High Register	Address	0xF023
Register	ADO1H1	ADC1 Channel1 Data Offset High Register	Address	0xF0A3
Register	ADO2H0	ADC0 Channel2 Data Offset High Register	Address	0xF025
Register	ADO2H1	ADC1 Channel2 Data Offset High Register	Address	0xF0A5
Register	ADO3H0	ADC0 Channel3 Data Offset High Register	Address	0xF027
Register	ADO3H1	ADC1 Channel3 Data Offset High Register	Address	0xF0A7
Register	ADO4H0	ADC0 Channel4 Data Offset High Register	Address	0xF029
Register	ADO4H1	ADC1 Channel4 Data Offset High Register	Address	0xF0A9
Register	ADO5H0	ADC0 Channel5 Data Offset High Register	Address	0xF02B
Register	ADO5H1	ADC1 Channel5 Data Offset High Register	Address	0xF0AB
Register	ADO6H0	ADC0 Channel6 Data Offset High Register	Address	0xF02D
Register	ADO6H1	ADC1 Channel6 Data Offset High Register	Address	0xF0AD
Register	ADO7H0	ADC0 Channel7 Data Offset High Register	Address	0xF02F
Register	ADO7H1	ADC1 Channel7 Data Offset High Register	Address	0xF0AF
Register	ADO8H0	ADC0 Channel8 Data Offset High Register	Address	0xF031
Register	ADO8H1	ADC1 Channel8 Data Offset High Register	Address	0xF0B1
Register	ADO9H0	ADC0 Channel9 Data Offset High Register	Address	0xF033
Register	ADO9H1	ADC1 Channel9 Data Offset High Register	Address	0xF0B3
Register	ADOAH0	ADC0 Channel10 Data Offset High Register	Address	0xF035
Register	ADOAH1	ADC1 Channel10 Data Offset High Register	Address	0xF0B5
Register	ADOBH0	ADC0 Channel11 Data Offset High Register	Address	0xF037
Register	ADOBH1	ADC1 Channel11 Data Offset High Register	Address	0xF0B7

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	符号拡張ビット OFFSTSIGN ビットに 1 をライトすると、本ビットが 1 になります。	
6	Reserved	R	0		
5	Reserved	R	0		
4	OFFSTSIGN	R/W	0	符号ビット	
3	OFFSET	R/W	0	オフセットの上位ビット 各チャネルのオフセット値は、符号付き 13 ビットの値（−4096～4095）で設定できます。符号は OFFSTSIGN ビットで設定します。	
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

22.2.14. ADACCLRn (ADCn Data Read Access Counter Clear Register) (n = 0 to 1)

Register	ADACCLR0	ADC0 Data Read Access Counter Clear Register	Address	0xF002
Register	ADACCLR1	ADC1 Data Read Access Counter Clear Register	Address	0xF082

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	ADACCLR	R/C	0	ADmn レジスタと ADOmn レジスタのデータリードアクセスカウンタをクリア リード 0：下位 8 ビットにアクセスできる状態 リード 1：上位 8 ビットにアクセスできる状態 ライト 0：変化なし ライト 1：アクセスカウンタをクリアして、1 回目の下位ビットの読出しからやり直す	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.15. ADSmLn (ADCn Group m Channel Sequence Low Register) (n = 0 to 1) (m = 0 to 7)

Register	ADS0L0	ADC0 Group0 Channel Sequence Low Register	Address	0xF040
Register	ADS0L1	ADC1 Group0 Channel Sequence Low Register	Address	0xF0C0
Register	ADS1L0	ADC0 Group1 Channel Sequence Low Register	Address	0xF048
Register	ADS1L1	ADC1 Group1 Channel Sequence Low Register	Address	0xF0C8
Register	ADS2L0	ADC0 Group2 Channel Sequence Low Register	Address	0xF050
Register	ADS2L1	ADC1 Group2 Channel Sequence Low Register	Address	0xF0D0
Register	ADS3L0	ADC0 Group3 Channel Sequence Low Register	Address	0xF058
Register	ADS3L1	ADC1 Group3 Channel Sequence Low Register	Address	0xF0D8
Register	ADS4L0	ADC0 Group4 Channel Sequence Low Register	Address	0xF060
Register	ADS4L1	ADC1 Group4 Channel Sequence Low Register	Address	0xF0E0
Register	ADS5L0	ADC0 Group5 Channel Sequence Low Register	Address	0xF068
Register	ADS5L1	ADC1 Group5 Channel Sequence Low Register	Address	0xF0E8
Register	ADS6L0	ADC0 Group6 Channel Sequence Low Register	Address	0xF070
Register	ADS6L1	ADC1 Group6 Channel Sequence Low Register	Address	0xF0F0
Register	ADS7L0	ADC0 Group7 Channel Sequence Low Register	Address	0xF078
Register	ADS7L1	ADC1 Group7 Channel Sequence Low Register	Address	0xF0F8

Bit	Bit Name	R/W	Initial	Description	Remarks
7	ADSCH7	R/W	0	チャネル 7 の変換 0：チャネル 7 を変換しない 1：チャネル 7 を変換する	
6	ADSCH6	R/W	0	チャネル 6 の変換 0：チャネル 6 を変換しない 1：チャネル 6 を変換する	
5	ADSCH5	R/W	0	チャネル 5 の変換 0：チャネル 5 を変換しない 1：チャネル 5 を変換する	
4	ADSCH4	R/W	0	チャネル 4 の変換 0：チャネル 4 を変換しない 1：チャネル 4 を変換する	
3	ADSCH3	R/W	0	チャネル 3 の変換 0：チャネル 3 を変換しない 1：チャネル 3 を変換する	
2	ADSCH2	R/W	0	チャネル 2 の変換 0：チャネル 2 を変換しない 1：チャネル 2 を変換する	
1	ADSCH1	R/W	0	チャネル 1 の変換 0：チャネル 1 を変換しない 1：チャネル 1 を変換する	
0	ADSCH0	R/W	0	チャネル 0 の変換 0：チャネル 0 を変換しない 1：チャネル 0 を変換する	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.16. ADSmHn (ADCn Group m Channel Sequence High Register) (n = 0 to 1) (m = 0 to 7)

Register	ADS0H0	ADC0 Group0 Channel Sequence High Register	Address	0xF041
Register	ADS0H1	ADC1 Group0 Channel Sequence High Register	Address	0xF0C1
Register	ADS1H0	ADC0 Group1 Channel Sequence High Register	Address	0xF049
Register	ADS1H1	ADC1 Group1 Channel Sequence High Register	Address	0xF0C9
Register	ADS2H0	ADC0 Group2 Channel Sequence High Register	Address	0xF051
Register	ADS2H1	ADC1 Group2 Channel Sequence High Register	Address	0xF0D1
Register	ADS3H0	ADC0 Group3 Channel Sequence High Register	Address	0xF059
Register	ADS3H1	ADC1 Group3 Channel Sequence High Register	Address	0xF0D9
Register	ADS4H0	ADC0 Group4 Channel Sequence High Register	Address	0xF061
Register	ADS4H1	ADC1 Group4 Channel Sequence High Register	Address	0xF0E1
Register	ADS5H0	ADC0 Group5 Channel Sequence High Register	Address	0xF069
Register	ADS5H1	ADC1 Group5 Channel Sequence High Register	Address	0xF0E9
Register	ADS6H0	ADC0 Group6 Channel Sequence High Register	Address	0xF071
Register	ADS6H1	ADC1 Group6 Channel Sequence High Register	Address	0xF0F1
Register	ADS7H0	ADC0 Group7 Channel Sequence High Register	Address	0xF079
Register	ADS7H1	ADC1 Group7 Channel Sequence High Register	Address	0xF0F9

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	ADSCH11	R/W	0	チャネル 11 の変換 0：チャネル 11 を変換しない 1：チャネル 11 を変換する	
2	ADSCH10	R/W	0	チャネル 10 の変換 0：チャネル 10 を変換しない 1：チャネル 10 を変換する	
1	ADSCH9	R/W	0	チャネル 9 の変換 0：チャネル 9 を変換しない 1：チャネル 9 を変換する	
0	ADSCH8	R/W	0	チャネル 8 の変換 0：チャネル 8 を変換しない 1：チャネル 8 を変換する	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.17. ADSTSELmn (ADCn Group m Start Trigger Select Register) (n = 0 to 1) (m = 0 to 7)

Register	ADSTSEL00	ADC0 Group0 Start Trigger Select Register	Address	0xF042
Register	ADSTSEL01	ADC1 Group0 Start Trigger Select Register	Address	0xF0C2
Register	ADSTSEL10	ADC0 Group1 Start Trigger Select Register	Address	0xF04A
Register	ADSTSEL11	ADC1 Group1 Start Trigger Select Register	Address	0xF0CA
Register	ADSTSEL20	ADC0 Group2 Start Trigger Select Register	Address	0xF052
Register	ADSTSEL21	ADC1 Group2 Start Trigger Select Register	Address	0xF0D2
Register	ADSTSEL30	ADC0 Group3 Start Trigger Select Register	Address	0xF05A
Register	ADSTSEL31	ADC1 Group3 Start Trigger Select Register	Address	0xF0DA
Register	ADSTSEL40	ADC0 Group4 Start Trigger Select Register	Address	0xF062
Register	ADSTSEL41	ADC1 Group4 Start Trigger Select Register	Address	0xF0E2
Register	ADSTSEL50	ADC0 Group5 Start Trigger Select Register	Address	0xF06A
Register	ADSTSEL51	ADC1 Group5 Start Trigger Select Register	Address	0xF0EA
Register	ADSTSEL60	ADC0 Group6 Start Trigger Select Register	Address	0xF072
Register	ADSTSEL61	ADC1 Group6 Start Trigger Select Register	Address	0xF0F2
Register	ADSTSEL70	ADC0 Group7 Start Trigger Select Register	Address	0xF07A
Register	ADSTSEL71	ADC1 Group7 Start Trigger Select Register	Address	0xF0FA

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	TRIGGER	R/W	0	起動トリガ番号 起動トリガに使用するトリガ番号を、表 22-7 から選択し、6 ビットで設定してください。	
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

22.2.18. ADEVTmLn (ADCn Group m Event Output Channel Low Register) (n = 0 to 1) (m = 0 to 7)

Register	ADEVT0L0	ADC0 Group0 Event Output Channel Low Register	Address	0xF044
Register	ADEVT0L1	ADC1 Group0 Event Output Channel Low Register	Address	0xF0C4
Register	ADEVT1L0	ADC0 Group1 Event Output Channel Low Register	Address	0xF04C
Register	ADEVT1L1	ADC1 Group1 Event Output Channel Low Register	Address	0xF0CC
Register	ADEVT2L0	ADC0 Group2 Event Output Channel Low Register	Address	0xF054
Register	ADEVT2L1	ADC1 Group2 Event Output Channel Low Register	Address	0xF0D4
Register	ADEVT3L0	ADC0 Group3 Event Output Channel Low Register	Address	0xF05C
Register	ADEVT3L1	ADC1 Group3 Event Output Channel Low Register	Address	0xF0DC
Register	ADEVT4L0	ADC0 Group4 Event Output Channel Low Register	Address	0xF064
Register	ADEVT4L1	ADC1 Group4 Event Output Channel Low Register	Address	0xF0E4
Register	ADEVT5L0	ADC0 Group5 Event Output Channel Low Register	Address	0xF06C
Register	ADEVT5L1	ADC1 Group5 Event Output Channel Low Register	Address	0xF0EC
Register	ADEVT6L0	ADC0 Group6 Event Output Channel Low Register	Address	0xF074
Register	ADEVT6L1	ADC1 Group6 Event Output Channel Low Register	Address	0xF0F4
Register	ADEVT7L0	ADC0 Group7 Event Output Channel Low Register	Address	0xF07C
Register	ADEVT7L1	ADC1 Group7 Event Output Channel Low Register	Address	0xF0FC

Bit	Bit Name	R/W	Initial	Description	Remarks
7	EVENTOUTCH7	R/W	0	チャネル 7 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	
6	EVENTOUTCH6	R/W	0	チャネル 6 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	
5	EVENTOUTCH5	R/W	0	チャネル 5 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	
4	EVENTOUTCH4	R/W	0	チャネル 4 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	
3	EVENTOUTCH3	R/W	0	チャネル 3 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	
2	EVENTOUTCH2	R/W	0	チャネル 2 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	
1	EVENTOUTCH1	R/W	0	チャネル 1 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	
0	EVENTOUTCH0	R/W	0	チャネル 0 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.19. ADEVTmHn (ADCn Group m Event Output Channel High Register) (n = 0 to 1) (m = 0 to 7)

Register	ADEVT0H0	ADC0 Group0 Event Output Channel High Register	Address	0xF045
Register	ADEVT0H1	ADC1 Group0 Event Output Channel High Register	Address	0xF0C5
Register	ADEVT1H0	ADC0 Group1 Event Output Channel High Register	Address	0xF04D
Register	ADEVT1H1	ADC1 Group1 Event Output Channel High Register	Address	0xF0CD
Register	ADEVT2H0	ADC0 Group2 Event Output Channel High Register	Address	0xF055
Register	ADEVT2H1	ADC1 Group2 Event Output Channel High Register	Address	0xF0D5
Register	ADEVT3H0	ADC0 Group3 Event Output Channel High Register	Address	0xF05D
Register	ADEVT3H1	ADC1 Group3 Event Output Channel High Register	Address	0xF0DD
Register	ADEVT4H0	ADC0 Group4 Event Output Channel High Register	Address	0xF065
Register	ADEVT4H1	ADC1 Group4 Event Output Channel High Register	Address	0xF0E5
Register	ADEVT5H0	ADC0 Group5 Event Output Channel High Register	Address	0xF06D
Register	ADEVT5H1	ADC1 Group5 Event Output Channel High Register	Address	0xF0ED
Register	ADEVT6H0	ADC0 Group6 Event Output Channel High Register	Address	0xF075
Register	ADEVT6H1	ADC1 Group6 Event Output Channel High Register	Address	0xF0F5
Register	ADEVT7H0	ADC0 Group7 Event Output Channel High Register	Address	0xF07D
Register	ADEVT7H1	ADC1 Group7 Event Output Channel High Register	Address	0xF0FD

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	EVENTOUTCH11	R/W	0	チャネル 11 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	
2	EVENTOUTCH10	R/W	0	チャネル 10 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	
1	EVENTOUTCH9	R/W	0	チャネル 9 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	
0	EVENTOUTCH8	R/W	0	チャネル 8 の変換完了時のイベント発行 0：イベントを発行しない 1：イベントを発行する	

© SANKEN ELECTRIC CO., LTD. 2017

22.2.20. ADOmn (ADCn Channel m Data Offset Register) (n = 0 to 1) (m = 0 to 11)

Register	ADO00	ADC0 Channel0 Data Offset Register	Address	0x00
Register	ADO01	ADC1 Channel0 Data Offset Register	Address	0x01
Register	ADO10	ADC0 Channel1 Data Offset Register	Address	0x08
Register	ADO11	ADC1 Channel1 Data Offset Register	Address	0x09
Register	ADO20	ADC0 Channel2 Data Offset Register	Address	0x10
Register	ADO21	ADC1 Channel2 Data Offset Register	Address	0x11
Register	ADO30	ADC0 Channel3 Data Offset Register	Address	0x18
Register	ADO31	ADC1 Channel3 Data Offset Register	Address	0x19
Register	ADO40	ADC0 Channel4 Data Offset Register	Address	0x20
Register	ADO41	ADC1 Channel4 Data Offset Register	Address	0x21
Register	ADO50	ADC0 Channel5 Data Offset Register	Address	0x28
Register	ADO51	ADC1 Channel5 Data Offset Register	Address	0x29
Register	ADO60	ADC0 Channel6 Data Offset Register	Address	0x30
Register	ADO61	ADC1 Channel6 Data Offset Register	Address	0x31
Register	ADO70	ADC0 Channel7 Data Offset Register	Address	0x38
Register	ADO71	ADC1 Channel7 Data Offset Register	Address	0x39
Register	ADO80	ADC0 Channel8 Data Offset Register	Address	0x40
Register	ADO81	ADC1 Channel8 Data Offset Register	Address	0x41
Register	ADO90	ADC0 Channel9 Data Offset Register	Address	0x48
Register	ADO91	ADC1 Channel9 Data Offset Register	Address	0x49
Register	ADOA0	ADC0 Channel10 Data Offset Register	Address	0x50
Register	ADOA1	ADC1 Channel10 Data Offset Register	Address	0x51
Register	ADOB0	ADC0 Channel11 Data Offset Register	Address	0x58
Register	ADOB1	ADC1 Channel11 Data Offset Register	Address	0x59

Bit	Bit Name	R/W	Initial	Description	Remarks
15	Reserved	R	0	符号拡張ビット SIGN ビットに 1 をライトすると、本ビットが 1 になります。	
14	Reserved	R	0		
13	Reserved	R	0		
12	SIGN	R/W	0	符号ビット	
11	OFFSET	R/W	0	オフセット 各チャネルのオフセット値は、符号付き 13 ビットの値（−4096～4095）で設定できます。符号は SIGN ビットで設定します。	
10		R/W	0		
9		R/W	0		
8		R/W	0		
7		R/W	0		
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

22.2.21. ADmn (ADCn Channel m Data Register) (n = 0 to 1) (m = 0 to 11)

詳細は、22.6.1 項を参照してください。

Register	AD00	ADC0 Channel0 Data Register	Address	0x99
Register	AD01	ADC1 Channel0 Data Register	Address	0x9A
Register	AD10	ADC0 Channel1 Data Register	Address	0xA1
Register	AD11	ADC1 Channel1 Data Register	Address	0xA2
Register	AD20	ADC0 Channel2 Data Register	Address	0xA9
Register	AD21	ADC1 Channel2 Data Register	Address	0xAA
Register	AD30	ADC0 Channel3 Data Register	Address	0xB1
Register	AD31	ADC1 Channel3 Data Register	Address	0xB2
Register	AD40	ADC0 Channel4 Data Register	Address	0xB9
Register	AD41	ADC1 Channel4 Data Register	Address	0xBA
Register	AD50	ADC0 Channel5 Data Register	Address	0xC1
Register	AD51	ADC1 Channel5 Data Register	Address	0xC2
Register	AD60	ADC0 Channel6 Data Register	Address	0xC9
Register	AD61	ADC1 Channel6 Data Register	Address	0xCA
Register	AD70	ADC0 Channel7 Data Register	Address	0xD1
Register	AD71	ADC1 Channel7 Data Register	Address	0xD2
Register	AD80	ADC0 Channel8 Data Register	Address	0xD9
Register	AD81	ADC1 Channel8 Data Register	Address	0xDA
Register	AD90	ADC0 Channel9 Data Register	Address	0xE1
Register	AD91	ADC1 Channel9 Data Register	Address	0xE2
Register	ADA0	ADC0 Channel10 Data Register	Address	0xE9
Register	ADA1	ADC1 Channel10 Data Register	Address	0xEA
Register	ADB0	ADC0 Channel11 Data Register	Address	0xF1
Register	ADB1	ADC1 Channel11 Data Register	Address	0xF2

Bit	Bit Name	R/W	Initial	Description	Remarks
15	Reserved	R	0	符号拡張ビット DATASIGN ビットに 1 をライトすると、本ビットが 1 になります。	
14	Reserved	R	0		
13	DATASIGN	R	0	符号ビット	
12	DATA	R	0	変換結果	
11		R	0		
10		R	0		
9		R	0		
8		R	0		
7		R	0		
6		R	0		
5		R	0		
4		R	0		
3		R	0		
2		R	0		
1		R	0		
0		R	0		

© SANKEN ELECTRIC CO., LTD. 2017

22.2.22. ADIFn (ADCn Interrupt Flag Register) (n = 0 to 1)

Register	ADIF0	ADC0 Interrupt Flag Register	Address	0x89
Register	ADIF1	ADC1 Interrupt Flag Register	Address	0x8A

Bit	Bit Name	R/W	Initial	Description	Remarks
15	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
14	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
13	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
12	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
11	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
10	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
9	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
8	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
7	IFLG7	R/C	0	グループ 7 の割込みフラグ リード 0：割込みの検出なし リード 1：割込みの検出あり ライト 0：変化なし ライト 1：本ビットをクリア	
6	IFLG6	R/C	0	グループ 6 の割込みフラグ リード 0：割込みの検出なし リード 1：割込みの検出あり ライト 0：変化なし ライト 1：本ビットをクリア	
5	IFLG5	R/C	0	グループ 5 の割込みフラグ リード 0：割込みの検出なし リード 1：割込みの検出あり ライト 0：変化なし ライト 1：本ビットをクリア	
4	IFLG4	R/C	0	グループ 4 の割込みフラグ リード 0：割込みの検出なし リード 1：割込みの検出あり ライト 0：変化なし ライト 1：本ビットをクリア	
3	IFLG3	R/C	0	グループ 3 の割込みフラグ リード 0：割込みの検出なし リード 1：割込みの検出あり ライト 0：変化なし ライト 1：本ビットをクリア	
2	IFLG2	R/C	0	グループ 2 の割込みフラグ リード 0：割込みの検出なし リード 1：割込みの検出あり ライト 0：変化なし ライト 1：本ビットをクリア	
1	IFLG1	R/C	0	グループ 1 の割込みフラグ リード 0：割込みの検出なし リード 1：割込みの検出あり ライト 0：変化なし ライト 1：本ビットをクリア	
0	IFLG0	R/C	0	グループ 0 の割込みフラグ リード 0：割込みの検出なし リード 1：割込みの検出あり ライト 0：変化なし ライト 1：本ビットをクリア	

© SANKEN ELECTRIC CO., LTD. 2017

22.3. 動作

22.3.1. 基本動作

レジスタを動作させる前に、ADC モジュールのクロックをイネーブルに（MCLKE2.ME_ADC0 ビットと MCLKE2.ME_ADC1 ビットを 1 に設定）します。その後、ADENn.ADENABLE ビットを 1 に設定すると、ADC がイネーブルになり、動作します。ADC を使用しない場合は ADENn.ADENABLE ビットを 0 にすると、消費電力を低減できます。図 22-2 に、ADC の初期化処理の流れを示します。

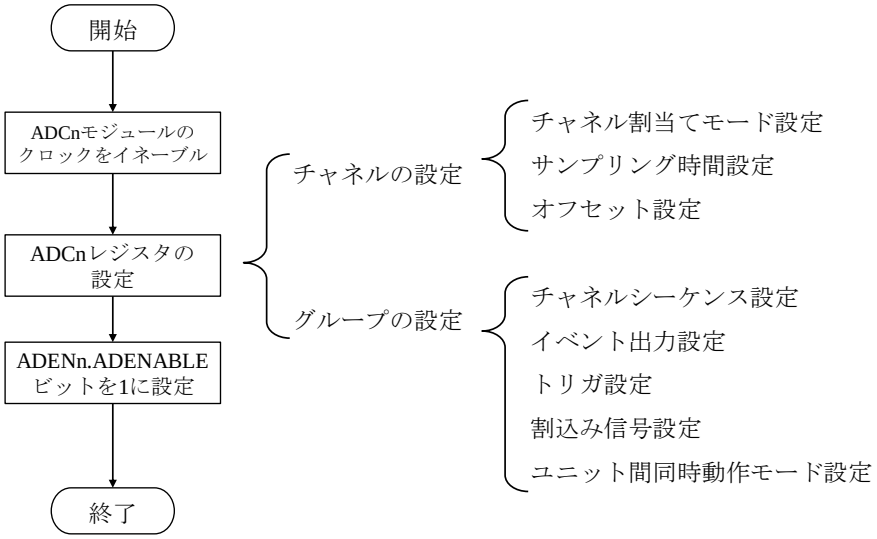


図 22-2　初期化処理の流れ

ADC が動作している間に、GPIO、コンパレータ、PWM、タイマ、DSAC、EPU、CPU からのトリガを受け取り、そのトリガで起動するグループがあると、変換処理を開始します。このトリガを、起動トリガと呼びます。例外として、CPU からのトリガは、ADENn レジスタの値に関係なく変換処理を開始します。しかし、ADENn.ADENABLE ビットが 0 のときに CPU からトリガを受け取った場合は注意が必要です。このとき、ADC は、コンパレータに電源電圧が印加されていないため、正しい変換結果を作ることができません。また、ADC が待機状態（ADC が変換処理をしていない状態）のときに起動トリガを受け取ると、どのグループを処理するか選択してから、変換処理を開始します。このグループの選択に 1 サイクルを消費します。すなわち、CPU トリガの ADLOOP トリガは、他のトリガと比べて 1 サイクル遅れて動作します。

ADC は入力をデジタル変換する前に、内部の容量に電位を蓄えます（サンプル／ホールド）。サンプリング時間は、各チャネルで設定された時間（1 サイクル～256 サイクル）に従います。サンプル／ホールドをした後、容量の値をデジタル変換します。変換アルゴリズムは二分探索による逐次比較方式で、12 サイクルかかります。

図 22-3 に示すように、トリガを受け取ってから最初のチャネルの変換処理にかかる時間は、サンプリング時間 t + 13 サイクルです。

© SANKEN ELECTRIC CO., LTD. 2017

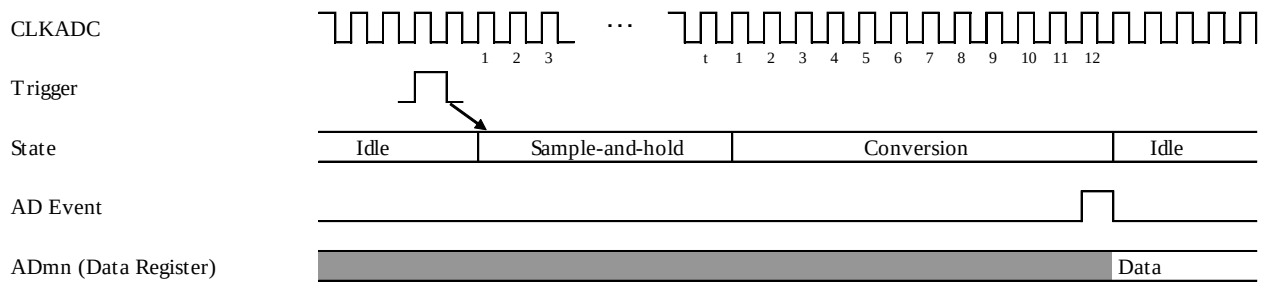


図 22-3　二分探索で 1 つのチャネルを変換するタイミング

2 つ目以降のチャネルやグループの処理は連続して行われるため、変換処理にはサンプリング時間 t + 12 サイクルかかります。デジタル値に変換した結果は、オフセットを加算してから、チャネルごとに ADmn レジスタに格納されます。ADC は、各チャネルの変換処理が完了したときに、グループごとの ADC イベントを発生させます。また、ADC は、各グループの処理が完了したときに割込み信号を発生させます。割込み信号は自動的にクリアされないため、ユーザが割込み信号をクリアしてください。

図 22-4、図 22-5、図 22-6 に、基本的な動作のタイミングを示します。図 22-4 は、チャネル a を変換するグループ x を起動するトリガを発行したときの基本動作です。図 22-5 は、チャネル a とチャネル b を変換するグループ x を起動するトリガを発行したときの基本動作です。図 22-6 は、1 つのトリガで複数のグループ（グループ x とグループ y）を起動し、さらに実行中に別のグループ z を起動するトリガを発行したときの基本動作です（グループ z は、グループ y より優先順位が高いとします）。

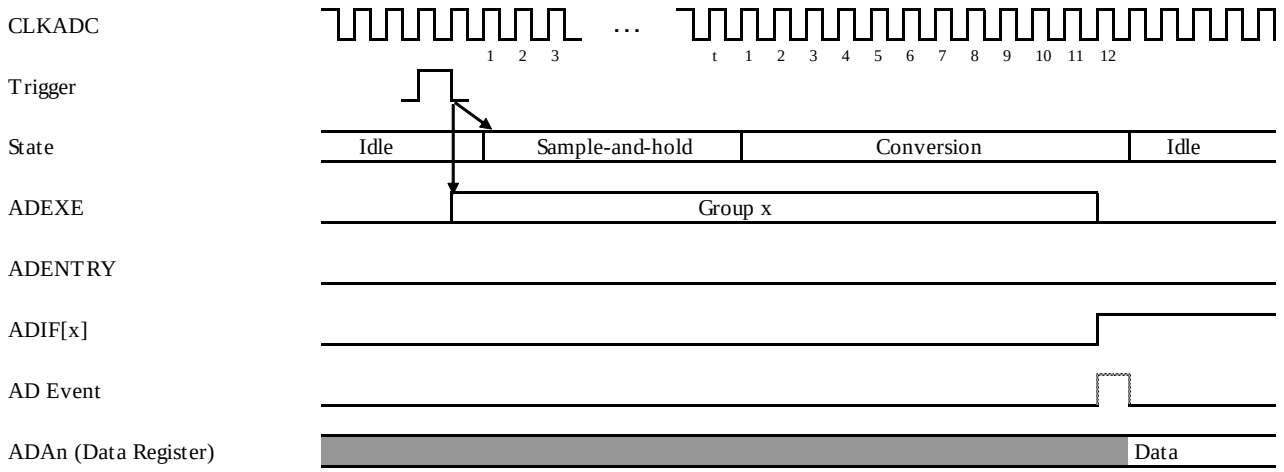


図 22-4　1 つのチャネルを変換するグループの基本動作タイミング

© SANKEN ELECTRIC CO., LTD. 2017

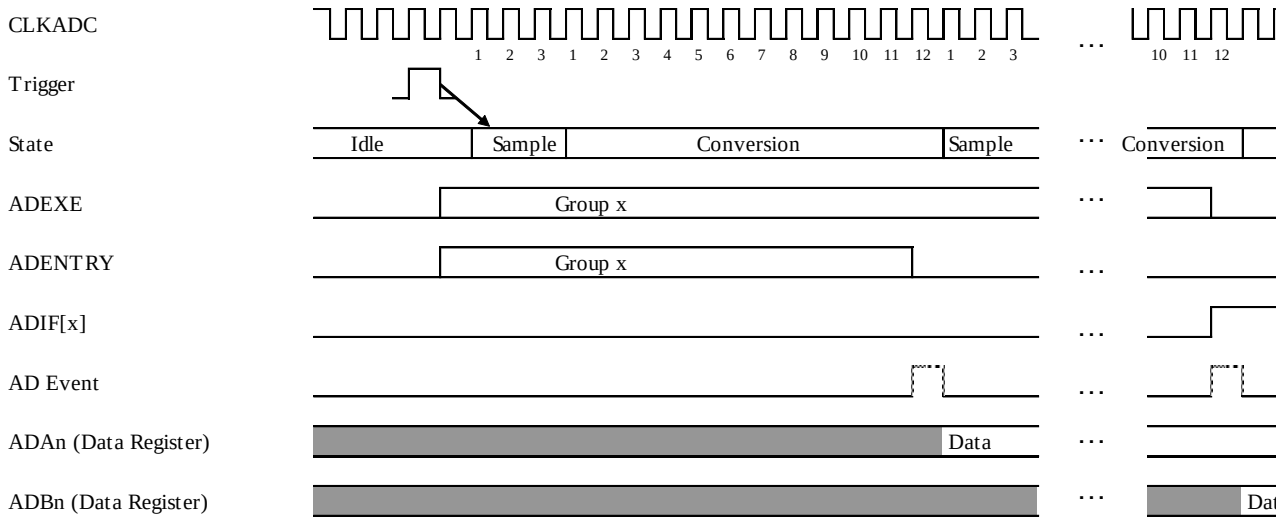


図 22-5　2 つのチャネルを変換するグループの基本動作タイミング

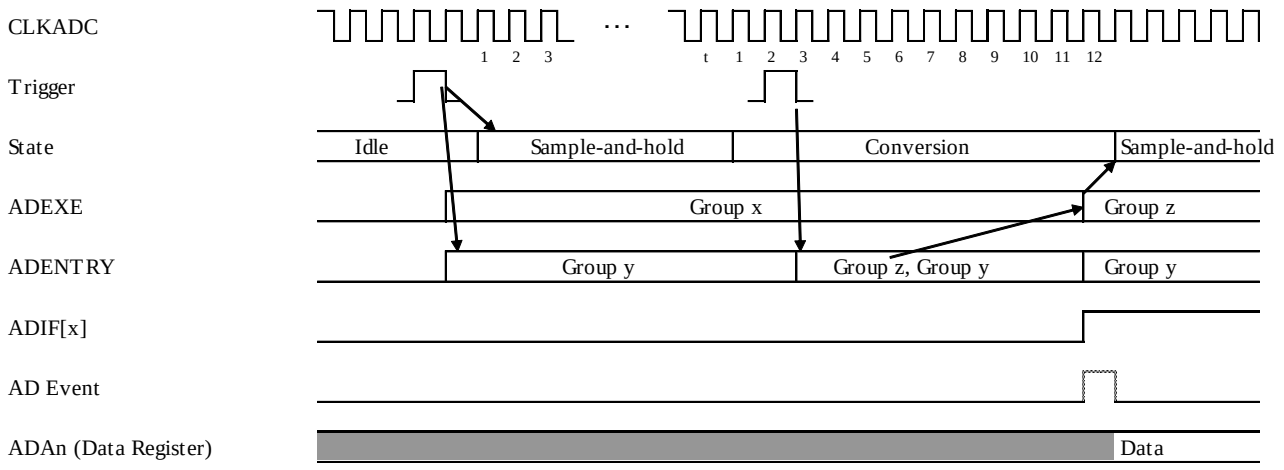


図 22-6　2 つ以上のグループを動かす基本動作タイミング

22.3.2.　レジスタアクセス

レジスタにアクセスする際は、以下の注意が必要です。

- XDATA BUS と SFR BUS の ADOmn レジスタに同時に書き込まれた場合は、XDATA BUS レジスタが優先されます。
- ADIFn レジスタのセットとリセットが同時に発生した場合は、セットが優先されます。
- ADmn レジスタを CPU（8 ビットアクセス）で読み出す際は、1 回目のアクセスで下位 8 ビットのデータを、2 回目のアクセスで上位 8 ビットのデータを取得します。この下位ビットと上位ビットの読出し動作は、必ず連続して行ってください。

© SANKEN ELECTRIC CO., LTD. 2017

22.4. アナログ入力とチャネル

各 ADC には、12 個のアナログ入力があります。アナログ入力には、固有のチャネル番号（0～11）が割り当てられています。チャネル番号の割当ては、表 22-5 を参照してください。ADCn.CHCONMODE ビットで、アナログ入力に割り当てられるチャネル番号を設定します。

各アナログ入力にはスイッチがあります。このスイッチがオフの間は、アナログ入力がハイインピーダンスになります。サンプリング時は 1 つの入力スイッチだけがオンになり、アナログ入力端子と ADC 内部のサンプリング容量が接続されます。なお、ADENn.ADENABLE ビットを 0 にすると、変換処理が実行中でも、すべてのアナログ入力のスイッチはオフになります。

以降の項では、チャネルの設定項目であるサンプリング時間とオフセットについて説明します。

表 22-5　アナログ入力に対するチャネル番号の割当て

ADC0			ADC1		
アナログ入力	チャネル番号		アナログ入力	チャネル番号	
	モード 0	モード 1		モード 0	モード 1
ANEX0	0	11	ANEX0	0	11
ANEX1	1	10	ANEX1	1	10
ANEX2	2	9	ANEX2	2	9
ANEX3	3	8	ANEX3	3	8
ANEX4	4	7	ANEX4	4	7
ANEX5	5	6	ANEX5	5	6
ANEX6	6	5	ANEX6	6	5
ANEX7	7	4	ANEX7	7	4
ANEX8	8	3	ANEX12	8	3
ANEX9	9	2	ANEX13	9	2
ANEX10	10	1	TEMP	10	1
ANEX11	11	0	VREF	11	0

22.4.1. サンプル

サンプルの目的は、ADC 内部のサンプリング容量に電荷を注入し、アナログ入力電位と ADC 内部のサンプリング容量電位を等しくすることです。サンプリングサイクルは、チャネルごとに ADNSMPmn レジスタで設定できます。

入力スイッチをオンにすると、ADC のアナログ入力端子が ADC 内部のサンプリング容量に接続されます。このサンプリング容量の電位は不定です。サンプリングサイクルの間は、サンプリング容量の電位とアナログ入力の電位が同じになるように、電流が流れます。

各チャネルのサンプリング時間は、ADNSMPmn レジスタで 1 サイクル～256 サイクルに設定できます。この設定は、すべてのグループで共通です。なお、ADNSMPmn レジスタを 0x00 に設定した場合は、サンプリング時間は 256 サイクルとみなされます。

ADC は、LSI の外にある、電位を測定したい箇所のインピーダンスが 0、かつサンプリング時間が 3 サイクルのときに、29 項の電気的特性に記載されている誤差範囲内に収まるように設計されています。サンプリング時間を短くすると、内部のサンプリング容量の電荷が十分に変化せず、正しい変換結果が得られない場合があります。逆に、サンプリング時間を長くするほど、誤差は小さくできますが、変換にかかる時間は長くなります。電位を測定したい箇所のインピーダンスの大きさに応じて、適切なサンプリング時間を設定してください。

© SANKEN ELECTRIC CO., LTD. 2017

22.4.2. オフセット

デジタル値に変換した結果を各チャネルに出力する前に、加算するオフセットを設定できます。チャネル m のオフセットを設定する場合は、符号付き 13 ビットの値（−4096～4095）を ADOmn レジスタに書き込んでください。この設定は、すべてのグループで共通です。

ADOmn レジスタは、XDATA BUS と SFR BUS からアクセスできます。

なお、結果をレジスタに格納するまでにかかるサイクル数は、オフセットの設定にかかわらず一定です。

22.5. グループ

ADC は、いつ起動するか、どのチャネルをどの順番で処理するかをグループで管理します。1 つの ADC で最大 8 つのグループを使用でき、各グループには 0～7 の番号が割り振られています。

各グループには、起動トリガ、チャネルシーケンス、イベント発生チャネル、割込み信号のイネーブル／ディスエーブルの情報を設定する必要があります。

以降の項では、ADC が実行するグループの処理方法とグループの設定項目について説明します。

22.5.1. グループの状態

各グループでは、実行状態とエントリー状態が別々に管理されています。

実行状態は、現在グループを処理しているかどうかを示します。実行状態には、2 つの状態（実行中と停止中）があります。グループ m の実行状態は、ADEXEn.EXECUTIONm ビットから取得できます。ADEXEn.EXECUTIONm ビットが 1 のとき、グループ m は実行中です。

エントリー状態は、ADC にチャネルの変換処理をエントリーしているかどうかを示します。エントリー状態には、2 つの状態（エントリーされている状態と、エントリーされていない状態）があります。グループが ADC にチャネルの変換要求をする必要がなくなると（チャネルシーケンスの最後のチャネルの処理を開始すると）、エントリー状態をエントリーされていない状態にします。グループ m のエントリー状態は、ADENTRYn.ENTRYm ビットから取得できます。ADENTRYn.ENTRYm ビットが 1 のとき、グループ m はエントリーされている状態です。このように、各グループは、2 つの実行状態と 2 つのエントリー状態をかけ合わせた 4 つの状態を遷移します。この 4 つの状態を分類すると、表 22-6 になります。

表 22-6　グループの状態

実行状態	エントリー状態	グループの状態
停止中	エントリーされていない	停止
	エントリーされている	待機中
実行中	エントリーされていない	最後のチャネルを処理中
	エントリーされている	最後以外のチャネルを処理中 または 最後のチャネルを処理中かつ次の処理の待機中

22.5.2. グループの起動から完了までの処理

本項では、グループが起動トリガを受け取ってから、グループが起動して、ADC が変換処理し、グループが完了するまでの流れについて説明します。

グループを起動するためには、グループの起動トリガを受け取る必要があります。起動トリガの詳細は、22.5.6 項で説明します。グループが起動トリガを受け取ると、エントリー状態はエントリーされている状態に変更されます。実行状態は変化しません。

ADC が起動トリガを受け取ったり、実行中のグループの処理を完了したりすると、ADC は次の実行グ

© SANKEN ELECTRIC CO., LTD. 2017

ループを選択します。ADC は、エントリーされている状態のグループの中からグループ番号の最も小さなものを選択し、実行状態にします。このとき、起動トリガを受け取った順番は、考慮されません。ADC が、最後に受け取った起動トリガでも、そのグループ番号が最も小さければ、そのグループが選択されます。

グループが起動状態に入ると、ADC は、チャネルシーケンスのすべてのチャネルを、チャネル番号の小さい順番に処理します。チャネルシーケンス内で、グループが変換するチャネルを設定します。チャネルシーケンスの詳細については、22.5.4 項で説明します。イベント発生の指定がある場合は、各チャネルの処理が完了するたびに、ADC イベントが発行されます。

グループがエントリーされている状態のとき、ADC は起動トリガを受け取っても無視されます。ただし、ADC が、最後のチャネルの処理を開始すると、グループのエントリー状態はエントリーされていない状態になります。したがって、グループが最後のチャネルを処理している間は、この実行中のグループも起動トリガを受け取ることができます。

なお、グループのチャネルシーケンスにチャネルが 1 つしかない場合、以下のような動作になります。

- グループを実行状態にすると、同時にそのグループのエントリー状態がエントリーされていない状態になります。
- 起動トリガを受け取った直後にグループが起動すると、エントリー状態は、最後のエントリーされていない状態を維持します。

チャネルシーケンスのすべてのチャネルの処理が終わると、グループは ADIFn レジスタの割込み信号フラグを 1 にして処理を完了します。

22.5.3. 実行グループの選択処理

ADC が起動トリガを受け取ったり、実行中のグループの処理を完了したりすると、ADC は次の実行グループを選択します。ADC は、エントリーされている状態のグループの中からグループ番号の最も小さなものを選択し、実行状態にします。このとき、起動トリガを受け取った順番は、考慮されません。ADC が、最後に受け取った起動トリガでも、そのグループ番号が最も小さければ、そのグループが選択されます。

また、グループがエントリーされている状態で、起動トリガを複数回受け取った場合でも、その回数に関係なく、グループが実行されるとエントリー状態は必ずエントリーされていない状態になります。このグループに再度エントリーしたい場合は、エントリーされていない状態のときに再度起動トリガを発行する必要があります。常にエントリーされている状態にしておきたい場合は、CPU トリガの ADLOOP トリガを使用してください。ADLOOPn.LOOPm ビットを 1 に設定すると、サイクルごとに、自動的に起動トリガを発行し続けることができます。ADLOOPn レジスタの詳細については、22.5.6.3 項を参照してください。

22.5.4. チャネルシーケンス

各グループには、どのチャネルを処理するかを設定するチャネルシーケンスがあります。グループ m でチャネル m を処理するように設定する場合は、ADSmLn レジスタか ADSmHn レジスタにある ADSCHm ビットを 1 に設定します。このとき、1 回のグループ処理で、1 つのチャネルを複数回変換させる設定はできません。例として、グループ 1 で 3 つのチャネル（チャネル 1、チャネル 5、チャネル 11）を処理させたい場合は、0b0000_1000_0010_0010（2 進数）を ADS1Ln レジスタと ADS1Hn レジスタに書き込みます。ここで、下位 8 ビット（0b0010_0010）は ADS1Ln レジスタに、上位 8 ビット（0b0000_1000）は ADS1Hn レジスタに書き込みます。

ADC がグループを処理するときは、チャネルシーケンスに登録されたすべてのグループのチャネル番号の小さいものから順に、変換処理します。ADC がグループを処理している間は、そのグループのチャネルシーケンス（ADSmHn レジスタと ADSmLn レジスタの設定値）を書き換えないでください。

22.5.5. イベント発生チャネル

イベントを発生させるかどうかは、チャネルごとに ADEVTmn レジスタで設定できます。ADSmHn レジスタと ADSmLn レジスタと同様に、グループ m でチャネル m を処理するように設定する場合は、

© SANKEN ELECTRIC CO., LTD. 2017

ADEVTmLn レジスタと ADEVTmHn レジスタの ADEVTm ビットを 1 に設定します。この値は、チャネルシーケンスの値（ADSmHn レジスタと ADSmLn レジスタの値）と異なっていても問題ありません。

例として、グループ 0 で、チャネル 1、チャネル 5、チャネル 11 のイベントを発生させたい場合は、0b0000_1000_0010_0010（2 進数）を ADEVT0Ln レジスタと ADEVT0Hn レジスタに書き込みます。ここで、下位 8 ビット（0b0010_0010）は ADEVT0Ln レジスタに、上位 8 ビット（0b0000_1000）は ADEVT0Hn レジスタに書き込みます。

ADC イベントの詳細については、22.6.2 項を参照してください。

22.5.6. 起動トリガ

各グループでは、以下の 3 つを起動トリガとして使用できます。これら 3 つのトリガに区別はなく、すべて同じ起動トリガとして使用できます。

- イベントによるトリガ（GPIO トリガ、コンパレータトリガ、PWM トリガ、タイマトリガ、DSAC トリガ、EPU トリガから 1 つ選択）
- CPU からの ADC トリガ
- CPU からの ADLOOP トリガ

22.5.6.1. イベントによる起動トリガ

グループ m の起動トリガを指定する場合、起動トリガを表 22-7 から選択し、そのトリガに対応するトリガ番号を、ADSTSELmn レジスタに設定します。起動トリガを指定しない場合は、ADSTSELmn レジスタを 0 に設定してください。また、1 つのトリガを複数のグループの起動トリガに指定できます。

なお、トリガ番号 1～9 を使用する場合は、EVC モジュールのクロックをイネーブル（MCLKE1.ME_EVC = 1）にする必要があります。トリガ番号 34～57 を使用する場合は、ADC へのイベント入力を EVC モジュールのレジスタ（EVSEL5、EVSEL6、EVSEL7、EVSEL8 のいずれか）で、設定する必要があります。

表 22-7　トリガ番号

Number	Trigger Type	Number	Trigger Type	Number	Trigger Type
0	—	20	TMR1_CMA	40	EPU0_8/EPU1_8
1	GPIO0 rise	21	TMR1_CMB	41	EPU0_9/EPU1_9
2	GPIO0 fall	22	TMR2_CMA	42	EPU2_2/EPU3_2
3	GPIO0 both	23	TMR2_CMB	43	EPU2_3/EPU3_3
4	GPIO1 rise	24	TMR3_CMA	44	EPU2_4/EPU3_4
5	GPIO1 fall	25	TMR3_CMB	45	EPU2_5/EPU3_5
6	GPIO1 both	26	PWM0_0	46	EPU2_6/EPU3_6
7	GPIO2 rise	27	PWM0_1	47	EPU2_7/EPU3_7
8	GPIO2 fall	28	PWM1_0	48	EPU2_8/EPU3_8
9	GPIO2 both	29	PWM1_1	49	EPU2_9/EPU3_9
10	CMP0	30	PWM2_0	50	EPU4_2/EPU5_2
11	CMP1	31	PWM2_1	51	EPU4_3/EPU5_3
12	CMP2	32	PWM3_0	52	EPU4_4/EPU5_4
13	CMP3	33	PWM3_1	53	EPU4_5/EPU5_5
14	CMP4	34	EPU0_2/EPU1_2	54	EPU4_6/EPU5_6
15	CMP5	35	EPU0_3/EPU1_3	55	EPU4_7/EPU5_7
16	—	36	EPU0_4/EPU1_4	56	EPU4_8/EPU5_8
17	—	37	EPU0_5/EPU1_5	57	EPU4_9/EPU5_9
18	TMR0_CMA	38	EPU0_6/EPU1_6		
19	TMR0_CMB	39	EPU0_7/EPU1_7		

© SANKEN ELECTRIC CO., LTD. 2017

22.5.6.2. ADT トリガ

ADTn レジスタは、CPU から ADC に起動トリガを発行するためのレジスタです。CPU トリガは、グループの起動トリガにあらかじめ設定されているため、設定の変更はできません。

ADTn レジスタへの 1 回の書込みで、トリガが 1 つ発行されます。CPU からグループ m に起動トリガを発行したい場合は、ADTn.TRIGGERm ビットを 1 に設定します。このレジスタは、書込み専用です。

22.5.6.3. ADLOOP トリガ

ADLOOPn レジスタは、CPU から ADC に起動トリガを発行するためのレジスタです。CPU トリガは、グループの起動トリガにあらかじめ設定されているため、設定の変更はできません。

CPU からグループ m に起動トリガを発行したい場合は、ADLOOPn.LOOPm ビットを 1 に設定します。ADLOOPn.LOOPm ビットが 1 の間は、サイクルごとに ADC に対してグループ m の起動トリガを発行し続けます。この起動トリガの発行を停止するためには、ADLOOPn.LOOPm ビットを 0 に設定してください。

ADLOOP トリガは、値を常に監視したいチャネルに対し、CPU のリソースを使わずに ADC を動かし続ける場合などに使用することを想定しています。

なお、ADLOOP トリガは、レジスタに値が格納された後に起動トリガを発行するため、ADC が待機状態から起動するまでの時間は、ADT トリガよりも 1 サイクル遅れます。

22.5.7. 割込み信号のイネーブル／ディスエーブル設定

ADIENn.IENm ビットを 1 に設定すると、グループ m の割込み信号がイネーブルになります。

ADC は、グループ m の処理が完了すると、ADIFn.IFLGm ビットを 1 に設定し、グループ m の割込みフラグを 1 にします。ここで、グループの割込み信号がイネーブルにされていないと、ADC からの割込み信号が発生しません。

割込み信号の詳細については、22.6.3 項を参照してください。

© SANKEN ELECTRIC CO., LTD. 2017

22.6. 出力

22.6.1. 変換結果の取得

ADC は、符号付き 16 ビットの値を ADmn レジスタに格納します。この符号付き 16 ビットの値は、チャネル m の入力をデジタル変換した符号なし 12 ビットの値（0～4095）と、ADOmn レジスタに設定された符号付き 13 ビットのチャネルのオフセット（−4096～4095）を加算した結果です。

CPU から ADmn レジスタを読み出すときに、1 回で読み出しできるデータ量は 8 ビットです。そのため、16 ビットのデータを取得する場合は 2 回に分けて読み出す必要があります。ADmn レジスタから 2 回連続で読み出すと、1 回目に下位 8 ビットを取得し、2 回目に上位 8 ビットを取得します。ADmn レジスタは、2 回連続して読み出すことを基本とします。1 回目の下位ビットを読み出した後、再度 1 回目の下位ビットの読出しからやり直す場合は、ADACCLRn レジスタを 1 に設定します。

DSAC や EPU から読み出す場合は、一度ですべてのデータ（16 ビット）を読み出せます。

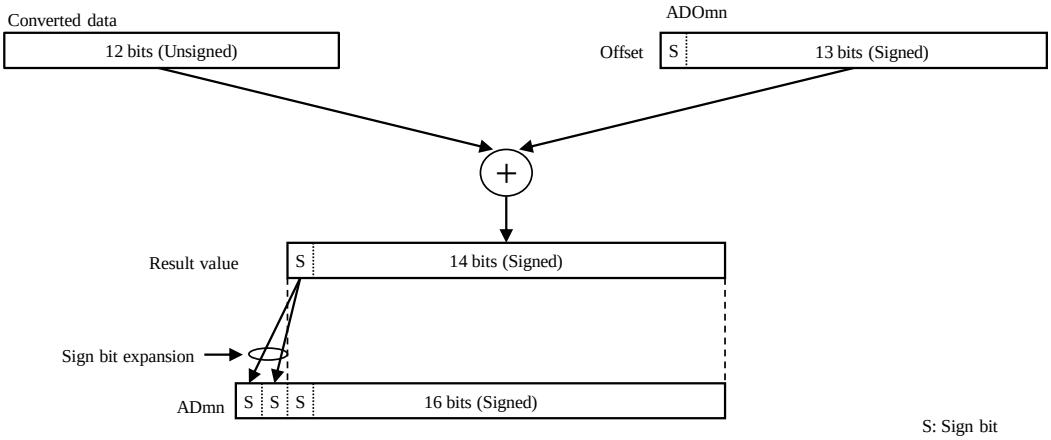


図 22-7　オフセットの加算方法

22.6.2. ADC イベント

ADC は、各チャネルの変換が完了した際に、指定があれば ADC イベントを発行します。ADC イベントは、グループごとに異なる信号を発行します。このとき、同じグループであれば、チャネルが異なっても、同じ ADC イベントを発行します。

各グループの各チャネルにおけるイベントの発行有無は、ADEVTmHn レジスタと ADEVTmLn レジスタで設定します。1 つのグループの処理を実行している間に、複数の ADC イベントを発行することもできます。

22.6.3. 割込み信号

ADC の割込み信号は、割込みフラグが 1 かつ割込み信号がイネーブルにされているグループが存在する場合に発生します。割込み信号がイネーブルにされていないグループの割込みフラグは、無視されます。グループ m の割込み信号をイネーブルにする場合は、ADIENn.IENm ビットを 1 に設定します。

各グループの割込みフラグは、割込みのイネーブル／ディスエーブルに関係なく、各グループの処理が完了したときに 1 になります。また、一度 1 になった割込みフラグは、ユーザがクリアしない限り 0 になりません。グループ m の割込みフラグは、ADIFn.IFLGm ビットを 1 に設定するとクリアされます。すべての割込みフラグをクリアしたい場合は、ADIFn レジスタに 0xFF を書き込んでください。割込みフラグのクリアと ADC によるセットが同時に発生した場合は、ADC によるセットが優先されます。

ADIFn レジスタで、どのグループの処理が完了したかを確認することもできます。

© SANKEN ELECTRIC CO., LTD. 2017

22.7. ユニット間同時動作

通常、ADC0 と ADC1 の変換は独立して処理されますが、ADC0 と ADC1 の両方の ADSYNCn.SYNCHRONOUS ビットを 1 に設定すると、グループ 0 の変換開始のタイミング（サンプル／ホールドに入るタイミング）を同じにすることができます（図 22-8 参照）。このモードを、ユニット間同時動作モードと言います。ADSYNCn.SYNCHRONOUS ビットは、必ず ADC0、ADC1 ともに同じ値に設定してください。同時動作モードで、ADC0 と ADC1 を同期させるために必要な期間は、ADEXEn レジスタが変化してから 3 サイクルです。

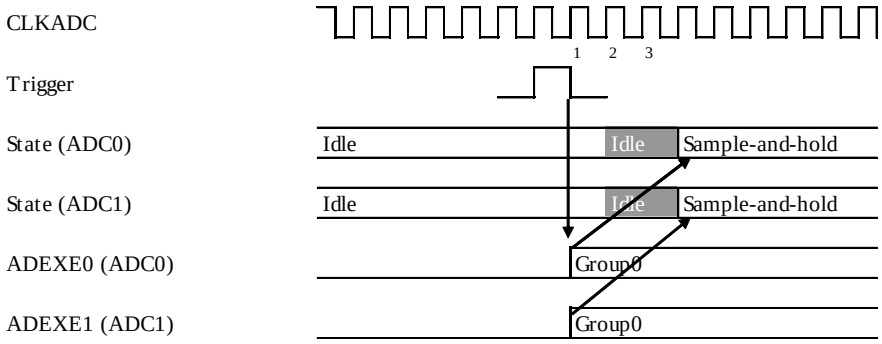


図 22-8　同じトリガで同時に起動する場合のタイミング

ユニット間同時動作モードの間は、ADC0 か ADC1 のどちらか一方がグループ 0 を実行しようとすると、もう一方がグループ 0 を実行するまで、待機状態に入ります。ADC0 と ADC1 の両方の ADEXEn.EXECUTION0 ビットが 1 になると、ADC0 と ADC1 が同時にグループ 0 の変換処理を開始します。

図 22-9 と図 22-10 に、基本的なユニット間同時動作のタイミングを示します。

ADC0 か ADC1 のどちらか一方の ADSYNCn.SYNCHRONOUS ビットだけを 1 にした場合は、ADSYNCn.SYNCHRONOUS ビットが 0 の方の ADC の ADEXEn.EXECUTION0 ビットが 1 にならないため、いったん待機状態に入ると、その状態を継続します。したがって、ADSYNCn.SYNCHRONOUS ビットの値は必ず ADC0、ADC1 ともに同じ値に設定する必要があります。

ADSYNCn.SYNCHRONOUS ビットを 0 にすると、ADC は待機状態から復帰し、グループ 0 の処理を開始します（図 22-11 参照）。

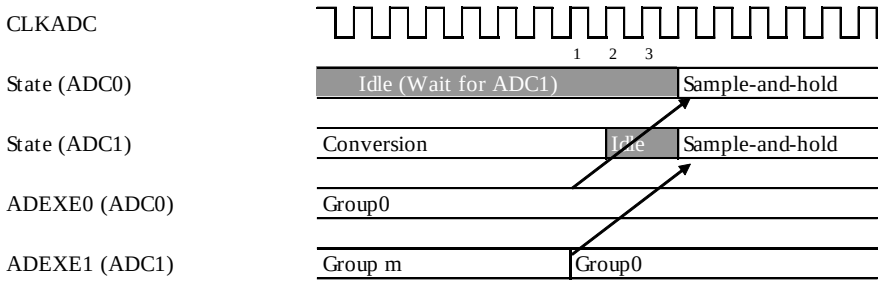


図 22-9　ADC1 がグループ m の処理を終えて、グループ 0 を ADC0 と同時に開始する場合のタイミング

© SANKEN ELECTRIC CO., LTD. 2017

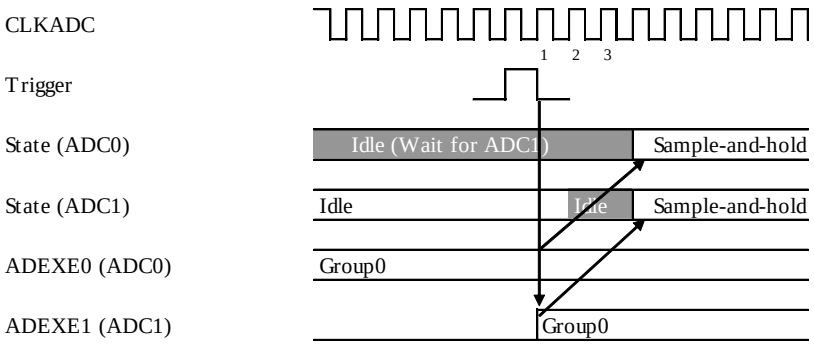


図 22-10　トリガを受けて、ADC1 がグループ 0 を起動する場合のタイミング

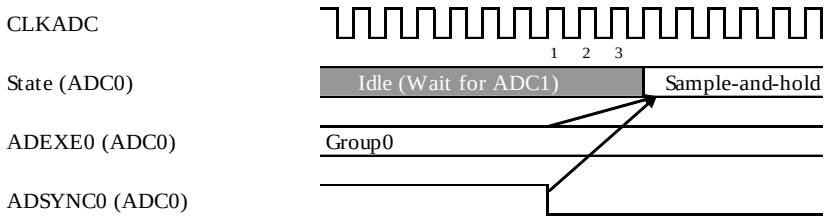


図 22-11　ADSYNC0.SYNCHRONOUS ビットを 0 に設定して、ADC0 の待機を解除する場合のタイミング

22.8. 注意、制限事項

変換動作中に、ADCn レジスタを書き換えないでください。

© SANKEN ELECTRIC CO., LTD. 2017

23. オペアンプ（OPAMP）

23.1. 概要

本 LSI は、スタンドアロン型かユニティ（ボルテージフォロワ）型を選択できる汎用オペアンプを搭載しています。また、オペアンプ（OPAMP）の入出力は外部端子だけでなく内部リソースにも接続できます。これらは、対応するレジスタで設定できます。

表 23-1　OPAMP 機能概要

項目	説明	備考
ユニット数	2 ユニット	
選択可能な形態	- スタンドアロンモード - ユニティモード（×1 または×4） - 低消費電力モード - イベントによるイネーブル／ディスエーブルの制御 - ＋入力バイパス機能	IBIAS の低消費電力モードは SYSC に設定ビットを持ちます。

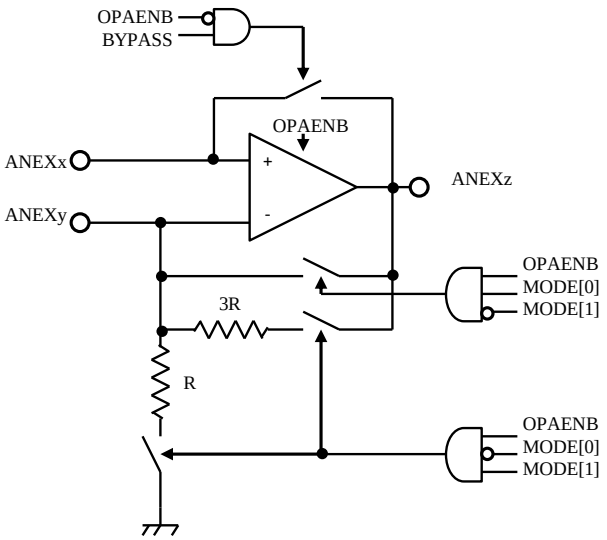


図 23-1　OPAMP のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

23.2. レジスタ説明

表 23-2　レジスタ一覧

Symbol	Name	Address	Initial Value
MIXOPA0	Mix OPAMP0 Configuration Register	0xF600	0x00
MIXPGA0	Mix OPAMP0 PGA Configuration Register	0xF601	0x00
MIXEEVCR0	Mix OPAMP0 Enable Event Control Register	0xF602	0x00
MIXDEVCR0	Mix OPAMP0 Disable Event Control Register	0xF603	0x00
MIXOPA1	Mix OPAMP1 Configuration Register	0xF680	0x00
MIXPGA1	Mix OPAMP1 PGA Configuration Register	0xF681	0x00
MIXEEVCR1	Mix OPAMP1 Enable Event Control Register	0xF682	0x00
MIXDEVCR1	Mix OPAMP1 Disable Event Control Register	0xF683	0x00

23.2.1. MIXOPAn (Mix OPAMP n Configuration Register) (n = 0 to 1)

Register	MIXOPA0	Mix OPAMP0 Configuration Register	Address	0xF600
Register	MIXOPA1	Mix OPAMP1 Configuration Register	Address	0xF680

Bit	Bit Name	R/W	Initial	Description	Remarks
7	OPAENB	R/W	0	OPAMP イネーブル 0：OPAMP をディスエーブル 1：OPAMP をイネーブル ディスエーブルイベントを検出すると、本ビットは 0 になります。 イネーブルイベントを検出すると、本ビットは 1 になります。 本ビットへのライトとイベントによる書換えが同時に発生した場合は、ライトを優先します。	
6	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

23.2.2. MIXPGAn (Mix OPAMP n PGA Configuration Register) (n = 0 to 1)

Register	MIXPGA0	Mix OPAMP0 PGA Configuration Register	Address	0xF601
Register	MIXPGA1	Mix OPAMP1 PGA Configuration Register	Address	0xF681

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BYPASS	R/W	0	＋入力と出力の接続 0：接続しない 1：＋入力と出力を接続 OPAENB ビットが 0 のときだけ有効です。 OPAENB ビットが 1 のときはこの設定にかかわらず、＋入力と出力は接続されません。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R/W	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	MODE	R/W	0	OPAMP 動作モードの選択 00：オペアンプ 01：ユニティ（×1） 10：ユニティ（×4） 11：使用禁止	
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

23.2.3. MIXEEVCRn (Mix OPAMP n Enable Event Control Register) (n = 0 to 1)

Register	MIXEEVCR0	Mix OPAMP0 Enable Event Control Register	Address	0xF602
Register	MIXEEVCR1	Mix OPAMP1 Enable Event Control Register	Address	0xF682

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	EVON	R/W	0	OPAMP イネーブルイベントの選択 00000：選択なし、OPAENB ビットのライトだけで OPAMP イネーブル 00001：TMR0_CMA 00010：TMR0_CMB 00011：TMR1_CMA 00100：TMR1_CMB 00101：TMR2_CMA 00110：TMR2_CMB 00111：TMR3_CMA 01000：TMR3_CMB 01001：PWM0_0 01010：PWM0_1 01011：PWM1_0 01100：PWM1_1 01101：PWM2_0 01110：PWM2_1 01111：PWM3_0 10000：PWM3_1 10001：EPU0 10010：EPU1 10011：EPU2 10100：EPU3 10101：EPU4 10110：EPU5 その他：使用禁止	
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

23.2.4. MIXDEVCRn (Mix OPAMP n Disable Event Control Register) (n = 0 to 1)

Register	MIXDEVCR0	Mix OPAMP0 Disable Event Control Register	Address	0xF603
Register	MIXDEVCR1	Mix OPAMP1 Disable Event Control Register	Address	0xF683

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	EVOFF	R/W	0	OPAMP ディスエーブルイベントの選択 00000：選択なし、OPAENB ビットのライトだけで OPAMP ディスエーブル 00001：TMR0_CMA 00010：TMR0_CMB 00011：TMR1_CMA 00100：TMR1_CMB 00101：TMR2_CMA 00110：TMR2_CMB 00111：TMR3_CMA 01000：TMR3_CMB 01001：ADC0_0 01010：ADC0_1 01011：ADC0_2 01100：ADC0_3 01101：ADC0_4 01110：ADC0_5 01111：ADC0_6 10000：ADC0_7 10001：ADC1_0 10010：ADC1_1 10011：ADC1_2 10100：ADC1_3 10101：ADC1_4 10110：ADC1_5 10111：ADC1_6 11000：ADC1_7 11001：EPU0 11010：EPU1 11011：EPU2 11100：EPU3 11101：EPU4 11110：EPU5 その他：使用禁止	
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

OPAMP.OPAENB ビットのイネーブル／ディスエーブルは、イベントで設定できます。

イベントは、MIXEEVCRn.EVON ビットと MIXDEVCRn.EVOFF ビットで選択します（0 以外）。MIXEEVCRn.EVON ビットで設定したイベントが発生したときに、OPAMP をイネーブル、MIXDEVCRn.EVOFF ビットで設定したイベントが発生したときにディスエーブルにできます。また、直接 OPAENB ビットを 1 に設定して OPAMP をイネーブルに、0 に設定してディスエーブルにできます。MIXEEVCRn.EVON ビットで設定したイベント（イネーブルイベント）と MIXDEVCRn.EVOFF ビットで設定したイベント（ディスエーブルイベント）が同時に発生した場合、イネーブルイベントが優先され、ディスエーブルイベントは無視されます。

図 23-2 に、イネーブルイベントに PWM、ディスエーブルイベントに AD 変換を選択した場合の OPAMP の動作例を示します。PWM イベントが発生し、OPAMP がイネーブルになるのと同時に、TMR カウンタをクリアします。TMR のコンペアマッチが発生すると、AD 変換を開始します。AD 変換終了のイベントが発生すると、OPAMP がディスエーブルになります。このように、AD 変換の間だけ OPAMP を動作させることで、消費電力を低減できます。ここで、TMR は、OPAMP のセトリング時間の生成に使用されます。

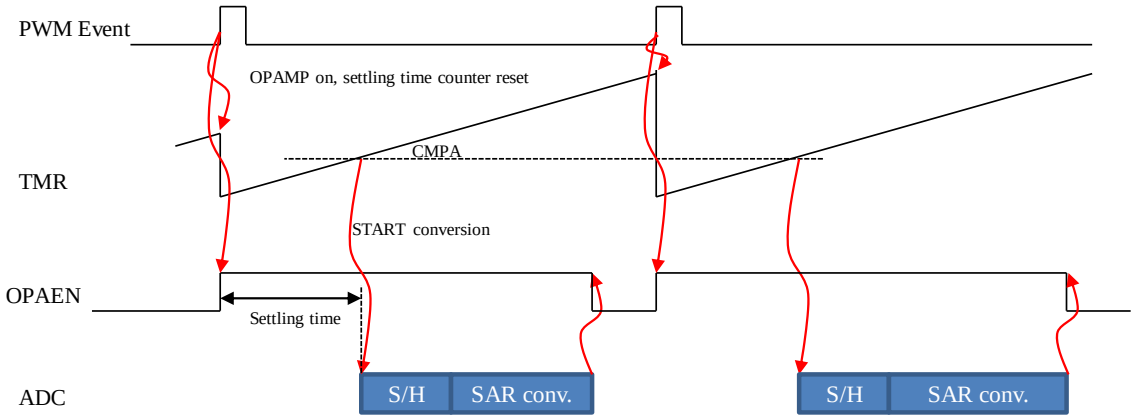


図 23-2　OPAMP の動作例

© SANKEN ELECTRIC CO., LTD. 2017

24. コンパレータ

24.1. 概要

本 LSI は、リファレンス電圧を生成するための DAC が付いた高速コンパレータを 6 ユニット搭載しています。

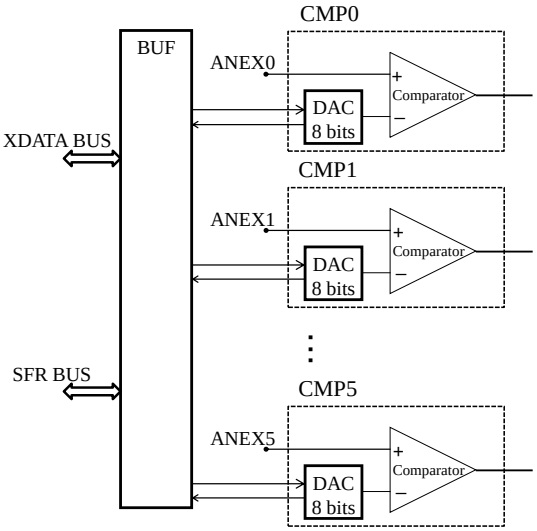


図 24-1　コンパレータのブロック図

表 24-1　コンパレータ機能概要

項目	説明
ユニット数	6 ユニット
リファレンス DAC	- R-2R 構造 - 分解能：8 ビット - 変換速度：29 項参照 - DAC 出力の更新をイベントで制御 CPU 書込み、DSAC 書込み コンパレータイベント、タイマイベント、PWM イベント - DAC 更新前後にコンパレータがイベントを生成しないようにマスク信号を生成
コンパレータ	- 応答速度：29 項参照 - ヒステリシスのイネーブル／ディスエーブル切換え機能 - 低消費電力モード - エッジ検出によるイベント／割込みの生成 - レベル検出によるイベント／割込みの生成 - 入力サンプリング、ノイズフィルタ機能 - サンプリング間隔設定機能 - PWM 信号によるコンパレータ出力マスク機能 - DAC 更新時のイベント検出停止機能 - レベル検出によるスタンバイ復帰 - LUT への出力機能

表 24-2　各コンパレータの入力端子

© SANKEN ELECTRIC CO., LTD. 2017

Unit No.	External Pin (−)	External Pin (+)
0	DAC0	ANEX0
1	DAC1	ANEX1
2	DAC2	ANEX2
3	DAC3	ANEX3
4	DAC4	ANEX4
5	DAC5	ANEX5

24.1.1. コンパレータ制御

高速コンパレータの入力信号は、それぞれ設定できます。高速コンパレータの出力は、割込み要求だけでなく他のモジュールのトリガイベントにも使用できます。図 24-1 にコンパレータのブロック図を示します。

以下にコンパレータの機能を示します。

- コンパレータ出力はグリッチフィルタを有しており、フィルタ期間は、1 サイクル～4 サイクル信号から選択できます。1 サイクルの幅はプリスケーラの設定で、最大 128 倍まで可変できます。
- コンパレータ出力は、DAC の設定値の更新時から 32 サイクルの期間マスクできます。
- PWM 信号を使用して、コンパレータ出力をマスクできます。8 本の PWM 信号から選択できます。
- コンパレータのヒステリシスの有無を選択できます。
- スローモードを使用して、コンパレータの応答速度を下げ、消費電流を低減できます。

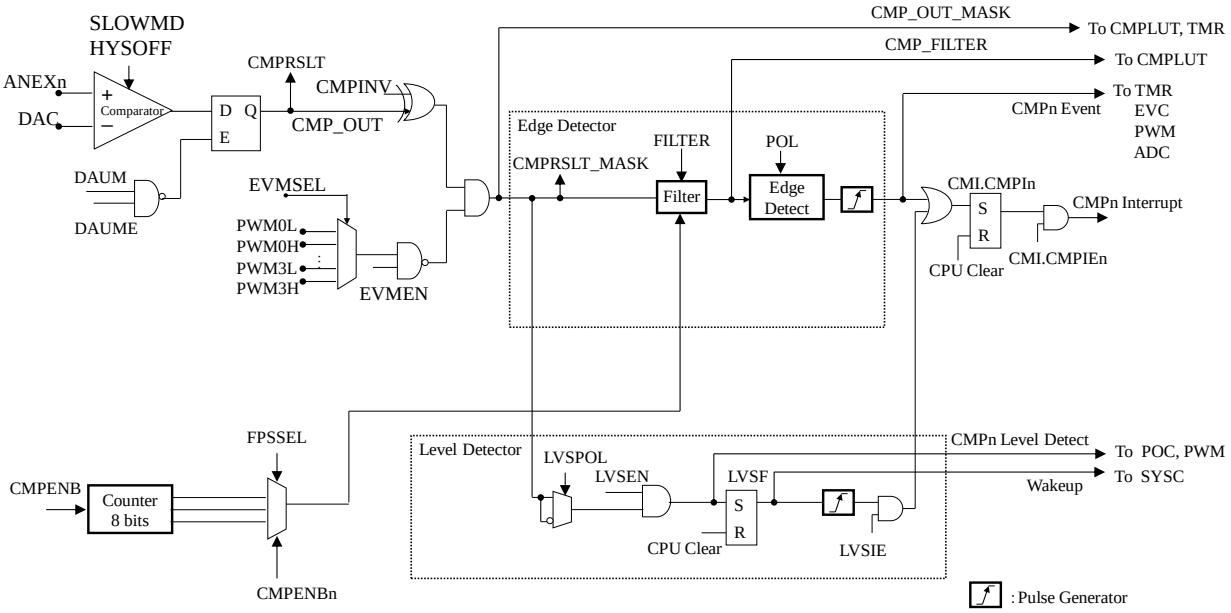


図 24-2　コンパレータのブロック図

© SANKEN ELECTRIC CO., LTD. 2017

24.1.2. DAC 制御

リファレンス電圧を生成するための 8 ビット DAC の出力レベルは、CPU、DSAC、コンパレータイベント、タイマイベント、または PWM イベントで更新されます。

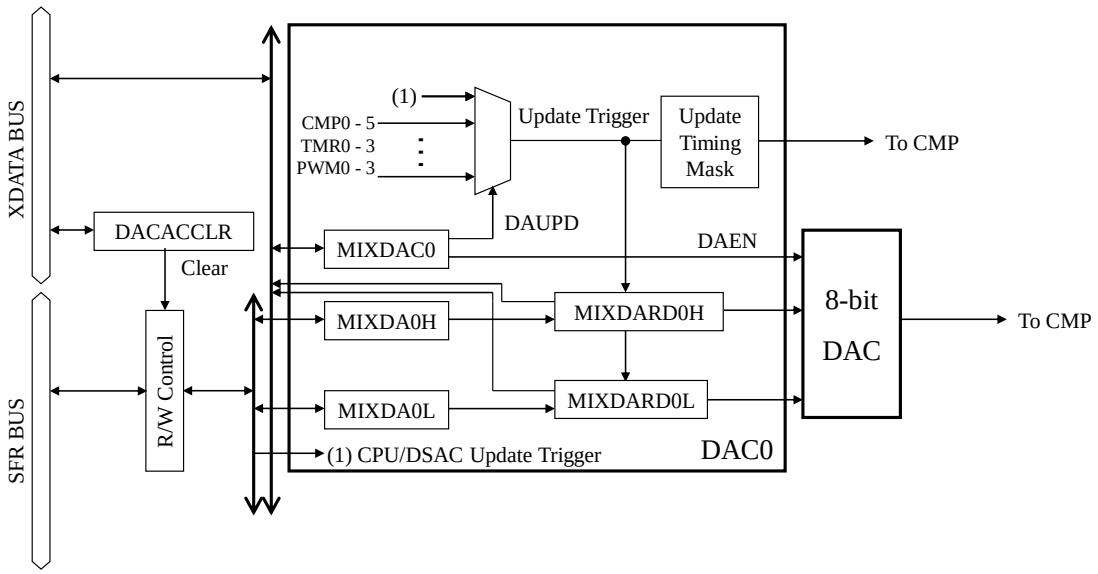


図 24-3　8 ビット DAC のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

24.2. レジスタ説明

表 24-3　XDATA BUS レジスター一覧

Symbol	Name	Address	Initial Value
MIXCMP0	Mix Comparator0 Configuration	0xF380	0x00
MIXCMS0	Mix Comparator0 Functional Select	0xF381	0x00
MIXCMR0	Mix Comparator0 Result	0xF382	0x00
MIXCMF0	Mix Comparator0 Function	0xF383	0x00
MIXCMEM0	Mix Comparator0 Event Mask	0xF384	0x00
MIXDAC0	Mix DAC0 Configuration	0xF3C0	0x00
MIXDARD0L	Mix DAC0 Read Data Low	0xF3C1	0x00
MIXDARD0H	Mix DAC0 Read Data High	0xF3C2	0x00
MIXDAFUNC0	Mix DAC0 Function	0xF3C3	0x00
DACACCLR0	Mix DAC0 Access Counter Clear Register	0xF3C4	0x00
MIXCMP1	Mix Comparator1 Configuration	0xF400	0x00
MIXCMS1	Mix Comparator1 Functional Select	0xF401	0x00
MIXCMR1	Mix Comparator1 Result	0xF402	0x0X
MIXCMF1	Mix Comparator1 Function	0xF403	0x00
MIXCMEM1	Mix Comparator1 Event Mask	0xF404	0x00
MIXDAC1	Mix DAC1 Configuration	0xF440	0x00
MIXDARD1L	Mix DAC1 Read Data Low	0xF441	0x00
MIXDARD1H	Mix DAC1 Read Data High	0xF442	0x00
MIXDAFUNC1	Mix DAC1 Function	0xF443	0x00
DACACCLR1	Mix DAC1 Access Counter Clear Register	0xF444	0x00
MIXCMP2	Mix Comparator2 Configuration	0xF480	0x00
MIXCMS2	Mix Comparator2 Functional Select	0xF481	0x00
MIXCMR2	Mix Comparator2 Result	0xF482	0x0X
MIXCMF2	Mix Comparator2 Function	0xF483	0x00
MIXCMEM2	Mix Comparator2 Event Mask	0xF484	0x00
MIXDAC2	Mix DAC2 Configuration	0xF4C0	0x00
MIXDARD2L	Mix DAC2 Read Data Low	0xF4C1	0x00
MIXDARD2H	Mix DAC2 Read Data High	0xF4C2	0x00
MIXDAFUNC2	Mix DAC2 Function	0xF4C3	0x00
DACACCLR2	Mix DAC2 Access Counter Clear Register	0xF4C4	0x00
MIXCMP3	Mix Comparator3 Configuration	0xF500	0x00
MIXCMS3	Mix Comparator3 Functional Select	0xF501	0x00
MIXCMR3	Mix Comparator3 Result	0xF502	0x0X
MIXCMF3	Mix Comparator3 Function	0xF503	0x00

© SANKEN ELECTRIC CO., LTD. 2017

Symbol	Name	Address	Initial Value
MIXCMEM3	Mix Comparator3 Event Mask	0xF504	0x00
MIXDAC3	Mix DAC3 Configuration	0xF540	0x00
MIXDARD3L	Mix DAC3 Read Data Low	0xF541	0x00
MIXDARD3H	Mix DAC3 Read Data High	0xF542	0x00
MIXDAFUNC3	Mix DAC3 Function	0xF543	0x00
DACACCLR3	Mix DAC3 Access Counter Clear Register	0xF544	0x00
MIXCMP4	Mix Comparator4 Configuration	0xED80	0x00
MIXCMS4	Mix Comparator4 Functional Select	0xED81	0x00
MIXCMR4	Mix Comparator4 Result	0xED82	0x0X
MIXCMF4	Mix Comparator4 Function	0xED83	0x00
MIXCMEM4	Mix Comparator4 Event Mask	0xED84	0x00
MIXDAC4	Mix DAC4 Configuration	0xEDC0	0x00
MIXDARD4L	Mix DAC4 Read Data Low	0xEDC1	0x00
MIXDARD4H	Mix DAC4 Read Data High	0xEDC2	0x00
MIXDAFUNC4	Mix DAC4 Function	0xEDC3	0x00
DACACCLR4	Mix DAC4 Access Counter Clear Register	0xEDC4	0x00
MIXCMP5	Mix Comparator5 Configuration	0xEE00	0x00
MIXCMS5	Mix Comparator5 Functional Select	0xEE01	0x00
MIXCMR5	Mix Comparator5 Result	0xEE02	0x0X
MIXCMF5	Mix Comparator5 Function	0xEE03	0x00
MIXCMEM5	Mix Comparator5 Event Mask	0xEE04	0x00
MIXDAC5	Mix DAC5 Configuration	0xEE40	0x00
MIXDARD5L	Mix DAC5 Read Data Low	0xEE41	0x00
MIXDARD5H	Mix DAC5 Read Data High	0xEE42	0x00
MIXDAFUNC5	Mix DAC5 Function	0xEE43	0x00
DACACCLR5	Mix DAC5 Access Counter Clear Register	0xEE44	0x00

© SANKEN ELECTRIC CO., LTD. 2017

表 24-4　SFR BUS レジスター一覧

Symbol	Name	Address	Initial Value
CMI0	Mix Comparator Interrupt0	0xF3	0x00
CMI1	Mix Comparator Interrupt1	0x9D	0x00
MIXDA0L	Mix DAC0 Data Low	0x96	0x00
MIXDA0H	Mix DAC0 Data High	0x96	0x00
MIXDA1L	Mix DAC1 Data Low	0x95	0x00
MIXDA1H	Mix DAC1 Data High	0x95	0x00
MIXDA2L	Mix DAC2 Data Low	0x92	0x00
MIXDA2H	Mix DAC2 Data High	0x92	0x00
MIXDA3L	Mix DAC3 Data Low	0x93	0x00
MIXDA3H	Mix DAC3 Data High	0x93	0x00
MIXDA4L	Mix DAC4 Data Low	0x8D	0x00
MIXDA4H	Mix DAC4 Data High	0x8D	0x00
MIXDA5L	Mix DAC5 Data Low	0x8E	0x00
MIXDA5H	Mix DAC5 Data High	0x8E	0x00

© SANKEN ELECTRIC CO., LTD. 2017

24.2.1. MIXCMPn (Mix Comparator n Configuration) (n = 0 to 5)

Register	MIXCMP0	Mix Comparator0 Configuration	Address	0xF380
Register	MIXCMP1	Mix Comparator1 Configuration	Address	0xF400
Register	MIXCMP2	Mix Comparator2 Configuration	Address	0xF480
Register	MIXCMP3	Mix Comparator3 Configuration	Address	0xF500
Register	MIXCMP4	Mix Comparator4 Configuration	Address	0xED80
Register	MIXCMP5	Mix Comparator5 Configuration	Address	0xEE00

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMPENB	R/W	0	コンパレータイネーブル 0：コンパレータ機能をディスエーブル 1：コンパレータ機能をイネーブル	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

24.2.2. MIXCMSn (Mix Comparator n Functional Select) (n = 0 to 5)

MIXCMSn レジスタは、MIXCMPn.CMPENB = 0 のときに設定してください。

Register	MIXCMS0	Mix Comparator0 Functional Select	Address	0xF381
Register	MIXCMS1	Mix Comparator1 Functional Select	Address	0xF401
Register	MIXCMS2	Mix Comparator2 Functional Select	Address	0xF481
Register	MIXCMS3	Mix Comparator3 Functional Select	Address	0xF501
Register	MIXCMS4	Mix Comparator4 Functional Select	Address	0xED81
Register	MIXCMS5	Mix Comparator5 Functional Select	Address	0xEE01

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	LVSEN	R/W	0	レベル検出イネーブル 0：レベル検出機能をディスエーブル 1：レベル検出機能をイネーブル	
5	LVSIE	R/W	0	レベル検出割込みイネーブル 0：レベル検出割込み機能をディスエーブル 1：レベル検出割込み機能をイネーブル	
4	LVSPOL	R/W	0	レベル検出極性 0：“L” 1：“H”	
3	POL	R/W	0	エッジの極性 00：検出しない（MIXCMPn.CMPENB = 0 と同様） 01：立ち下がりエッジ検出 10：立ち上がりエッジ検出 11：立ち上がりエッジ、立ち下がりエッジ両方で検出	
2		R/W	0		
1	FILTER	R/W	0	グリッチフィルタ 00：グリッチフィルタを使用しない 01：1 サイクル 10：2 サイクル 11：4 サイクル グリッチフィルタの 1 サイクルは、MIXCMFn.FPSSEL ビットで設定できます。	
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

24.2.3. MIXCMRn (Mix Comparator n Result) (n = 0 to 5)

Register	MIXCMR0	Mix Comparator0 Result	Address	0xF382
Register	MIXCMR1	Mix Comparator1 Result	Address	0xF402
Register	MIXCMR2	Mix Comparator2 Result	Address	0xF482
Register	MIXCMR3	Mix Comparator3 Result	Address	0xF502
Register	MIXCMR4	Mix Comparator4 Result	Address	0xED82
Register	MIXCMR5	Mix Comparator5 Result	Address	0xEE02

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CRSLTM	R	x	CMP_OUT_MASK 信号モニタ MASKED_CMP_OUT をモニタします。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	LVSF	R/C	0	レベル検出フラグ リード 0：レベルの検出なし リード 1：レベルを検出 ライト 0：変化なし ライト 1：本ビットをクリア コンパレータがレベル検出していないときに、本ビットに 1 をライトすると、本ビットをクリアできます。	
0	CMPRSLT	R	x	CMP_OUT 信号モニタ CMP_OUT をモニタします。	

© SANKEN ELECTRIC CO., LTD. 2017

24.2.4. MIXCMFn (Mix Comparator n Function) (n = 0 to 5)

Register	MIXCMF0	Mix Comparator0 Function	Address	0xF383
Register	MIXCMF1	Mix Comparator1 Function	Address	0xF403
Register	MIXCMF2	Mix Comparator2 Function	Address	0xF483
Register	MIXCMF3	Mix Comparator3 Function	Address	0xF503
Register	MIXCMF4	Mix Comparator4 Function	Address	0xED83
Register	MIXCMF5	Mix Comparator5 Function	Address	0xEE03

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	FPSSEL	R/W	0	フィルタプリスケーラ （グリッチフィルタで使用する信号の周波数を設定） 000：1/1 001：1/8 010：1/16 011：1/32 100：1/64 101：1/128 その他：使用禁止	
5		R/W	0		
4		R/W	0		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	CMPINV	R/W	0	CMPRSLT 信号（図 24-2 参照）の反転 0：CMPRSLT 信号を反転しない 1：CMPRSLT 信号を反転	
1	HYSOFF	R/W	0	コンパレータヒステリシス 0：ヒステリシスを設定 1：ヒステリシスなし	
0	SLOWMD	R/W	0	コンパレータスローモードイネーブル 0：スローモードをディスエーブル 1：スローモードをイネーブル	

© SANKEN ELECTRIC CO., LTD. 2017

24.2.5. MIXCMEMn (Mix Comparator n Event Mask) (n = 0 to 5)

Register	MIXCMEM0	Mix Comparator0 Event Mask	Address	0xF384
Register	MIXCMEM1	Mix Comparator1 Event Mask	Address	0xF404
Register	MIXCMEM2	Mix Comparator2 Event Mask	Address	0xF484
Register	MIXCMEM3	Mix Comparator3 Event Mask	Address	0xF504
Register	MIXCMEM4	Mix Comparator4 Event Mask	Address	0xED84
Register	MIXCMEM5	Mix Comparator5 Event Mask	Address	0xFE04

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DAUME	R/W	0	DAC アップデート時のマスクイネーブル 0：DAC アップデート時のマスク機能をディスエーブル 1：DAC アップデート時のマスク機能をイネーブル	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	EVMEN	R/W	0	イベントマスクイネーブル 0：イベントマスクをディスエーブル 1：イベントマスクをイネーブル	
2	EVMSEL	R/W	0	イベントマスク （コンパレータ出力のマスクに使用する PWM 信号の選択） 000：PWM0L 001：PWM0H 010：PWM1L 011：PWM1H 100：PWM2L 101：PWM2H 110：PWM3L 111：PWM3H	
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

24.2.6. CMI0 (Mix Comparator Interrupt0)

Register	CMI0	Mix Comparator Interrupt0	Address	0xF3

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CMPIE3	R/W	0	コンパレータ 3 割込みイネーブル 0：割込みをディスエーブル 1：割込みをイネーブル	
6	CMPIE2	R/W	0	コンパレータ 2 割込みイネーブル 0：割込みをディスエーブル 1：割込みをイネーブル	
5	CMPIE1	R/W	0	コンパレータ 1 割込みイネーブル 0：割込みをディスエーブル 1：割込みをイネーブル	
4	CMPIE0	R/W	0	コンパレータ 0 割込みイネーブル 0：割込みをディスエーブル 1：割込みをイネーブル	
3	CMPI3	R/C	0	コンパレータ 3 割込みフラグ （CMI0.CMPIE3 ビットの設定に関係なくフラグが発生） リード 0：割込み信号の検出なし リード 1：割込み信号を検出 ライト 0：変化なし ライト 1：本ビットをクリア	
2	CMPI2	R/C	0	コンパレータ 2 割込みフラグ （CMI0.CMPIE2 ビットの設定に関係なくフラグが発生） リード 0：割込み信号の検出なし リード 1：割込み信号を検出 ライト 0：変化なし ライト 1：本ビットをクリア	
1	CMPI1	R/C	0	コンパレータ 1 割込みフラグ （CMI0.CMPIE1 ビットの設定に関係なくフラグが発生） リード 0：割込み信号の検出なし リード 1：割込み信号を検出 ライト 0：変化なし ライト 1：本ビットをクリア	
0	CMPI0	R/C	0	コンパレータ 0 割込みフラグ （CMI0.CMPIE0 ビットの設定に関係なくフラグが発生） リード 0：割込み信号の検出なし リード 1：割込み信号を検出 ライト 0：変化なし ライト 1：本ビットをクリア	

© SANKEN ELECTRIC CO., LTD. 2017

24.2.7. CMI1 (Mix Comparator Interrupt1)

Register	CMI1		Mix Comparator Interrupt1		Address	0x9D
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	CMPIE5	R/W	0	コンパレータ 5 割込みイネーブル 0：割込みをディスエーブル 1：割込みをイネーブル		
4	CMPIE4	R/W	0	コンパレータ 4 割込みイネーブル 0：割込みをディスエーブル 1：割込みをイネーブル		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	CMPI5	R/C	0	コンパレータ 5 割込みフラグ （CMI1.CMPIE5 ビットの設定に関係なくフラグが発生） リード 0：割込み信号の検出なし リード 1：割込み信号を検出 ライト 0：変化なし ライト 1：本ビットをクリア		
0	CMPI4	R/C	0	コンパレータ 4 割込みフラグ （CMI1.CMPIE4 ビットの設定に関係なくフラグが発生） リード 0：割込み信号の検出なし リード 1：割込み信号を検出 ライト 0：変化なし ライト 1：本ビットをクリア		

© SANKEN ELECTRIC CO., LTD. 2017

24.2.8. MIXDACn (Mix DAC n Configuration) (n = 0 to 5)

Register	MIXDAC0	Mix DAC0 Configuration	Address	0xF3C0
Register	MIXDAC1	Mix DAC1 Configuration	Address	0xF440
Register	MIXDAC2	Mix DAC2 Configuration	Address	0xF4C0
Register	MIXDAC3	Mix DAC3 Configuration	Address	0xF540
Register	MIXDAC4	Mix DAC4 Configuration	Address	0xFDC0
Register	MIXDAC5	Mix DAC5 Configuration	Address	0xFE40

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DAEN	R/W	0	DAC イネーブル 0：DAC 機能をディスエーブル 1：DAC 機能をイネーブル	
6	DFORM	R/W	0	データレジスタフォーマット 0：MSB 側を使用する （dddd_dddd_0000_0000） 1：LSB 側を使用する （0000_0000_dddd_dddd） MIXDAnH レジスタをリード／ライトする場合は、DFORM = 0 に設定してください。 MIXDAnL レジスタをリード／ライトする場合は、DFORM = 1 に設定してください。	
5	DAUPD	R/W	0	DAC アップデートタイミング（DAC の更新をするためのトリガイベントを選択） 000000：CPU または DSAC による MIXDAnH レジスタの更新 001000：CMP0 (pulse) 001001：CMP1 (pulse) 001010：CMP2 (pulse) 001011：CMP3 (pulse) 001100：Timer0_CMA (pulse) 001101：Timer0_CMB (pulse) 001110：Timer1_CMA (pulse) 001111：Timer1_CMB (pulse) 010000：PWM0_Event0 (pulse) 010001：PWM0_Event1 (pulse) 010010：PWM1_Event0 (pulse) 010011：PWM1_Event1 (pulse) 010100：PWM2_Event0 (pulse) 010101：PWM2_Event1 (pulse) 010110：PWM3_Event0 (pulse) 010111：PWM3_Event1 (pulse) 011000：CMP4 (pulse) 011001：CMP5 (pulse) 011010：Timer2_CMA (pulse) 011011：Timer2_CMB (pulse) 011100：Timer3_CMA (pulse) 011101：Timer3_CMB (pulse) その他：使用禁止	
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

24.2.9. MIXDAnL (Mix DAC n Data Low) (n = 0 to 5)

Register	MIXDA0L	Mix DAC0 Data Low	Address	0x96
Register	MIXDA1L	Mix DAC1 Data Low	Address	0x95
Register	MIXDA2L	Mix DAC2 Data Low	Address	0x92
Register	MIXDA3L	Mix DAC3 Data Low	Address	0x93
Register	MIXDA4L	Mix DAC4 Data Low	Address	0x8D
Register	MIXDA5L	Mix DAC5 Data Low	Address	0x8E

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DADATA	R/W	0	DAC の入力値データの L 側 MIXDAnH レジスタの説明を参照してください。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

24.2.10. MIXDAnH (Mix DAC n Data High) (n = 0 to 5)

Register	MIXDA0H	Mix DAC0 Data High	Address	0x96
Register	MIXDA1H	Mix DAC1 Data High	Address	0x95
Register	MIXDA2H	Mix DAC2 Data High	Address	0x92
Register	MIXDA3H	Mix DAC3 Data High	Address	0x93
Register	MIXDA4H	Mix DAC4 Data High	Address	0x88
Register	MIXDA5H	Mix DAC5 Data High	Address	0xB8

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DADATA	R/W	0	DAC の入力値データの H 側 ● DFORM = 0 の場合 データは、ビット 15～8 に格納されます。 ビット 7～0 には 0x00 が格納されます。 ● DFORM = 1 の場合 データは、ビット 7～0 に格納されます。 ビット 15～8 には 0x00 が格納されます。 ● MIXDACn.DAUPD = 0b000000 の場合 CPU か DSAC から MIXDAnH レジスタを設定すると、DA 出力が更新されます（CPU の場合は、2 番目のアクセスで、DSAC の場合は、バイトアクセスモードの 2 番目のアクセスか、ワードアクセスで設定されます）。 ● MIXDACn.DAUPD を 0b000000 以外に設定した場合 指定した更新トリガの発行で DA 出力が更新されます。MIXDAnL レジスタと MIXDAnH レジスタは、更新トリガの前に設定する必要があります。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

24.2.11. MIXDARDnL (Mix DAC n Read Data Low) (n = 0 to 5)

MIXDAnH レジスタと MIXDAnL レジスタの両方に書き込んだ後に、MIXDACn.DAUPD ビットで選択したトリガを検出すると、MIXDARDnL レジスタと MIXDARDnH レジスタを更新します。

Register	MIXDARD0L	Mix DAC0 Read Data Low	Address	0xF3C1
Register	MIXDARD1L	Mix DAC1 Read Data Low	Address	0xF441
Register	MIXDARD2L	Mix DAC2 Read Data Low	Address	0xF4C1
Register	MIXDARD3L	Mix DAC3 Read Data Low	Address	0xF541
Register	MIXDARD4L	Mix DAC4 Read Data Low	Address	0xFDC1
Register	MIXDARD5L	Mix DAC5 Read Data Low	Address	0xFE41

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DARD	R	0	DAC の入力値リードデータの L 側 MIXDARDnH レジスタの説明を参照してください。	
6		R	0		
5		R	0		
4		R	0		
3		R	0		
2		R	0		
1		R	0		
0		R	0		

24.2.12. MIXDARDnH (Mix DAC n Read Data High) (n = 0 to 5)

MIXDAnH レジスタと MIXDAnL レジスタの両方に書き込んだ後に、MIXDACn.DAUPD ビットで選択したトリガを検出すると、MIXDARDnL レジスタと MIXDARDnH レジスタを更新します。

Register	MIXDARD0H	Mix DAC0 Read Data High	Address	0xF3C2
Register	MIXDARD1H	Mix DAC1 Read Data High	Address	0xF442
Register	MIXDARD2H	Mix DAC2 Read Data High	Address	0xF4C2
Register	MIXDARD3H	Mix DAC3 Read Data High	Address	0xF542
Register	MIXDARD4H	Mix DAC4 Read Data High	Address	0xFDC2
Register	MIXDARD5H	Mix DAC5 Read Data High	Address	0xFE42

Bit	Bit Name	R/W	Initial	Description	Remarks
7	DARD	R	0	DAC の入力値リードデータの H 側 ● MIXDACn.DFORM = 0 の場合 データはビット 15～8 から読み出されます。 ビット 7～0 からは 0x00 が読み出されます。 ● MIXDACn.DFORM = 1 の場合 データはビット 7～0 から読み出されます。 ビット 15～8 からは 0x00 が読み出されます。	
6		R	0		
5		R	0		
4		R	0		
3		R	0		
2		R	0		
1		R	0		
0		R	0		

© SANKEN ELECTRIC CO., LTD. 2017

24.2.13. DACACCLRn (Mix DAC n Access Counter Clear Register) (n = 0 to 5)

Register	DACACCLR0	Mix DAC0 Access Counter Clear Register	Address	0xF3C4
Register	DACACCLR1	Mix DAC1 Access Counter Clear Register	Address	0xF444
Register	DACACCLR2	Mix DAC2 Access Counter Clear Register	Address	0xF4C4
Register	DACACCLR3	Mix DAC3 Access Counter Clear Register	Address	0xF544
Register	DACACCLR4	Mix DAC4 Access Counter Clear Register	Address	0xFDC4
Register	DACACCLR5	Mix DAC5 Access Counter Clear Register	Address	0xFE44

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CPUCLR	W	0	DAC 変換データレジスタ用 CPU アクセスカウンタクリア ライト 0：変化なし ライト 1：CPU アクセスカウンタレジスタをクリア （CPU SFR アクセスカウンタをクリア）	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

24.2.14. MIXDAFUNCn (Mix DAC n Function) (n = 0 to 5)

Register	MIXDAFUNC0	Mix DAC0 Function	Address	0xF3C3
Register	MIXDAFUNC1	Mix DAC1 Function	Address	0xF443
Register	MIXDAFUNC2	Mix DAC2 Function	Address	0xF4C3
Register	MIXDAFUNC3	Mix DAC3 Function	Address	0xF543
Register	MIXDAFUNC4	Mix DAC4 Function	Address	0xFDC3
Register	MIXDAFUNC5	Mix DAC5 Function	Address	0xFE43

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	SELS	R/W	0	DAC データの符号付き／符号なしの選択 0：DAC データを符号なしにする 1：DAC データを符号付きにする	

© SANKEN ELECTRIC CO., LTD. 2017

24.3. 動作

誤って割込みが発生しないように、コンパレータによる割込みをイネーブルにする前に、割込みフラグをクリアしてください。

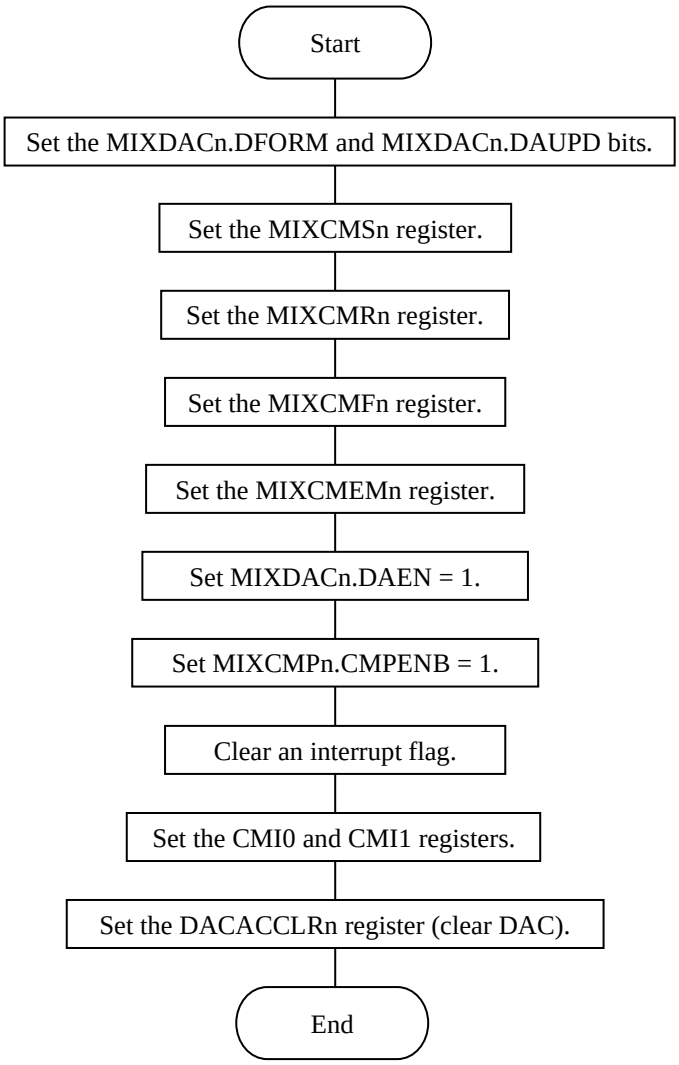
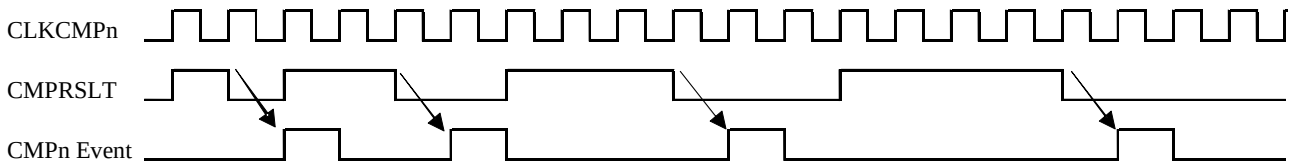
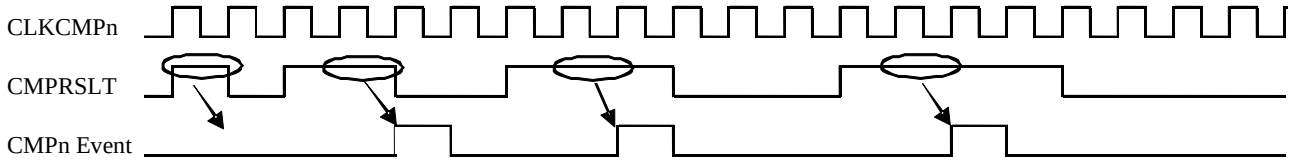


図 24-4　動作フローチャート

© SANKEN ELECTRIC CO., LTD. 2017

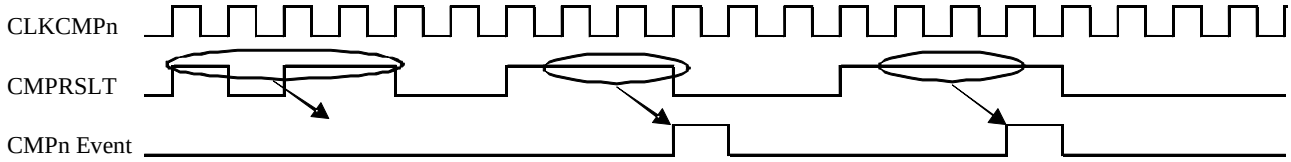


(a) ネガティブエッジ検出、グリッチフィルタなしの場合



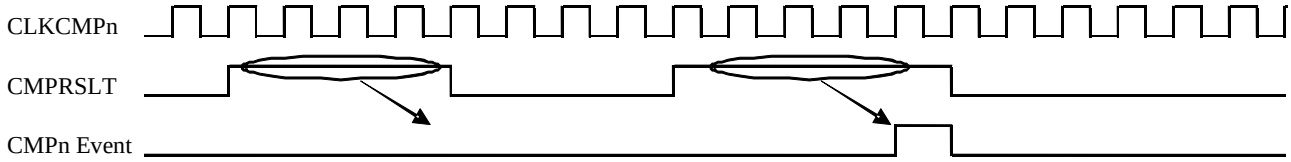
If the pulse length of the CMPRSLT is 1 cycle of the CLKCMPn, the CMPn event is not generated.

(b) ポジティブエッジ検出、グリッチフィルタ（1 サイクル）の場合



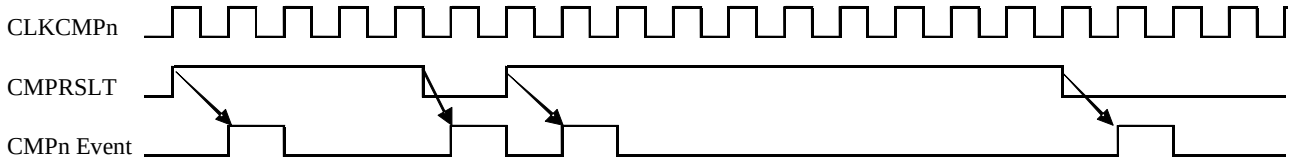
If the pulse length of the CMPRSLT is 1 cycle or 2 cycles of the CLKCMPn, the CMPn event is not generated.

(c) ポジティブエッジ検出、グリッチフィルタ（2 サイクル）の場合



If the pulse length of the CMPRSLT is <4 cycles of the CLKCMPn, the CMPn event is not generated.

(d) ポジティブエッジ検出、グリッチフィルタ（4 サイクル）の場合



(e) 両エッジ検出、グリッチフィルタなしの場合

図 24-5　CMPn レベル検出生成例

© SANKEN ELECTRIC CO., LTD. 2017

24.3.1. 起動、停止

MIXDACn.DAEN ビットを 1 にすると、DAC 機能がイネーブルになります。MIXDACn.DAEN ビットを 0 にすると、DAC 機能がディスエーブルになります。

MIXCMPn.CMPENB ビットを 1 にすると、コンパレータがイネーブルになります。MIXCMPn.CMPENB ビットを 0 にすると、コンパレータはディスエーブルになります。

24.3.2. DAC の設定と更新

DA 変換する 8 ビットのデジタル値を、MIXDAnL.DADATA ビットと MIXDAnH.DADATA ビット（合計 16 ビット）に書き込みます。MIXDAnH レジスタに 8 ビットのデジタル値をライトする場合は MIXDACn.DFORM = 0 に設定します。MIXDAnL レジスタには自動的に 0x00 がライトされます。一方、MIXDAnL レジスタに 8 ビットのデジタル値をライトする場合は MIXDACn.DFORM = 1 に設定します。MIXDAnH レジスタには、自動的に 0x00 がライトされます。

DAC の入力値を読み出す場合は、MIXDARDnL.DARDx ビットか MIXDARDnH.DARDx ビットをリードします。MIXDACn.DFORM ビットで選択されていない方のレジスタからは 0x00 が読み出されます。

CPU か DSAC で値を書き換えると、DAC の出力値が更新されるように初期設定されています。DAC 出力値更新のトリガは、MIXDACn.DAUPD ビットで変更できます。

MIXDAnL レジスタにライトした後、DACACCLR.CPUCLR ビットに 1 をライトすると、MIXDAnL／H レジスタの CPU アクセスカウンタをクリアします。アクセスカウンタをクリアした後は、再度 MIXDAnL レジスタにアクセスできます。

書込み、読出しを行う DAC データの形式は、符号付きと符号なしから選択できます。MIXDAFUNCn.SELS ビットを 0 にすると符号なし、1 にすると符号付きになります。ただし、MIXDACn.DFORM ビットが 0 の場合（MSB 側）、ライト時は下位 8 ビットが切り捨てられ、リード時は下位 8 ビットから 0x00 が読み出されます。

DAC の出力値を更新するタイミングから一定時間、コンパレータ出力をマスクできます。MIXCMEMn.DAUME ビットを 1 にすると、マスク機能がイネーブルになります。マスク期間は、アップデートトリガが 1 になった次のクロックサイクルから 32 サイクル分です。マスク期間にアップデートトリガが発生した場合、次のサイクルから再度カウントし、マスク期間を延長します。

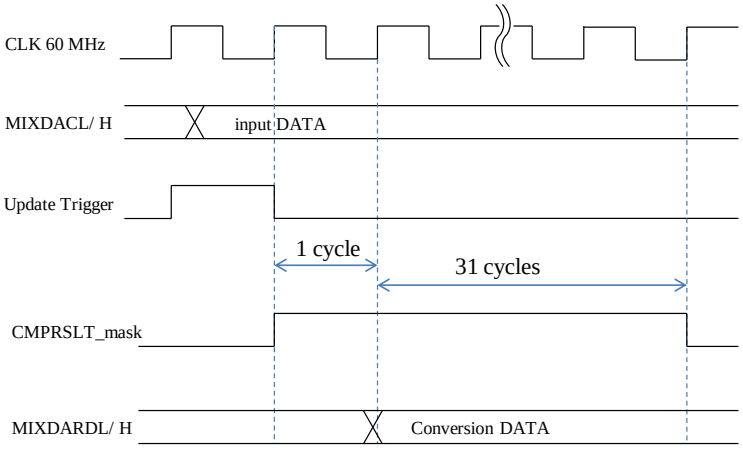


図 24-6　DAC 出力更新時のコンパレータ出力マスク動作

© SANKEN ELECTRIC CO., LTD. 2017

24.3.3. コンパレータの動作モード

スローモードに設定すると、コンパレータの応答速度を下げて消費電流を削減できます。MIXCMFn.SLOWMD ビットを 1 に設定すると、スローモードがイネーブルになります。

また、コンパレータのヒステリシスの有無を選択できます。MIXCMFn.HYSOFF ビットを 1 に設定した場合、ヒステリシスはありません。

24.3.4. コンパレータ出力制御

MIXCMFn.CMPINV ビットを 1 に設定すると、コンパレータ出力（図 24-2 の CMPRSLT 信号）を反転します。

コンパレータ出力は、PWM 信号を使用してマスクできます。MIXCMEMn.EVMEN ビットを 1 に設定すると、この機能がイネーブルになります。使用できる PWM 信号は 8 本あり、MIXCMEMn.EVMSEL ビットで設定します。イベントでマスクされたコンパレータ出力は、MIXCMRn.CRSLTM ビットをリードしてモニタできます。

さらに、PWM 信号を使用してマスクされたコンパレータ出力を、DAC の出力値を更新するときに、一定期間（32 サイクル）マスクできます。MIXCMEMn.DAUME ビットを 1 に設定すると、この機能がイネーブルになります。

24.3.5. 割込み、イベント生成

MIXCMSn.LVSEN ビットを 1 に設定すると、レベル検出機能を使用できます。また、検出するレベルは MIXCMSn.LVSPOL ビットで設定します。MIXCMSn.LVSPOL が 1 の場合は“H”で、0 の場合は“L”で検出します。レベル検出されると、MIXCMRn.LVSF ビットが 1 になります。これをクリアする場合は、MIXCMRn.LVSF ビットに 1 をライトします。

レベル検出信号は、POC、PWM、および SYSC に出力され、PWM 出力の制御や、スタンバイからの復帰信号に使用できます。

エッジ検出の極性は、MIXCMSn.POL ビットで設定します。検出するエッジは、立ち上がり（0b01）、立ち下がり（0b10）、立ち上がりと立ち下がりの両方（0b11）から選択できます。

エッジを検出する際、グリッチフィルタを使用できます。MIXCMSn.FILTER ビットでフィルタ期間を、フィルタ無効（0b00）、1 サイクル（0b01）、2 サイクル（0b10）、4 サイクル（0b11）から選択できます。また、フィルタにはプリスケーラが設けられており、MIXCMFn.FPSSEL ビットでフィルタ期間の 1 サイクルの幅を変更できます。エッジ検出信号は DSAC、PWM、TMR に出力されます。

コンパレータのエッジ検出信号とレベル検出信号は、割込み信号に使用できます。コンパレータのレベル検出信号を割込み信号に使用する場合、MIXCMSn.LVSIE ビットを 1 に設定します。割込み信号に使用するコンパレータは、CMI0 か CMI1 レジスタの CMPIEn ビットで選択します。割込み信号が出力されると CMPIEn ビットの設定に関係なく、CMI0 か CMI1 レジスタの CMPIn ビットが 1 になります。これをクリアする場合は、同じビットに 1 をライトします。

24.3.6. LUT への出力

CMP_OUT のモニタ信号（MIXCMRn.CMPRSLT ビット）か、ノイズフィルタ通過後の信号（CMP_FILLTER）を LUT に出力できます。

24.4. 注意、制限事項

8 ビットアクセスで MIXDAnL／H レジスタをリードする場合は、必ず MIXDACn.DFORM = 1（LSB 側）に設定してください。MIXDACn.DFORM = 0（MSB 側）の設定では、リードできません。

© SANKEN ELECTRIC CO., LTD. 2017

25. 温度センサ（TEMP）

25.1. 概要

本 LSI は、ジャンクション温度に応じた電圧を発生する温度センサ（TEMP）を内蔵しています。この電圧は ADC で測定できます。温度センサの出力電圧については、29 項を参照してください。

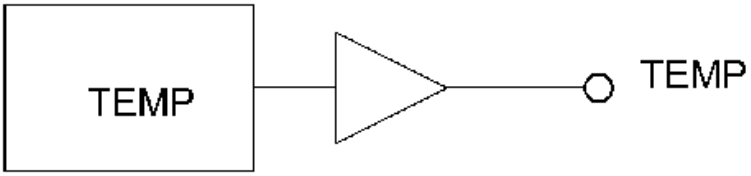


図 25-1　TEMP ブロック図

25.2. レジスタ説明

25.2.1. TEMP (Temperature Sensor Control)

Register	TEMP		Temperature Sensor Control	Address	0xFFC1
Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	TEMPE	R/W	0	TEMP イネーブル 0：TEMP をディスエーブル 1：TEMP をイネーブル	

s

© SANKEN ELECTRIC CO., LTD. 2017

26. PWM 出力コントローラ（POC）

26.1. 概要

PWM 出力コントローラ（POC：PWM Output Controller）は、CMP／CMPLUT からのイベントを検出して、PWM 出力端子をあらかじめ設定した端子状態に固定します。

図 26-1 に、POC のブロック図を示します。

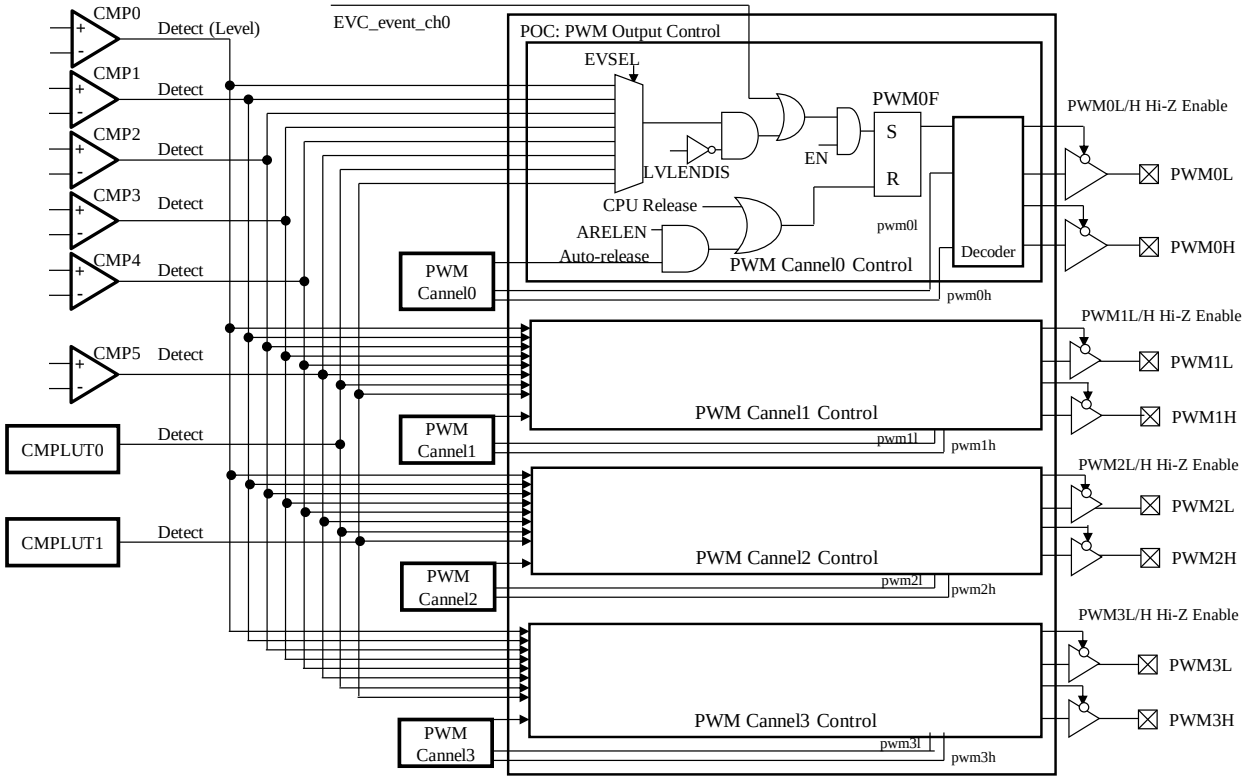


図 26-1　POC ブロック図

© SANKEN ELECTRIC CO., LTD. 2017

26.2. レジスタ説明

表 26-1　レジスタ一覧

Symbol	Name	Address	Initial Value
POCCR0	POC Control Register0	0xFD80	0x00
POCCR1	POC Control Register1	0xFD81	0x00
POCCR2	POC Control Register2	0xFD82	0x00
POCCR3	POC Control Register3	0xFD83	0x00
POCSTS	POC Status Register	0xFD88	0x00
POCBAS	POC BUS I/F Access Status Register	0xFD8C	0x00
POCOCR0	POC Output Control Register0	0xFD90	0x00
POCOCR1	POC Output Control Register1	0xFD91	0x00
POCOCR2	POC Output Control Register2	0xFD92	0x00
POCOCR3	POC Output Control Register3	0xFD93	0x00
POCTRG	POC CPU Trigger Register	0xFD98	0x00
POCDTC0	POC Dead Time Control Register0	0xFDA0	0x00
POCDTC1	POC Dead Time Control Register1	0xFDA1	0x00
POCDTC2	POC Dead Time Control Register2	0xFDA2	0x00
POCDTC3	POC Dead Time Control Register3	0xFDA3	0x00
POCDTP0	POC Dead Time Period Register0	0xFDA8	0x00
POCDTP1	POC Dead Time Period Register1	0xFDA9	0x00
POCDTP2	POC Dead Time Period Register2	0xFDAA	0x00
POCDTP3	POC Dead Time Period Register3	0xFDAB	0x00

© SANKEN ELECTRIC CO., LTD. 2017

26.2.1. POCCRn (POC Control Register n) (n = 0 to 3)

Register	POCCR0	POC Control Register0	Address	0xFD80
Register	POCCR1	POC Control Register1	Address	0xFD81
Register	POCCR2	POC Control Register2	Address	0xFD82
Register	POCCR3	POC Control Register3	Address	0xFD83

Bit	Bit Name	R/W	Initial	Description	Remarks
7	EN	R/W	0	POC 制御イネーブル 0：POC による PWMnL／H の制御をディスエーブル 1：POC による PWMnL／H の制御をイネーブル 本ビットが 1 のとき、POCSTS.PWMnF ビットがセットされると、PWMnL／H はあらかじめ設定された端子状態になります。	
6	ARELEN	R/W	0	PWMn 出力端子のハイインピーダンスの自動リリース 0：自動リリースしない（CPU／EPU リリース） CPU か EPU からのみリリース可能 1：自動リリースする アップモードの PWM でカウンタと CMP_MAX 値が一致した場合、またはアップダウンモードの PWM でカウンタと CMP_MIN 値が一致した場合にリリース 制御遅延付加機能を使用するときは、自動リリース機能は使用できません。	
5	CONFHn0	R/W	0	PWMnH 出力制御 PWMnH の制御方法は、本ビットと 26.2.4 項の POCOCRn.CONFHn1 ビットで決定します。 CONFHn = {POCOCRn.CONFHn1, POCCRn.CONFHn0}の場合 CONFHn = 00 イベントを受けた場合、PWMnH をハイインピーダンスに制御する CONFHn = 01 イベントを受けた場合でも、PWMnH を制御しない CONFHn = 10 イベントを受けた場合、PWMnH の出力を“L”にする CONFHn = 11 イベントを受けた場合、PWMnH の出力を“H”にする	
4	CONFLn0	R/W	0	PWMnL 出力制御 PWMnL の制御方法は、本ビットと 26.2.4 項の POCOCRn.CONFLn1 ビットで決定します。 CONFLn = {POCOCRn.CONFLn1, POCCRn.CONFLn0}の場合 CONFLn = 00 イベントを受けた場合、PWMnL をハイインピーダンスに制御する CONFLn = 01 イベントを受けた場合でも、PWMnL を制御しない CONFLn = 10 イベントを受けた場合、PWMnL の出力を“L”にする CONFLn = 11 イベントを受けた場合、PWMnL の出力を“H”にする	

© SANKEN ELECTRIC CO., LTD. 2017

Register	POCCR0	POC Control Register0	Address	0xFD80
Register	POCCR1	POC Control Register1	Address	0xFD81
Register	POCCR2	POC Control Register2	Address	0xFD82
Register	POCCR3	POC Control Register3	Address	0xFD83

Bit	Bit Name	R/W	Initial	Description	Remarks
3	LVLEVDIS	R/W	0	EVSEL ビットで選択されるレベルイベントを、受け付けるかどうかを選択 0：レベルイベントを受け付ける 1：レベルイベントを受け付けない	
2	EVSEL	R/W	0	PWMn 出力端子（ハイインピーダンス）のイベント 000：CMP0 を選択 001：CMP1 を選択 010：CMP2 を選択 011：CMP3 を選択 100：CMP4 を選択 101：CMP5 を選択 110：CMPLUT0 を選択 111：CMPLUT1 を選択	
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

26.2.2. POCSTS (POC Status Register)

Register	POCSTS		POC Status Register		Address	0xFD88
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	PWM3F	R/C	0	PWM3 出力端子の制御ステータス リード 0：PWM3L／H を PWM3 で制御 リード 1：PWM3L／H を POC で制御 ライト 0：変化なし ライト 1：POC による PWM3L／H の制御をクリア		
2	PWM2F	R/C	0	PWM2 出力端子の制御ステータス リード 0：PWM2L／H を PWM2 で制御 リード 1：PWM2L／H を POC で制御 ライト 0：変化なし ライト 1：POC による PWM2L／H の制御をクリア		
1	PWM1F	R/C	0	PWM1 出力端子の制御ステータス リード 0：PWM1L／H を PWM1 で制御 リード 1：PWM1L／H を POC で制御 ライト 0：変化なし ライト 1：POC による PWM1L／H の制御をクリア		
0	PWM0F	R/C	0	PWM0 出力端子の制御ステータス リード 0：PWM0L／H を PWM0 で制御 リード 1：PWM0L／H を POC で制御 ライト 0：変化なし ライト 1：POC による PWM0L／H の制御をクリア		

26.2.3. POCBAS (POC BUS I/F Access Status Register)

Register	POCBAS		POC BUS I/F Access Status Register		Address	0xFD8C
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
0	POCXACS	R	0	XDATA BUS アクセスステータス 0：待機中 POCSTS レジスタと POCTRG レジスタへの書込み可能 1：アクセス中 POCSTS レジスタか POCTRG レジスタへの書込み禁止		

© SANKEN ELECTRIC CO., LTD. 2017

26.2.4. POCOCRn (POC Output Control Register n) (n = 0 to 3)

Register	POCOCR0	POC Output Control Register0	Address	0xFD90
Register	POCOCR1	POC Output Control Register1	Address	0xFD91
Register	POCOCR2	POC Output Control Register2	Address	0xFD92
Register	POCOCR3	POC Output Control Register3	Address	0xFD93

Bit	Bit Name	R/W	Initial	Description	Remarks
7	PLINV	R/W	0	イベントレベル反転 0：正のレベルになったとき、POC の端子制御を開始 1：負のレベルになったとき、POC の端子制御を開始 イベントコントローラ（EVC）から出力されるイベントは、このレジスタの設定の影響を受けません。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	CONFHn1	R/W	0	PWMnH 出力制御 PWMnH の制御方法は、本ビットと POCCRn.CONFHn0 ビットで決定します。詳細は、26.2.1 項を参照してください。	
0	CONFLn1	R/W	0	PWMnL 出力制御 PWMnL の制御方法は、本ビットと POCCRn.CONFLn0 ビットで決定します。詳細は、26.2.1 項を参照してください。	

© SANKEN ELECTRIC CO., LTD. 2017

26.2.5. POCTRG (POC CPU Trigger Register)

Register	POCTRG		POC CPU Trigger Register		Address	0xFD98
Bit	Bit Name	R/W	Initial	Description		Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	TRG3	W	0	PWM3L／H への POC 動作の CPU トリガ ライト 0：変化なし ライト 1：PWM3 の POC 動作を実行 リード値は常に 0 です。		
2	TRG2	W	0	PWM2L／H への POC 動作の CPU トリガ ライト 0：変化なし ライト 1：PWM2 の POC 動作を実行 リード値は常に 0 です。		
1	TRG1	W	0	PWM1L／H への POC 動作の CPU トリガ ライト 0：変化なし ライト 1：PWM1 の POC 動作を実行 リード値は常に 0 です。		
0	TRG0	W	0	PWM0L／H への POC 動作の CPU トリガ ライト 0：変化なし ライト 1：PWM0 の POC 動作を実行 リード値は常に 0 です。		

© SANKEN ELECTRIC CO., LTD. 2017

26.2.6. POCDTCn (POC Dead Time Control Register n) (n = 0 to 3)

Register	POCDTC0	POC Dead Time Control Register0	Address	0xFDA0
Register	POCDTC1	POC Dead Time Control Register1	Address	0xFDA1
Register	POCDTC2	POC Dead Time Control Register2	Address	0xFDA2
Register	POCDTC3	POC Dead Time Control Register3	Address	0xFDA3

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CLRWAIT	R/W	0	POC 制御クリアの遅延機能 0：リリース信号を受けた場合、POC による出力制御を終了 1：POC のデッドタイムカウント中にリリース信号を受けた場合、デッドタイムのカウント終了を待ってから、POC による出力制御を終了 本ビットは、デッドタイムのカウント中にリリース信号を受けたときの POC の動作を設定します。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	HDEN	R/W	0	PWMnH のデッドタイムカウントイネーブル 0：遅延を付加しない 1：遅延を付加する POC がイベントに応じて PWMnH を“H”に固定する場合に、制御タイミングの遅延を付加するかどうかを選択できます。	
0	LDEN	R/W	0	PWMnL のデッドタイムカウントイネーブル 0：遅延を付加しない 1：遅延を付加する POC がイベントに応じて PWMnL を“H”に固定する場合に、制御タイミングの遅延を付加するかどうかを選択できます。	

© SANKEN ELECTRIC CO., LTD. 2017

26.2.7. POCDTPn (POC Dead Time Period Register n) (n = 0 to 3)

Register	POCDTP0	POC Dead Time Period Register0	Address	0xFDA8
Register	POCDTP1	POC Dead Time Period Register1	Address	0xFDA9
Register	POCDTP2	POC Dead Time Period Register2	Address	0xFDAA
Register	POCDTP3	POC Dead Time Period Register3	Address	0xFDAB

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	DTP	R/W	0	POC デッドタイム期間 付加する遅延量を設定します。遅延量は、以下のとおりです。 遅延量 = (DTP + 2) × (8 × CLKPWM period)	
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

26.3. 動作

26.3.1. 基本動作

POC は、選択されたイベントが発生すると、PWMnL／H（n = 0～3）出力端子をあらかじめ設定された端子状態に固定します。

POCCRn.EVSEL ビットは、CMP0～CMP5 と CMPLUT0／1 のレベル検出イベントからトリガイベントを選択します。選択されたイベント、EPU からのイベント、または CPU／EPU からの POCTRG レジスタへの書込みで、POCSTS.PWMnF ビットに 1 がセットされます。これらのうち、POCCRn.EVSEL ビットで選択されるレベルイベントは、POCCRn.LVLEVDIS ビットに 1 を書き込むとディスエーブルにできます。

POCSTS.PWMnF = 1 のとき、PWM 出力の PWMnL／H は POC で制御される端子状態になります。POC で制御される PWMnH の端子状態は、POCCRn.CONFHn0 ビットと POCOCRn.CONFHn1 ビットで設定できます。また、POC で制御される PWMnL の端子状態は、POCCRn.CONFLn0 ビットと POCOCRn.CONFLn1 ビットで設定できます。以下に PWM0H 端子の設定を例に説明します。PWMnL 端子の設定も同様です。

- POCCR0.CONFH00 = 0 かつ POCOCR0.CONFH01 = 0 に設定した場合、POCSTS.PWM0F = 1 のとき PWM0H 端子はハイインピーダンスになります。
- POCCR0.CONFH00 = 1 かつ POCOCR0.CONFH01 = 0 に設定した場合、POCSTS.PWM0F = 1 でも POC は PWM0H 端子を制御しません。
- POCCR0.CONFH00 = 0 かつ POCOCR0.CONFH01 = 1 に設定した場合、POCSTS.PWM0F = 1 のとき PWM0H 端子は“L”になります。
- POCCR0.CONFH00 = 1 かつ POCOCR0.CONFH01 = 1 に設定した場合、POCSTS.PWM0F = 1 のとき PWM0H 端子は“H”になります。

POC による制御を解除する方法は、CPU／EPU リリースと自動リリースの 2 つあります。CPU／EPU リリースは、POCSTS.PWMnF ビットに 1 を書き込むと発行されます。自動リリースは、POCCRn.ARELEN = 1 のときに PWM のチャネル n で発行されます。アップダウンモードで PWMn のカウンタと CMP_MIN 値とのマッチイベントが発生するか、アップモードでカウンタと CMP_MAX 値とのコンペアマッチイベントが発生した場合（アップモードで PWMnCNT レジスタの値が CMP_MAX 値と一致し、CMP_MIN 値をロードする場合）に、PWM のチャネル n は自動リリーストリガを発行します。選択されたイベントが検出されていないときに、CPU／EPU リリースか自動リリースが発行されると、POCSTS.PWMnF ビットがクリアされます。図 26-1 の PWMnL／H 出力制御タイミングを参照してください。

POCTRG レジスタまたは POCSTS レジスタに書き込むためのアクセスをすると、POCBAS.POCXACS ビットが 1 になります。POCBAS.POCXACS ビットが 1 の間、POC は書き込まれた値を受け取るための処

© SANKEN ELECTRIC CO., LTD. 2017

理をしています。処理を終えると、POCBAS.POCXACS ビットが 0 になります。POCBAS.POCXACS ビットが 1 の間に、POCTRG レジスタまたは POCSTS レジスタに値を書き込んでも、受け取るための処理ができないため動作に反映されません。POCBAS.POCXACS ビットが 0 であることを確認してから、POCTRG レジスタまたは POCSTS レジスタに書き込んでください。

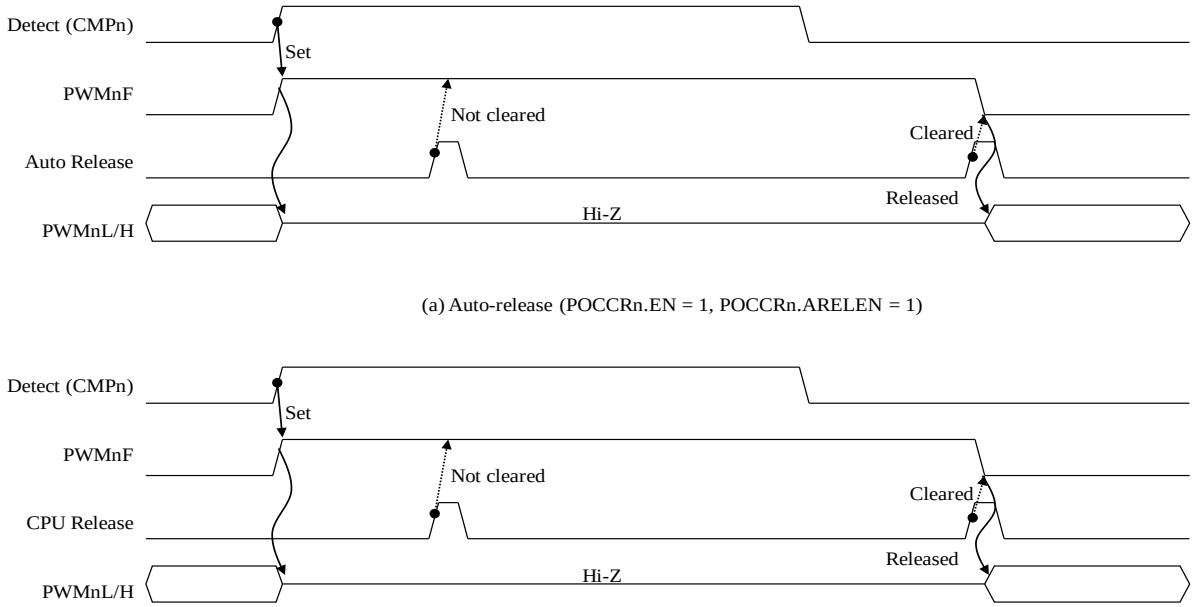


図 26-1　動作タイミング

POC で PWMnL／H 端子をハイインピーダンスに制御し、かつ対応する PWMnL／H 端子のプルダウンをイネーブルに設定した場合（PPD1 レジスタの対応するビットを 1 に設定した場合）、POC が端子出力を制御すると、対応する PWMnL／H 端子はプルダウンになります。

POCCRn.EN ビットで、PWM のチャネル n の POC 機能をイネーブルにします。POCCRn.EN = 1 のとき、POCSTS.PWMnF ビットは、選択された制御イベントでセットできます。POCCRn.EN = 0 のとき、POCSTS.PWMnF ビットはセットできません。POC の制御を設定するレジスタを変更する際は、POCCRn.EN = 0 にする必要があります。

26.3.2. 制御遅延付加

POC は、端子のレベルを“H”に制御する場合に限り、イベントを受けてから端子の制御を始めるまでの時間に遅延を付加できます。遅延を付加するかしないかの選択は、端子ごとに設定できます。PWMnH 端子の制御に遅延を付加したい場合は、通常の設定に加えて POCDTCn.HDEN ビットを 1 に設定してください。同様に、PWMnL 端子の制御に遅延を付加したい場合は、通常の設定に加えて POCDTCn.LDEN ビットを 1 に設定してください。

遅延時間は、POCDTPn レジスタで設定します。設定値は、26.2.7 項を参照してください。制御遅延を付加した場合、制御遅延中にリリース信号が発行されたときの POC の応答を、次から選択できます。

(1) 即座に POC の制御を解除
(2) 設定された遅延時間を待って端子を制御した後に、制御を解除

© SANKEN ELECTRIC CO., LTD. 2017

(2)の動作を選択する場合は、POCDTCn.CLRWAIT ビットを 1 に設定してください。このとき、PWM によるオートクリア機能（POCCRn.ARELEN = 1）は使用できません。また、必ず POC が端子を制御していることを確認してから、CPU や EPU から POC の制御をクリアしてください。

26.4. 注意、制限事項

26.4.1. クロック設定

POC を使用するときは、システムコントローラの MCLKE5 レジスタで POC のクロックをイネーブルにするだけではなく、PWMCSC0 レジスタと PWMENBL レジスタに適切な値を設定し、PWM 用のクロックをイネーブルにしてください。

26.4.2. POCCRn.EN ビットに関する注意事項

POC の設定値を変更する場合、POCCRn.EN ビットを 0 にしてから変更してください。なお、誤作動を避けるため、POCCRn.EN ビットの値を 0 にする際は、POCCRn.EN ビットと同じアドレス内の他のフィールドの値を変更しないでください。

26.4.3. 制御遅延付加時の動作タイミング

POC に遅延を付加した場合、遅延を付加した POC のチャネルは、以下の信号を自身のクロックに同期させます。

- 制御開始イベントの信号
- POCTRG レジスタへの書込みによる制御開始信号
- POCSTS レジスタへの書込みによる制御解除信号

遅延を付加した端子を含む PWM のチャネルは、信号を検知してから端子制御に反映するまでの時間が、遅延を付加しない場合よりも PWM 周期で 16 サイクル程度長くなります。

26.4.4. クリアウェイト機能を使用する際の動作制限

制御遅延付加機能を使用し、かつクリアウェイト機能をイネーブルにした場合（POCDTCn レジスタを 0x81、0x82、0x83 のいずれかの値に設定した場合）、POC 制御をクリアする際に以下の制限があります。

(1) PWM による自動リリース機能は使用できません。必ず、POCCRn.ARELEN = 0 に設定してください。
(2) POCSTS.PWMnF ビットに 1 を書き込んで POC 制御をクリアする場合は、POCSTS.PWMnF ビットに書き込む前に POCSTS レジスタを読み出し、クリアを行うビットが 1（制御中）であることを必ず確認してください。この操作を行わない場合、想定しない動作が発生する可能性があります。

© SANKEN ELECTRIC CO., LTD. 2017

27. コンパレータルックアップテーブル（CMPLUT）

27.1. 概要

コンパレータルックアップテーブル（CMPLUT : Comparator Lookup Table）は、6 つのコンパレータ出力と GPIO のレベルイベントから、任意のイベント信号を生成します。CMPLUT の出力は、POC イベント入力、PWM イベント入力、EPU イベント入力、および LUT0／1 出力端子に接続されています。

表 27-1 に CMPLUT の機能概要を、図 27-1 に CMPLUT のブロック図を示します。

表 27-1　CMPLUT 機能概要

項目	説明
ユニット数	2 ユニット
入力信号	コンパレータ（CMP0～CMP5）の出力を入力 （非同期出力またはノイズフィルタ出力をユニットごとに選択可能）
出力信号	ルックアップテーブルと各 GPIO のレベルイベントの論理演算結果を出力 （非同期出力またはノイズフィルタ出力をユニットごとに選択可能）

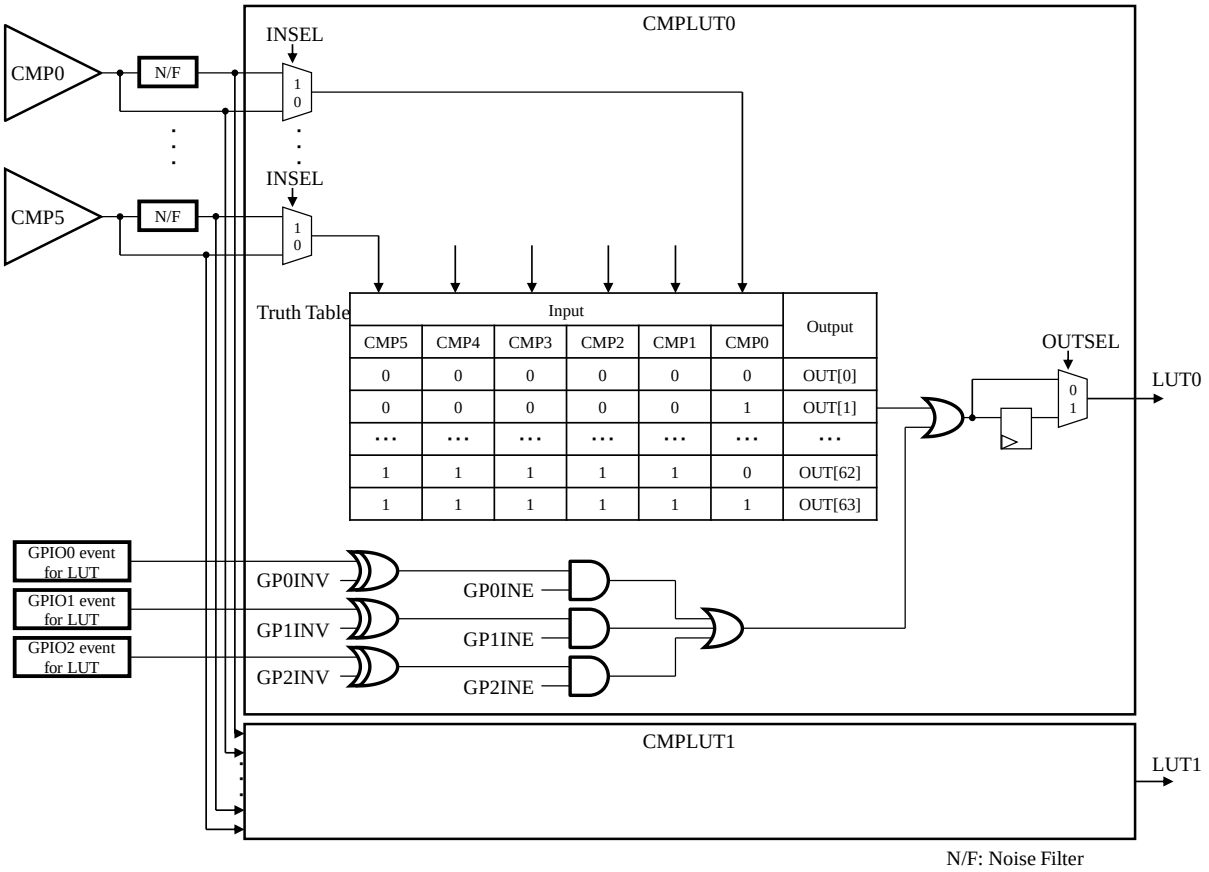


図 27-1　CMPLUT のブロック図

© SANKEN ELECTRIC CO., LTD. 2017

27.2. レジスタ説明

表 27-2　XDATA BUS レジスタ一覧

Symbol	Name	Address	Initial Value
LUT0CR	LUT0 Control Register	0xEC80	0x00
LUT0GPCR	LUT0 GPIO Event Control Register	0xEC81	0x00
LUT0OUT0	LUT0 Output Register0	0xEC88	0x00
LUT0OUT1	LUT0 Output Register1	0xEC89	0x00
LUT0OUT2	LUT0 Output Register2	0xEC8A	0x00
LUT0OUT3	LUT0 Output Register3	0xEC8B	0x00
LUT0OUT4	LUT0 Output Register4	0xEC8C	0x00
LUT0OUT5	LUT0 Output Register5	0xEC8D	0x00
LUT0OUT6	LUT0 Output Register6	0xEC8E	0x00
LUT0OUT7	LUT0 Output Register7	0xEC8F	0x00
LUT1CR	LUT1 Control Register	0xEC90	0x00
LUT1GPCR	LUT1 GPIO Event Control Register	0xEC91	0x00
LUT1OUT0	LUT1 Output Register0	0xEC98	0x00
LUT1OUT1	LUT1 Output Register1	0xEC99	0x00
LUT1OUT2	LUT1 Output Register2	0xEC9A	0x00
LUT1OUT3	LUT1 Output Register3	0xEC9B	0x00
LUT1OUT4	LUT1 Output Register4	0xEC9C	0x00
LUT1OUT5	LUT1 Output Register5	0xEC9D	0x00
LUT1OUT6	LUT1 Output Register6	0xEC9E	0x00
LUT1OUT7	LUT1 Output Register7	0xEC9F	0x00

© SANKEN ELECTRIC CO., LTD. 2017

27.2.1. LUTnCR (LUTn Control Register) (n = 0 to 1)

Register	LUT0CR	LUT0 Control Register	Address	0xEC80
Register	LUT1CR	LUT1 Control Register	Address	0xEC90

Bit	Bit Name	R/W	Initial	Description	Remarks
7	OUTSEL	R/W	0	LUT 出力選択 0：CLKFAST に同期しない LUT 出力 （組合せ論理出力） 1：CLKFAST に同期した LUT 出力 （フリップフロップ出力）	
6	INSEL	R/W	0	LUT 入力選択 0：CMP の非同期出力を LUT に入力 1：CMP のノイズフィルタ出力を LUT に入力 非同期出力については、27.3 項を参照してください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

27.2.2. LUTnGPCR (LUTn GPIO Event Control Register) (n = 0 to 1)

Register	LUT0GPCR	LUT0 GPIO Event Control Register	Address	0xEC81
Register	LUT1GPCR	LUT1 GPIO Event Control Register	Address	0xEC91

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	GP2INE	R/W	0	GPIO2 イベント入力イネーブル 0：論理和を取らない 1：論理和を取る LUT 出力と反転制御後のイベント信号の論理和を取るか取らないかを設定します。	
5	GP1INE	R/W	0	GPIO1 イベント入力イネーブル 0：論理和を取らない 1：論理和を取る LUT 出力と反転制御後のイベント信号の論理和を取るか取らないかを設定します。	
4	GP0INE	R/W	0	GPIO0 イベント入力イネーブル 0：論理和を取らない 1：論理和を取る LUT 出力と反転制御後のイベント信号の論理和を取るか取らないかを設定します。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	GP2INV	R/W	0	GPIO2 イベント入力の反転 0：GPIO2 イベント信号を反転しない 1：GPIO2 イベント信号を反転する	
1	GP1INV	R/W	0	GPIO1 イベント入力の反転 0：GPIO1 イベント信号を反転しない 1：GPIO1 イベント信号を反転する	
0	GP0INV	R/W	0	GPIO0 イベント入力の反転 0：GPIO0 イベント信号を反転しない 1：GPIO0 イベント信号を反転する	

© SANKEN ELECTRIC CO., LTD. 2017

27.2.3. LUTnOUTm (LUTn Output Register m) (n = 0 to 1, m = 0 to 7)

Register	LUT0OUT0	LUT0 Output Register0	Address	0xEC88
Register	LUT0OUT1	LUT0 Output Register1	Address	0xEC89
Register	LUT0OUT2	LUT0 Output Register2	Address	0xEC8A
Register	LUT0OUT3	LUT0 Output Register3	Address	0xEC8B
Register	LUT0OUT4	LUT0 Output Register4	Address	0xEC8C
Register	LUT0OUT5	LUT0 Output Register5	Address	0xEC8D
Register	LUT0OUT6	LUT0 Output Register6	Address	0xEC8E
Register	LUT0OUT7	LUT0 Output Register7	Address	0xEC8F
Register	LUT1OUT0	LUT1 Output Register0	Address	0xEC98
Register	LUT1OUT1	LUT1 Output Register1	Address	0xEC99
Register	LUT1OUT2	LUT1 Output Register2	Address	0xEC9A
Register	LUT1OUT3	LUT1 Output Register3	Address	0xEC9B
Register	LUT1OUT4	LUT1 Output Register4	Address	0xEC9C
Register	LUT1OUT5	LUT1 Output Register5	Address	0xEC9D
Register	LUT1OUT6	LUT1 Output Register6	Address	0xEC9E
Register	LUT1OUT7	LUT1 Output Register7	Address	0xEC9F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	OUT[8×m+7]	R/W	0	CMP[5:0] = 8 × m + 7のときの LUT 出力	
6	OUT[8×m+6]	R/W	0	CMP[5:0] = 8 × m + 6のときの LUT 出力	
5	OUT[8×m+5]	R/W	0	CMP[5:0] = 8 × m + 5のときの LUT 出力	
4	OUT[8×m+4]	R/W	0	CMP[5:0] = 8 × m + 4のときの LUT 出力	
3	OUT[8×m+3]	R/W	0	CMP[5:0] = 8 × m + 3のときの LUT 出力	
2	OUT[8×m+2]	R/W	0	CMP[5:0] = 8 × m + 2のときの LUT 出力	
1	OUT[8×m+1]	R/W	0	CMP[5:0] = 8 × m + 1のときの LUT 出力	
0	OUT[8×m]	R/W	0	CMP[5:0] = 8 × mのときの LUT 出力	

© SANKEN ELECTRIC CO., LTD. 2017

27.3. 動作

コンパレータ（CMP）の出力を CMPLUT に入力します。各 CMP には、非同期出力（出力信号が CLKFAST に同期しない出力）とノイズフィルタ出力の 2 つの出力があります。非同期出力は、コンパレータ出力を、DAC 更新時の出力ラッチと PWM 信号で、イベントマスク処理した信号です。CMPLUT への入力は、LUTnCR.INSEL ビットで選択できます。

LUTnOUTm レジスタで、6 入力 1 出力の真理値表（図 27-1 参照）の LUT 出力を設定できます。LUTnOUTm レジスタの OUT[x]ビットは、CMP[CMP5、CMP4、…、CMP1、CMP0] = x から入力したときの出力を示します。真理値表から、1 にする LUT 出力を選択し、その OUT[x]ビットだけを 1 に設定します。例として、すべてのコンパレータ入力（CMP0～CMP5）が 1 のときに、1 を出力する場合は、OUT[63]ビット（LUTnOUT7 レジスタのビット 7）だけを 1 に設定します。残りの OUT[x]ビットは、0 に設定します。

また、LUT の出力と GPIO のイベント信号の論理和を、CMPLUT に出力できます。GPIO が出力するイベント信号は、レベル形式です。LUTnGPCR.GPxINV ビット（x = 0／1／2）を 1 に設定すると、GPIO0／1／2 のイベント信号を反転させることができます。

LUTn 端子は CMPLUTn の出力です。LUTn 端子の信号を LSI の出力端子に出力したり、PWM と POC の入力イベントに使用したりできます。出力は、CLKFAST に同期しない LUT 出力と、CLKFAST に同期したフリップフロップ出力の 2 つがあり、LUTnCR.OUTSEL ビットで設定できます。LUTnCR.INSEL = 1 かつ LUTnCR.OUTSEL = 1 に設定すると、LUTn 端子のグリッチパルスは抑制できますが、出力レイテンシは増加します。これ以外の設定では、グリッチが発生する可能性がありますが、出力レイテンシは減少します。

© SANKEN ELECTRIC CO., LTD. 2017

28. SCID（デバッガ付きシリアルコミュニケーションインタフェース）

本 LSI は、SCID（Serial Communication Interface with Debugger）機能モジュールを内蔵しています。双方向の 1 線インタフェースで、外部ホストデバイスとの半二重 UART（Universal Asynchronous Receiver Transmitter）通信をすることができます。

さらに SCID には、統合開発環境と本 LSI に内蔵されているオンチップデバッガ（OCD：On Chip Debugger）機能を接続するための機能があり、ユーザのプログラムデバッグやフラッシュメモリのプログラミングにも使用します。

ユーザ用の通信機能とデバッガ用の通信機能は、共通の 1 線インタフェースを使用するため、一般的には排他的な使用になります。しかし、本 LSI では、外部にデバッグインタフェース基板（別途提供）を用意することで、ユーザ用の通信とデバッガ用の通信を同時に処理できます。

28.1. 概要

SCID の目的は、外部ホストデバイスとの通信（図 28-1 参照）と、ユーザソフトウェアのデバッグおよびフラッシュメモリ上のソフトウェアのプログラム（イレース、ライト）です。

外部ホストデバイスとの通信プロトコルは、双方向 1 線信号を使用する半二重 UART 方式に基づいています。電気的に衝突しないように、1 線信号はオープンドレイン方式で駆動する必要があります。

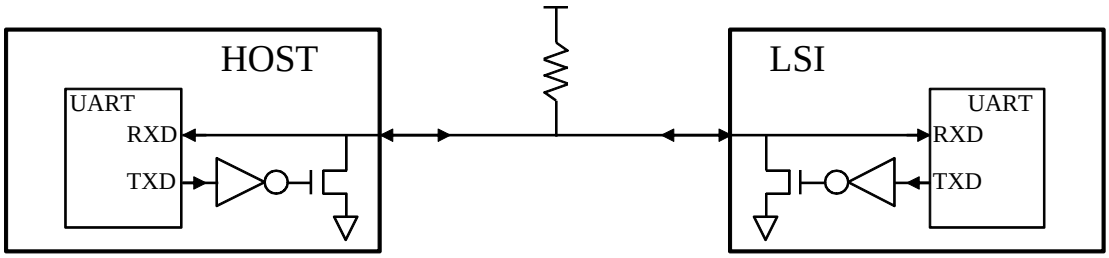


図 28-1　外部ホストデバイスとの間の 1 線式通信

ユーザソフトウェアのデバッグと、フラッシュメモリ上のソフトウェアのプログラムは、CPU コアに実装された OCD を外部デバッグインタフェース基板に接続して行います。通信方式は、双方向 1 線信号を使用する半二重 UART 方式です。

図 28-1 のような SCID 機能でユーザ通信をするシステムを構築する場合、そのソフトウェアもデバッグする必要があります。デバッグする際は、図 28-2 に示すように、ユーザ用通信インタフェースとデバッガ用通信インタフェースが独立して存在していることが理想ですが、この LSI には通信のための信号が 1 つしかありません。SCID は、図 28-2 のシステムを 1 本の 1 線式通信インタフェースで、ユーザ用とデバッガ用に多重化して使用するための機能を提供しています。SCID の基本的な考え方を次項に説明します。

© SANKEN ELECTRIC CO., LTD. 2017

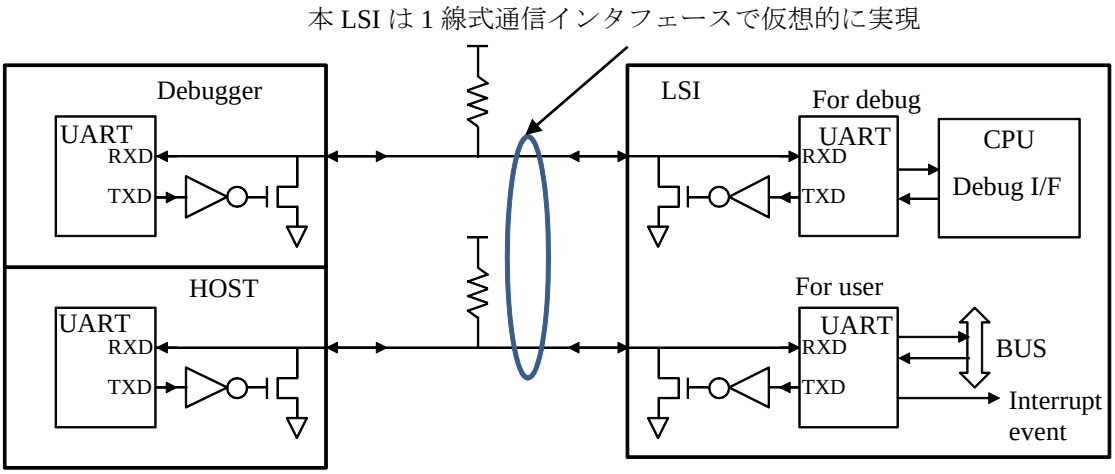


図 28-2　1 線式ユーザ用通信と 1 線式デバッガ用通信の同時使用状態

28.2. 基本動作

SCID には、UART モードと OCD モードの 2 つの動作モードがあります。

28.2.1. 動作モードの設定

本 LSI をリセットした直後、SCID は、外部から 8N1（8 ビット、パリティなし、ストップビット長 1）フォーマットのデータ 0x55 の受信を待っています。このデータを受信する際、データの受信中に受信信号波形のパルス幅からボーレートを計測します。いったんボーレートを計測すると、その後、SCID はそのボーレートで通信します。

ボーレート計測結果は、16 ビットの値でレジスタ UART_BAUD_H（上位 8 ビット）と UART_BAUD_L（下位 8 ビット）に反映されます。この値に応じて SCID の動作モードが以下のように決定されます。

- UART モード：{UART_BAUD_H, UART_BAUD_L} ＞ 48 の場合（ボーレート値が約 250 Kbps より小さい場合）
- OCD モード：{UART_BAUD_H, UART_BAUD_L} ≤ 48 の場合（ボーレート値が約 250 Kbps 以上の場合）

© SANKEN ELECTRIC CO., LTD. 2017

28.2.2. UART モード

図 28-3 に示すように、UART モードにおいて、SCID は、単一の外部ホストデバイスと 1 線による半二重 UART 通信を行います。これは、デバッグ機能を無効にした状態で、通常のユーザアプリケーションとして UART 通信をするモードです。UART 通信フォーマットやボーレートは、ユーザによって再設定できます。

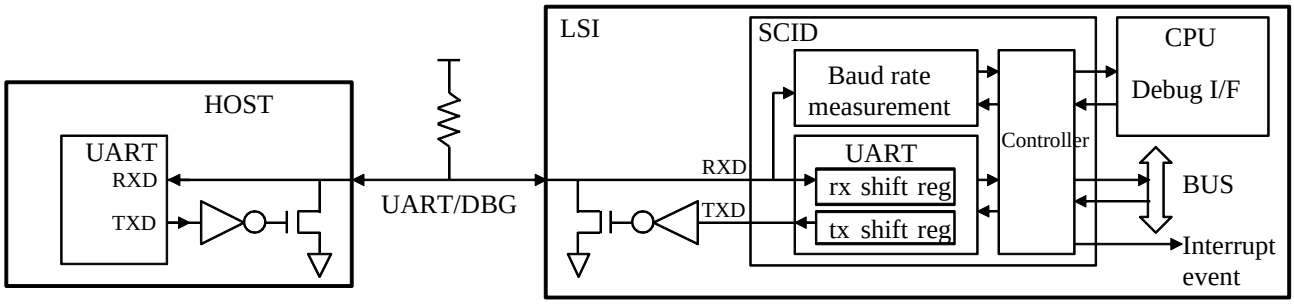


図 28-3　外部ホストデバイスとの 1 線通信

28.2.3. OCD モード

OCD モードとは、OCD インタフェース基板に直結するときに使用するモードです。OCD インタフェース基板とは、弊社から別途提供している統合開発環境のデバッグ用基板です。OCD モードで、通常のプログラムデバッグやフラッシュメモリのイレース／プログラムを行います。

図 28-4 に UART モードに相当するユーザ通信をしながら、デバッガ機能を使用するための構成を示します。図 28-4 を構成するためには、弊社から提供する SCID 専用インタフェース基板を使用してください。SCID 専用インタフェース基板には、以下の 3 つの通信ポートがあります。

● 外部ホストデバイスとの通信

外部ホストデバイスと SCID 専用インタフェース基板を、1 線通信信号で接続します。プロトコルは、UART モードにおいて、外部ホストデバイスと SCID 間で通信する動作（図 28-3 参照）と同一になります。本 LSI 上のプログラムが、UART 通信フォーマットやボーレートを再設定するために、SCID の設定レジスタを変更すると、SCID 専用インタフェース基板と外部ホストデバイスとの間の通信にもその設定が反映されます。

● パソコンとの通信

パソコンとの接続は USB インタフェースで行います。この USB インタフェースを経由して、パソコン上で動作する統合開発環境から、デバッグ作業やフラッシュメモリのイレース／プログラムを行います。

● **SCID との通信**

本 LSI の SCID と SCID 専用インタフェース基板を、1 線通信信号で接続します。このボーレートは固定値（非公開）で、本 LSI が起動した後、SCID 専用インタフェース基板から、SCID に OCD モードを選択できるボーレートの 0x55 を送信します。SCID との通信における通信ボーレートには、0x55 を送ったときのボーレートがそのまま使用されます。通信フォーマットには、SCID 側が受信する場合は 8N1、SCID 側から送信する場合は 8N2 が使用されます。このポートで行われる通信内容は、非公開の専用プロトコルです。SCID と SCID 専用インタフェース基板が協調しながら、これを実現しています。

© SANKEN ELECTRIC CO., LTD. 2017

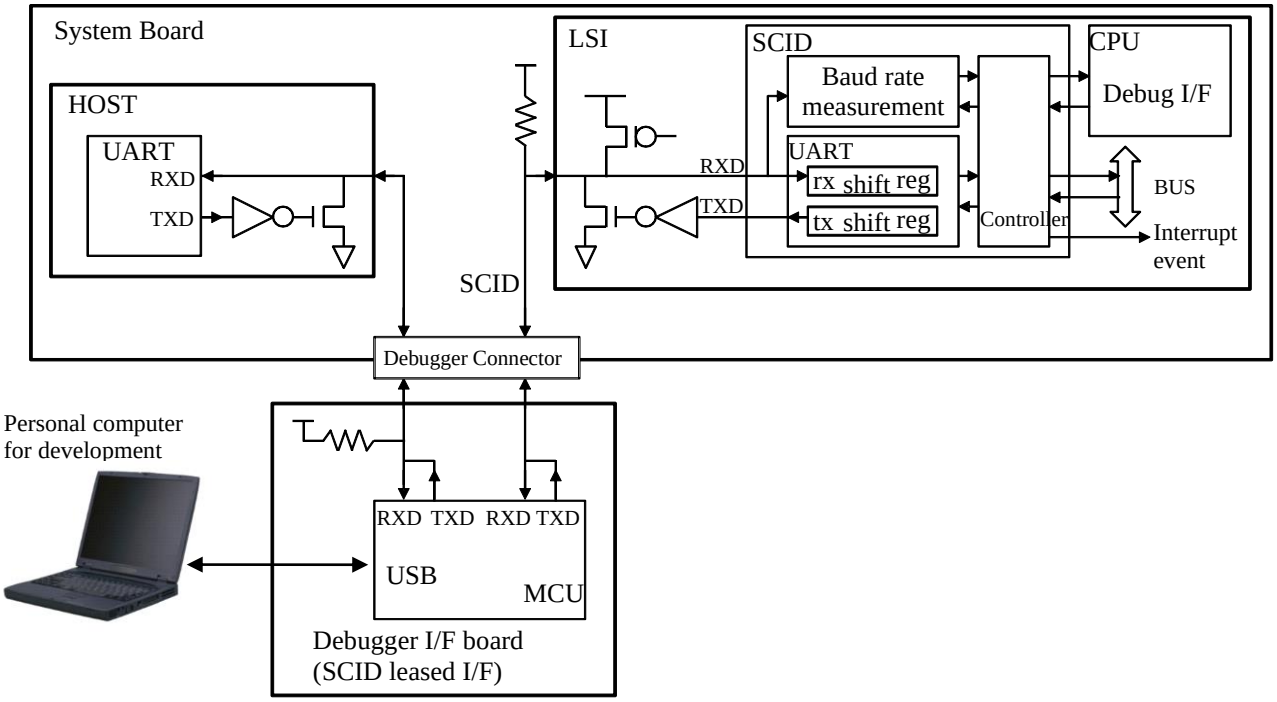


図 28-4　1 線通信ライン上で、外部ホストデバイスとのユーザ通信に、
統合開発環境からのデバッグ用通信を重畳する場合

28.2.4. UART 動作に関する注意

外部ホストデバイスと SCID の間の通信に関して、UART モードと OCD モードはほとんど同じです。しかし、OCD モードでは、ホスト通信とデバッガ通信を 1 線上にマルチプレクスしており、通信タイミングや通信レイテンシに違いが生じる場合があるため、注意が必要です。

28.2.5. 外部ホストデバイスとの通信がないデバッグ操作とフラッシュメモリのプログラミングについて

統合開発環境からのデバッグ操作時に外部ホストデバイスと SCID の間の通信が必要ない場合や、フラッシュメモリをプログラムするだけの場合は、弊社から提供する OCD インタフェース基板を SCID に直結してください。SCID 専用インタフェース基板を使用する場合は、外部ホストデバイスとの通信用ポートをオープンにできます（図 28-5 参照）。このとき、外部ホストデバイスと SCID の間の信号は切断する必要はありませんが、外部ホストデバイスとは通信させないでください。

注意：
28 項では、UART 動作を説明します。OCD モードの動作の詳細や、SCID 専用インタフェース基板のパソコンと SCID との通信プロトコルは、非公開です。

© SANKEN ELECTRIC CO., LTD. 2017

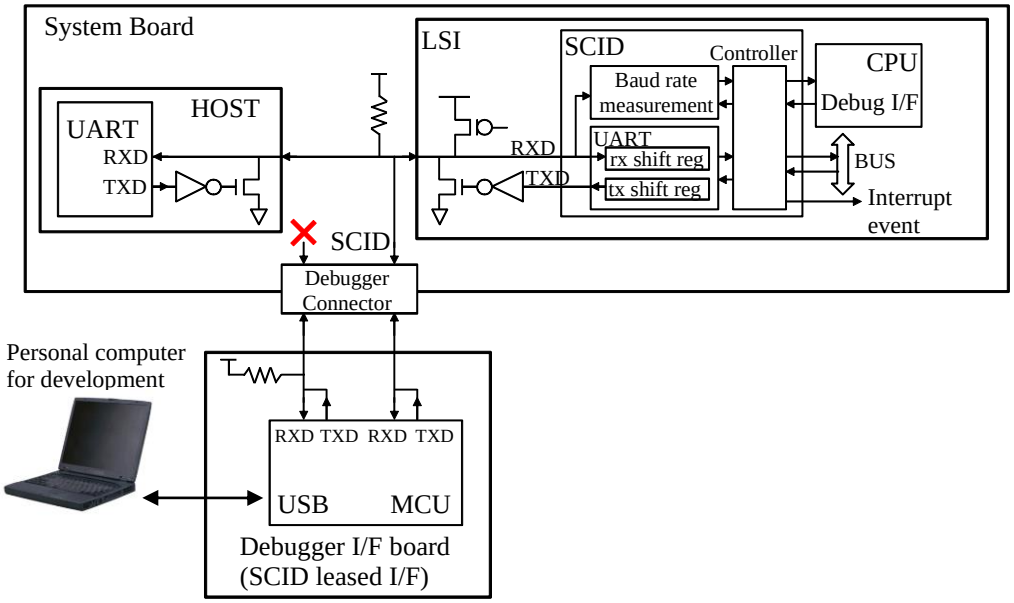


図 28-5　外部ホストデバイスと通信しない場合

© SANKEN ELECTRIC CO., LTD. 2017

28.3. SCID の UART 機能概要

表 28-1　SCID の UART 機能概要

項目	説明
キャラクタ フォーマット	データ長：5 ビット／6 ビット／7 ビット／8 ビット スタートビット：1 ビット パリティビット：なし／偶数／奇数／スティッキィ ストップビット：1 ビット／2 ビット
UART 通信線	双方向 1 線式 半二重 送信中に受信動作をマスク可能
ボーレート	ボーレートは自動的に測定して設定 ボーレートのユーザ指定も可能 $\text{ボーレート(bps)} = \frac{\text{CLKIRC}}{\text{N}}$ ここで、 N：ボーレートレジスタの設定値（N ＞ 3）
FIFO	RXFIFO：8 ビット×16 段 TXFIFO：8 ビット×16 段
受信レディ通知	RXFIFO にたまった受信データが指定した数以上になったとき RXFIFO にたまった受信データが指定した数より小さい場合に、タイムアウトが発生したとき
送信レディ通知	TXFIFO の空き領域が指定した数以上になったとき
イベントフラグ セット条件	フレーミングエラー／パリティエラー／オーバランエラー／送信完了／受信ブレイク検知
割込み要求	受信レディ／送信レディ／イベントフラグ 割込みごとにイネーブル指定可能
ブレイク検知	受信ブレイク検知可能
モデム制御	サポートなし

© SANKEN ELECTRIC CO., LTD. 2017

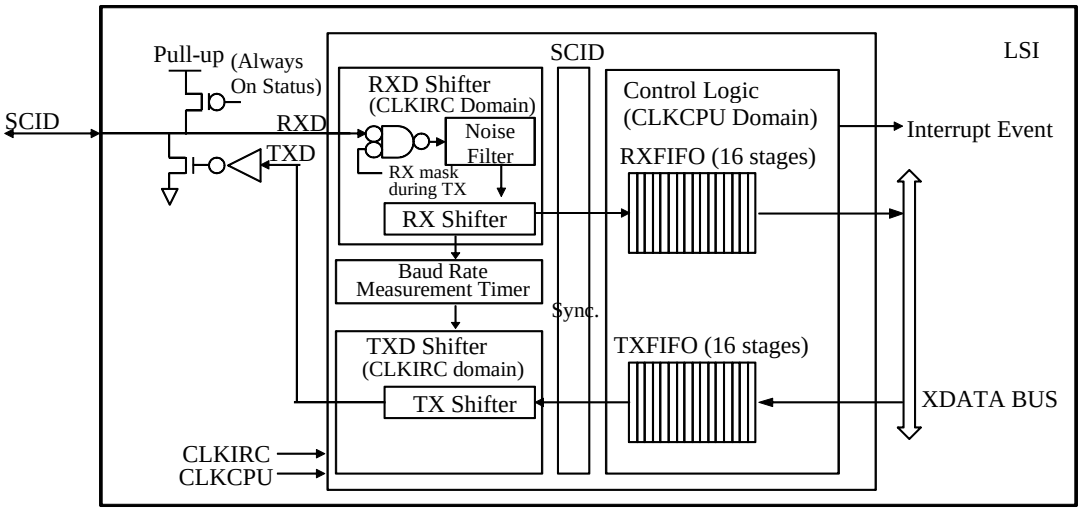


図 28-6　SCID 内の UART 機能のブロック図

28.4. レジスタ説明

Symbol	Name	Address	Initial Value
UART_TXD	UART TX Data Register	0xE200	0x00
UART_RXD	UART RX Data Register	0xE201	0x00
UART_CR	UART Control Register	0xE202	0x03
UART_BRK	UART Break Control Register	0xE203	0x00
UART_SR	UART Status Register	0xE204	0x01
UART_IE	UART Interrupt Enable Register	0xE205	0x00
UART_TXFIFO_SR	UART TXFIFO Status Register	0xE206	0x80
UART_TXFIFO_CR	UART TXFIFO Control Register	0xE207	0x00
UART_RXFIFO_SR	UART RXFIFO Status Register	0xE208	0x80
UART_RXFIFO_CR	UART RXFIFO Control Register	0xE209	0x00
UART_RXFIFO_TO_L	UART RXFIFO Timeout Register Low	0xE20A	0x00
UART_RXFIFO_TO_H	UART RXFIFO Timeout Register High	0xE20B	0x00
UART_BAUD_L	UART Baud Rate Register Low	0xE20C	0x00
UART_BAUD_H	UART Baud Rate Register High	0xE20D	0x00
SCID_SYSR_CR	SCID System Control Register	0xE20E	0x00
SCID_STATE	SCID Internal State Register	0xE20F	0x00

© SANKEN ELECTRIC CO., LTD. 2017

28.4.1. UART_TXD (UART TX Data Register)

Register	UART_TXD		UART TX Data Register		Address	0xE200
Bit	Bit Name	R/W	Initial	Description		Remarks
7	TXD	R/W	0	TXFIFO に格納する送信データ ライト : ライトした送信データを TXFIFO に格納 リード : 前回ライトしたデータの読出し		
6		R/W	0			
5		R/W	0			
4		R/W	0			
3		R/W	0			
2		R/W	0			
1		R/W	0			
0		R/W	0			

28.4.2. UART_RXD (UART RX Data Register)

Register	UART_RXD		UART RX Data Register		Address	0xE201
Bit	Bit Name	R/W	Initial	Description		Remarks
7	RXD	R	0	RXFIFO から読み出す受信データ リード : RXFIFO から受信データの読出し ライト : 影響なし		
6		R	0			
5		R	0			
4		R	0			
3		R	0			
2		R	0			
1		R	0			
0		R	0			

© SANKEN ELECTRIC CO., LTD. 2017

28.4.3. UART_CR (UART Control Register)

ENBL ビットで UART をイネーブルにする場合は、その他のビットも同時に設定できます。

Register	UART_CR	UART Control Register	Address	0xE202

Bit	Bit Name	R/W	Initial	Description	Remarks
7	ENBL	R/W	0	UART 機能イネーブル 0：ディスエーブル 1：イネーブル	
6	RXMASK	R/W	0	送信中の受信マスク設定 0：送信動作中に送信データを受信 1：送信動作中に送信データを受信しない（マスク）	
5	PARITY	R/W	0	パリティビット 001：奇数パリティ 011：偶数パリティ 101：“H”レベルパリティ（スティッキィ） 111：“L”レベルパリティ（スティッキィ） その他：パリティなし	
4		R/W	0		
3		R/W	0		
2	STOP	R/W	0	送信キャラクタのストップビット長 0：1 ストップビット 1：2 ストップビット	
1	DATALEN	R/W	1	送受信キャラクタのデータ長 00：5 ビット 01：6 ビット 10：7 ビット 11：8 ビット	
0		R/W	1		

28.4.4. UART_BRK (UART Break Control Register)

Register	UART_BRK	UART Break Control Register	Address	0xE203

Bit	Bit Name	R/W	Initial	Description	Remarks
7	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	RXBRK_E	R/W	0	受信ブレイク検出イネーブル 0：受信ブレイク検出をディスエーブル 1：受信ブレイク検出をイネーブル	
0	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	

© SANKEN ELECTRIC CO., LTD. 2017

28.4.5. UART_SR (UART Status Register)

Register	UART_SR	UART Status Register	Address	0xE204

Bit	Bit Name	R/W	Initial	Description	Remarks
7	RX_BRK	R/C	0	受信ブレイクの検出フラグ リード 0：受信ブレイクの検出なし リード 1：受信ブレイクを検出 ライト 0：変化なし ライト 1：本ビットをクリア	
6	RX_PER	R/C	0	受信パリティエラーの検出フラグ リード 0：受信パリティエラーの検出なし リード 1：受信パリティエラーを検出 ライト 0：変化なし ライト 1：本ビットをクリア	
5	RX_FER	R/C	0	受信フレーミングエラーの検出フラグ リード 0：受信フレーミングエラーの検出なし リード 1：受信フレーミングエラーを検出 ライト 0：変化なし ライト 1：本ビットをクリア	
4	RX_OVR	R/C	0	受信オーバランエラーの検出フラグ リード 0：受信オーバランエラーの検出なし リード 1：受信オーバランエラーを検出 ライト 0：変化なし ライト 1：本ビットをクリア	
3	TX_DONE	R/C	0	送信キャラクタ送信完了検出フラグ リード 0：送信完了の検出なし リード 1：送信完了を検出 ライト 0：変化なし ライト 1：本ビットをクリア 本ビットは、UART_TXD レジスタに送信データをライトしたときもクリアされます。	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	RX_RDY	R	0	受信（RXFIFO）レディ状態検出フラグ リード 0：RXFIFO がレディ状態ではない リード 1：RXFIFO がレディ状態 本フラグは、UART_RXFIFO_CR レジスタの設定に基づいて RXFIFO の状態を示しているだけです。本フラグだけを直接クリアできません。	
0	TX_RDY	R	1	送信（TXFIFO）レディ状態検出フラグ リード 0：TXFIFO がレディ状態ではない リード 1：TXFIFO がレディ状態 本フラグは、UART_TXFIFO_CR レジスタの設定に基づいて TXFIFO の状態を示しているだけです。本フラグだけを直接クリアできません。	

© SANKEN ELECTRIC CO., LTD. 2017

28.4.6. UART_IE (UART Interrupt Enable Register)

Register	UART_IE	UART Interrupt Enable Register	Address	0xE205

Bit	Bit Name	R/W	Initial	Description	Remarks
7	IE_RX_BRK	R/W	0	RX_BRK 割込み要求イネーブル 0：RX_BRK 割込み要求をディスエーブル 1：RX_BRK 割込み要求をイネーブル	
6	IE_RX_PER	R/W	0	RX_PER 割込み要求イネーブル 0：RX_PER 割込み要求をディスエーブル 1：RX_PER 割込み要求をイネーブル	
5	IE_RX_FER	R/W	0	RX_FER 割込み要求イネーブル 0：RX_FER 割込み要求をディスエーブル 1：RX_FER 割込み要求をイネーブル	
4	IE_RX_OVR	R/W	0	RX_OVR 割込み要求イネーブル 0：RX_OVR 割込み要求をディスエーブル 1：RX_OVR 割込み要求をイネーブル	
3	IE_TX_DONE	R/W	0	TX_DONE 割込み要求イネーブル 0：TX_DONE 割込み要求をディスエーブル 1：TX_DONE 割込み要求をイネーブル	
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
1	IE_RX_RDY	R/W	0	RX_RDY 割込み要求イネーブル 0：RX_RDY 割込み要求をディスエーブル 1：RX_RDY 割込み要求をイネーブル	
0	IE_TX_RDY	R/W	0	TX_RDY 割込み要求イネーブル 0：TX_RDY 割込み要求をディスエーブル 1：TX_RDY 割込み要求をイネーブル	

© SANKEN ELECTRIC CO., LTD. 2017

28.4.7. UART_TXFIFO_SR (UART TXFIFO Status Register)

Register	UART_TXFIFO_SR	UART TXFIFO Status Register	Address	0xE206

Bit	Bit Name	R/W	Initial	Description	Remarks
7	NOT_FULL	R	1	TXFIFO 非フル状態フラグ リード 0：TXFIFO がフル状態 リード 1：TXFIFO がフル状態ではない	
6	NOT_EPTY	R	0	TXFIFO 非エンプティ状態フラグ リード 0：TXFIFO がエンプティ状態 リード 1：TXFIFO がエンプティ状態ではない	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	OCCUPATION	R	0	TXFIFO 内のデータ個数 00000：0 バイト 00001：1 バイト 00010：2 バイト … 01111：15 バイト 10000：16 バイト その他：なし	
3		R	0		
2		R	0		
1		R	0		
0		R	0		

28.4.8. UART_TXFIFO_CR (UART TXFIFO Control Register)

Register	UART_TXFIFO_CR	UART TXFIFO Control Register	Address	0xE207

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CLR	W	0	TXFIFO クリア ライト 0：変化なし ライト 1：TXFIFO をクリア リード値は常に 0 です。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	RDY_LVL	R/W	0	TXFIFO レディレベル 0000：1 バイト 0001：2 バイト 0010：3 バイト … 1110：15 バイト 1111：16 バイト TXFIFO に本ビットで設定した値以上の空き領域がある場合、UART_SR.TX_RDY ビットを 1 にセットします。	
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

28.4.9. UART_RXFIFO_SR (UART RXFIFO Status Register)

Register	UART_RXFIFO_SR	UART RXFIFO Status Register	Address	0xE208

Bit	Bit Name	R/W	Initial	Description	Remarks
7	NOT_FULL	R	1	RXFIFO 非フル状態フラグ リード 0：RXFIFO がフル状態 リード 1：RXFIFO がフル状態ではない	
6	NOT_EPTY	R	0	RXFIFO 非エンプティ状態フラグ リード 0：RXFIFO がエンプティ状態 リード 1：RXFIFO がエンプティ状態ではない	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	OCCUPATION	R	0	RXFIFO 内のデータ個数 00000：0 バイト 00001：1 バイト 00010：2 バイト … 01111：15 バイト 10000：16 バイト その他：なし	
3		R	0		
2		R	0		
1		R	0		
0		R	0		

28.4.10. UART_RXFIFO_CR (UART RXFIFO Control Register)

Register	UART_RXFIFO_CR	UART RXFIFO Control Register	Address	0xE209

Bit	Bit Name	R/W	Initial	Description	Remarks
7	CLR	W	0	RXFIFO クリア ライト 0：変化なし ライト 1：RXFIFO をクリア リード値は常に 0 です。	
6	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
5	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。	
3	RDY_LVL	R/W	0	RXFIFO レディレベル設定 0000：1 バイト 0001：2 バイト 0010：3 バイト … 1110：15 バイト 1111：16 バイト RXFIFO に本ビットで設定した値以上のデータがある場合、UART_SR.RX_RDY ビットを 1 にセットします。	
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

28.4.11. UART_RXFIFO_TO_L/H (UART RXFIFO Timeout Register Low/High)

値を設定する際は、必ず UART_RXFIFO_TO_L レジスタ、UART_RXFIFO_TO_H レジスタの順にライトしてください。

Register	UART_RXFIFO_TO_L	UART RXFIFO Timeout Register Low	Address	0xE20A

Bit	Bit Name	R/W	Initial	Description	Remarks
7	TOUT_L	R/W	0	RXFIFO タイムアウト（LSB 側） 次式の RXFIFO_TOUT の下位 8 ビットを設定します。 UART_SR.RX_RDY = 0 かつ RXFIFO 内のデータが 1 バイト以上ある状態が、タイムアウト期間継続した場合、UART_RXFIFO_CR.RDY_LVL ビットで設定した条件に達していなくても、UART_SR.RX_RDY ビットをセットします。 $\text{タイムアウト期間(s)} = \frac{\text{RXFIFO_TOUT} + 1}{\text{ボーレート(bps)}}$ ここで、RXFIFO_TOUT は 16 ビットで、TOUT_L ビットと TOUT_H ビットを連接した値です。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

Register	UART_RXFIFO_TO_H	UART RXFIFO Timeout Register High	Address	0xE20B

Bit	Bit Name	R/W	Initial	Description	Remarks
7	TOUT_H	R/W	0	RXFIFO タイムアウト（MSB 側） 次式の RXFIFO_TOUT の上位 8 ビットを設定します。 UART_SR.RX_RDY = 0 かつ RXFIFO 内のデータが 1 バイト以上ある状態が、タイムアウト期間継続した場合、UART_RXFIFO_CR.RDY_LVL 条件に達していなくても、UART_SR.RX_RDY ビットをセットします。 $\text{タイムアウト期間(s)} = \frac{\text{RXFIFO_TOUT} + 1}{\text{ボーレート(bps)}}$ ここで、RXFIFO_TOUT は 16 ビットで、TOUT_L ビットと TOUT_H ビットを連接した値です。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

28.4.12. UART_BAUD_L/H (UART Baud Rate Register Low/High)

値を設定する際は、必ず UART_BAUD_L レジスタ、UART_BAUD_H レジスタの順にライトしてください。

Register	UART_BAUD_L	UART Baud Rate Register Low	Address	0xE20C

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BAUD_L	R/W	0	ボーレート（LSB 側） ボーレート分周比の下位 8 ビット側を設定します。 $\text{ボーレート(bps)} = \frac{\text{CLKIRC}}{\text{N}}$ ここで、N は 16 ビットで、BAUD_H ビットと BAUD_L ビットを連接した値です。また、N は 3 より大きい値に設定する必要があります。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

Register	UART_BAUD_H	UART Baud Rate Register High	Address	0xE20D

Bit	Bit Name	R/W	Initial	Description	Remarks
7	BAUD_H	R/W	0	ボーレート（MSB 側） ボーレート分周比の上位 8 ビット側を設定します。 $\text{ボーレート(bps)} = \frac{\text{CLKIRC}}{\text{N}}$ ここで、N は 16 ビットで、BAUD_H ビットと BAUD_L ビットを連接した値です。また、N は 3 より大きい値に設定する必要があります。	
6		R/W	0		
5		R/W	0		
4		R/W	0		
3		R/W	0		
2		R/W	0		
1		R/W	0		
0		R/W	0		

© SANKEN ELECTRIC CO., LTD. 2017

28.4.13. SCID_SYSR_CR (SCID System Control Register)

本レジスタで SCID 内の状態をリセットしても、TXFIFO と RXFIFO はクリアされません。
SCID_SYSR_CR レジスタへのアクセスは推奨しません。詳細仕様は非公開です。

Register	SCID_SYSR_CR		SCID System Control Register		Address	0xE20E
Bit	Bit Name	R/W	Initial	Description		Remarks
7	MODE	R/W	1	SCID 動作モードの強制設定 リード 0：SCID は UART モード状態 リード 1：SCID は OCD モード状態 ライト 0 から 0：変化なし ライト 1 から 1：変化なし ライト 0 から 1：UART モードから OCD モードに強制的に変更* ライト 1 から 0：OCD モードから UART モードに強制的に変更* * 再設定したボーレートや、立ち上げ時の 0x55 受信データのボーレートによるモード設定にかかわらず、モードは強制的に変更されます。		
6	OCD_RX_PER	R/C	0	デバッガ側通信時の受信パリティエラー検出フラグ リード 0：受信パリティエラーの検出なし リード 1：受信パリティエラーを検出 ライト 0：変化なし ライト 1：本ビットをクリアします。 OCD 通信側は、パリティビットを付加しないので本ビットは 1 にセットされません。		
5	OCD_RX_FER	R/C	0	デバッガ側通信時の受信フレーミングエラー検出フラグ リード 0：受信フレーミングエラーの検出なし リード 1：受信フレーミングエラーを検出 ライト 0：変化なし ライト 1：本ビットをクリア		
4	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
3	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
2	Reserved	R	0	リード値は 0 です。また、必ず 0 をライトしてください。		
1	RESET_MODE	W	0	現在設定されている動作モードの内部状態リセット ライト 0：変化なし ライト 1：現在設定されている動作モードの内部状態をリセット（動作モード自体は変更されません。） リード値は常に 0 です。		
0	RESET_ROOT	W	0	SCID の内部状態リセット ライト 0：変化なし ライト 1：SCID の内部状態を初期状態にリセット（初期状態では、動作モードは、設定待受け状態になり、0x55 受信データのボーレートで設定されます。） リード値は常に 0 です。		

© SANKEN ELECTRIC CO., LTD. 2017

28.4.14. SCID_STATE (SCID Internal State Register)

SCID_STATE レジスタへのアクセスは推奨しません。詳細仕様は非公開です。

Register	SCID_STATE	SCID Internal State Register	Address	0xE20F

Bit	Bit Name	R/W	Initial	Description	Remarks
7	STATE	R	0	内部状態 内部状態が 16 ビットで示されます。 1 回目のリードで下位 8 ビットが、2 回目のリードで上位 8 ビットが読み出されます。	
6		R	0		
5		R	0		
4		R	0		
3		R	0		
2		R	0		
1		R	0		
0		R	0		

28.5. SCID の UART モードの動作

28.5.1. UART キャラクタフォーマット

UART キャラクタフォーマットは以下の要素から構成されます。このフォーマットは、UART_CR レジスタで設定します。図 28-7 に UART キャラクタフォーマットの一例を示します。

● スタートビット

転送開始を示すため、1 つのキャラクタはスタートビットから送信されます。スタートビットは、1 ビット期間（t_{BIT}）、“L”レベルになります。1 ビット期間（t_{BIT}）は、ボーレート（bps）の逆数で計算できます。

● データビット

スタートビットに続いてデータビットが送信されます。データビットの長さは、UART_CR.DATALEN ビットで、5 ビット長から 8 ビット長までのいずれかを選択できます。データビットは、LSB ファーストで転送されます。

● パリティビット

パリティビットは UART_CR.PARITY ビットで設定できます。設定内容は以下のとおりです。

- パリティなし
  送信動作時に、キャラクタフォーマットにパリティビットを付加しません。受信動作時は、パリティを確認しません。また、パリティエラーは発生しません。
- 奇数パリティ
  送信動作時に、各キャラクタ内のデータビットとパリティビットの中で、1 のビットが奇数個になるようにパリティビットを設定して送信します。つまり、データビット内の 1 の個数が偶数なら、パリティビットは 1 になります。受信動作時は、パリティが正しいかどうかを確認します。
- 偶数パリティ
  送信動作時に、各キャラクタ内のデータビットとパリティビットの中で、1 のビットが偶数個になるようにパリティビットを設定して送信します。つまり、データビット内の 1 の個数が奇数なら、パリティビットは 1 になります。受信動作時は、パリティが正しいかどうかを確認します。
- “H”レベルパリティ（スティッキィ）
  送信時、常にパリティビットは 1 になり、受信時にそれを確認します。

© SANKEN ELECTRIC CO., LTD. 2017

- “L”レベルパリティ（スティッキィ）
  送信時、常にパリティビットは 0 になり、受信時にそれを確認します。

● ストップビット
UART_CR.STOP ビットの設定に応じて、1 ビットか 2 ビットのストップビットが、キャラクタの最後に付加されます。ストップビットの個数設定にかかわらず、受信側では最初のストップビットだけを確認します。

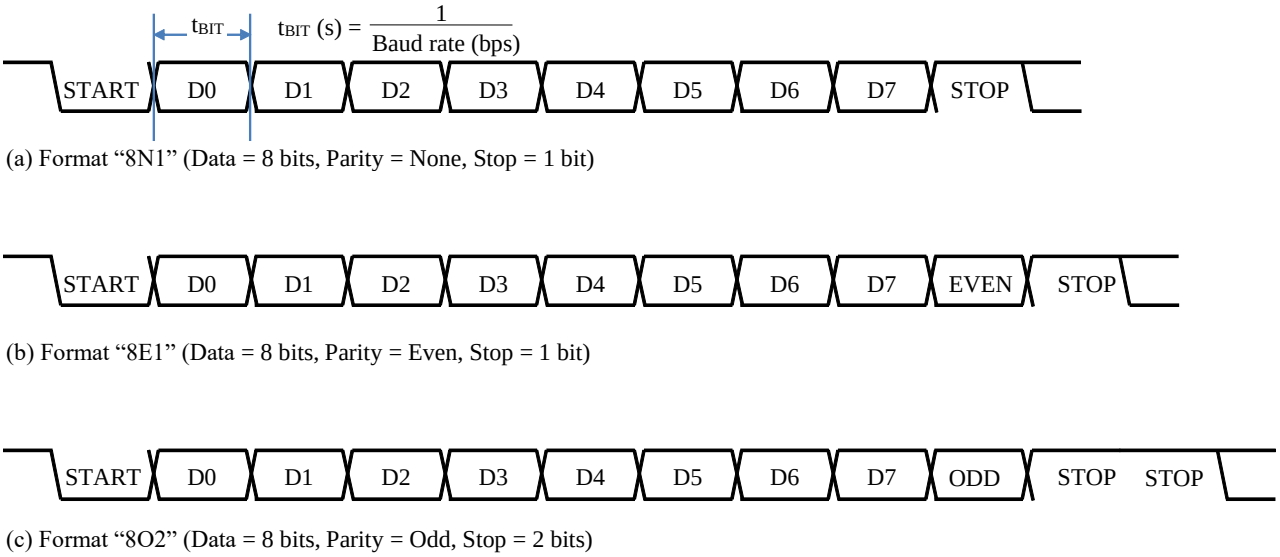


図 28-7　UART キャラクタフォーマットの一例

28.5.2. 受信方法

ひとつの UART キャラクタは、以下のシーケンスで受信します。

(1) SCID は、スタートビットの開始を待ちます。
(2) スタートビットの立ち下がりエッジが検出されます。
(3) スタートビットの立ち下がりエッジから半ビット期間（$t_{BIT}/2$）後に、スタートビットの中点をサンプリングします。スタートビットが“L”レベルでない場合、スタートビットが発生したと認識されず、(1)に戻ります。スタートビットが“L”レベルであることが確認できたら、(4)に進みます。
(4) データビットのサンプリングは、スタートビットの中点から 1 ビット期間（t_{BIT}）後の、最初のデータビット（D0）の中点から開始します。以降に続くすべてのデータビットもその中点でサンプリングされます。データビットのサンプリング数は設定したキャラクタフォーマットに依存します。
(5) キャラクタフォーマットにパリティビットが指定されている場合、パリティビットの中点をサンプリングして、パリティが正しいかどうかを確認します。エラーがあればパリティエラーを報告します。
(6) 最後に、データビットかパリティビットの直後のストップビットの中点をサンプリングして、ストップビットが“H”レベルでない場合、フレーミングエラー発生が報告されます。ストップビット個数にかかわらず、最初のストップビットの中点をサンプリングした後、(1)に戻ります。

© SANKEN ELECTRIC CO., LTD. 2017

28.5.3. 受信フィルタ

図 28-6 に示すように、SCID 内の受信データをシフトするレジスタの直前に、短いノイズパルスを除去するためのデジタルフィルタがあります。フィルタリング方法は、単純な多数決判定法を使用しています。

28.5.4. 受信マスク

この UART は 1 線の双方向通信なので、UART が送信したデータは、そのままループバックされて受信します。UART_CR.RXMASK ビットの設定で、送信したデータを受信しないようにマスクできます。

28.5.5. ボーレート

本 LSI をリセットすると、SCID は、アクティブかつ初期状態になり、図 28-8 に示すボーレート調整用のキャラクタ（8N1 フォーマットのデータ 0x55）の受信を待ちます。このキャラクタを受信している最中に、対応するボーレートの値を計算するため、その波形の立ち上がりエッジと立ち下がりエッジの間隔を計測します。ボーレートの値は、UART_BAUD_H レジスタと UART_BAUD_L レジスタに自動的に設定されます。

また、UART_BAUD_H レジスタと UART_BAUD_L レジスタを書き換えて、いつでもボーレートを設定できます。

$$\text{ボーレート(bps)} = \frac{\text{CLKIRC}}{\text{N}}$$

ここで、N は、16 ビットで、UART_BAUD_H.BAUD_H ビット（8 ビット）と UART_BAUD_L.BAUD_L ビット（8 ビット）を連接した値です。N は 3 より大きい値にしてください。

例 1
目標ボーレート = 115200 bps
CLKIRC = 12 MHz、N = 104（UART_BAUD_H = 0x00, UART_BAUD_L = 0x68）の場合
実際のボーレート = 115384.6 bps（誤差 = +0.16%）

例 2
目標ボーレート = 9600 bps
CLKIRC = 12 MHz、N = 1250（UART_BAUD_H = 0x04, UART_BAUD_L = 0xE2）の場合
実際のボーレート = 9600.0 bps（誤差 = ±0.00）

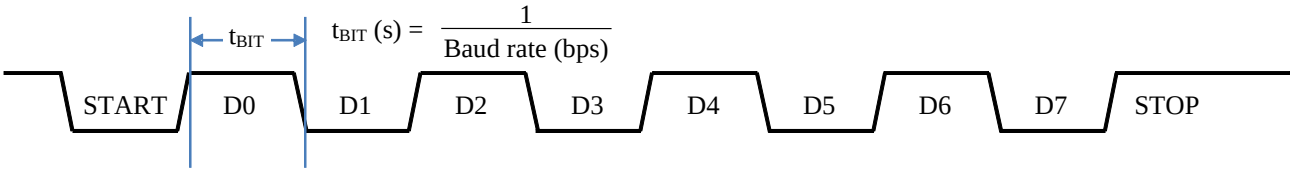


図 28-8 ボーレート調整用受信キャラクタ

© SANKEN ELECTRIC CO., LTD. 2017

28.5.6. ボーレート設定と動作モード

SCID が初期状態でボーレート調整用受信キャラクタを受信するか、強制的に UART_BAUD_H レジスタと UART_BAUD_L レジスタにライトしてボーレートを設定すると、SCID の内部制御ロジックが初期化され、設定したボーレートの値に応じてその動作モードに設定されます（表 28-2 参照）。

表 28-2　ボーレート設定と動作モード

ボーレート設定レジスタの値（16 ビット）{UART_BAUD_H, UART_BAUD_L}	ボーレート値	動作モード
>48	約 250 Kbps より小さい	UART モード
≤48	約 250 Kbps 以上	OCD モード

28.5.7. 送信データ（TXD）と送信 FIFO（TXFIFO）

TXD 信号線からデータを送信する場合は、UART_TXD レジスタに送信データをライトしてください。ライトした送信データは、直ちに 16 段の送信 FIFO（TXFIFO）にバッファされます。送信シフタ（TX シフタ）が空の場合、送信データは TXFIFO から TX シフタに送られます。TX シフタは、設定したボーレートとキャラクタフォーマットに従って送信します。

TXFIFO のレディ状態は、UART_SR.TX_RDY ビットに表示されています。TXFIFO の空き領域が UART_TXFIFO_CR.RDY_LVL ビットで指定した値以上になると、UART_SR.TX_RDY ビットが 1 にセットされます。

TXFIFO へのデータ積み込み状態は、UART_TXFIFO_SR レジスタに表示されています。TXFIFO がフル状態でないときに送信データを UART_TXD レジスタにライトすると、通常どおり TXFIFO に送られます。その後 UART_TXD レジスタをリードすると、TXFIFO に送られた値がそのまま残っているので、必要に応じて送信データを再確認できます。

一方、TXFIFO がフル状態のときに送信データを UART_TXD レジスタにライトしても、TXFIFO には送られません。この場合、ライトした送信データは UART_TXD レジスタに残っていますが、TXFIFO がフル状態でなくなっても UART_TXD レジスタから TXFIFO には送られないため、注意が必要です。

UART_TXD レジスタは、TXFIFO に書き込むための窓口の役割をしています（バッファではありません）。したがって、TXFIFO がレディ状態のとき（UART_SR.TX_RDY = 1）に、UART_TXD レジスタに送信データをライトしてください。

UART_TXFIFO_CR.CLR ビットに 1 をライトすると、TXFIFO の内容をクリアできます。

28.5.8. 受信データ（RXD）と受信 FIFO（RXFIFO）

SCID が RXD 信号線からデータを受信すると、設定したボーレートとキャラクタフォーマットに従って受信シフタ（RX シフタ）に受信データが入力されます。受信データは、16 段の受信 FIFO（RXFIFO）にバッファされます。RXFIFO に空き領域がないとオーバランエラー（詳細は 28.5.11 項参照）が発生します。UART_RXD レジスタをリードすると、RXFIFO にバッファされた受信データを取り出すことができます。

RXFIFO のレディ状態は、UART_SR.RX_RDY ビットに表示されています。UART_SR.RX_RDY ビットは、RXFIFO 内のデータ数が UART_RXFIFO_CR.RDY_LVL ビットで指定した値以上になると 1 にセットされます。

RXFIFO へのデータ積み込み状態は UART_RXFIFO_SR レジスタに表示されています。RXFIFO がエンプティ状態でないときに、UART_RXD レジスタをリードすると、RXFIFO から受信データを取り出せます。

RXFIFO がエンプティ状態のときに UART_RXD レジスタをリードすると、RXFIFO に対して何も操作されないため、UART_RXD レジスタからのリード値は意味を持ちません。したがって、RXFIFO がレディ状態のとき（UART_SR.RX_RDY = 1）に UART_RXD レジスタから受信データをリードしてください。

© SANKEN ELECTRIC CO., LTD. 2017

UART_RXFIFO_CR.CLR ビットに 1 をライトすると、RXFIFO の内容をクリアできます。

1 つ以上のデータを受信した時点で、RXFIFO のデータが UART_RXFIFO_CR.RDY_LVL ビットで指定した条件に達しておらず、それ以上データ受信がない場合、UART_SR.RX_RDY ビットは、クリアされたままになっています。アプリケーションが UART_SR.RX_RDY ビットだけを監視していた場合、RXFIFO 内のデータは、無視され続けてしまいます。この状態を避けるため、UART_SR.RX_RDY = 0 かつ RXFIFO 内のデータ個数が 1 バイト以上の条件をタイムアウト期間継続した場合は、UART_RXFIFO_CR.RDY_LVL ビットで指定した条件に達していなくても、RXFIFO が空になるまで UART_SR.RX_RDY ビットはセットされたままになります。タイムアウト期間は次式で算出できます。

$$\text{タイムアウト期間} = \frac{\text{RXFIFO_TOUT} + 1}{\text{ボーレート(bps)}}$$

ここで、RXFIFO_TOUT は 16 ビットの値で、UART_RXFIFO_TO_H.TOUT_H（8 ビット）ビットと UART_RXFIFO_TO_L.TOUT_L（8 ビット）ビットを連接した値です。

28.5.9. 受信（RX）パリティエラー検出

受信データにパリティエラーが検出されると、UART_SR.RX_PER ビットが 1 にセットされます。パリティエラーを検出した受信データと、UART_SR.RX_PER ビットがセットされた状態で受信したデータは、RXFIFO に送信されません。表 28-3 にパリティビットの設定とその動作を示します。

表 28-3　パリティビットの設定とその動作

UART_CR.PARITY ビットの設定	内容	送信時のパリティビットの付加方法	受信側のパリティビットの確認
001	奇数パリティ	送信キャラクタのデータビットとパリティビットの中の 1 の個数が奇数になるように付加	パリティビットが左カラムの付加方法どおりに付加されているかどうか確認
011	偶数パリティ	送信キャラクタのデータビットとパリティビットの中の 1 の個数が偶数になるように付加	
101	“H”レベルパリティ（スティッキィ）	送信キャラクタにパリティビット 1 を付加	
111	“L”レベルパリティ（スティッキィ）	送信キャラクタにパリティビット 0 を付加	
その他	パリティなし	パリティビットを付加しない	パリティビットを確認しない

28.5.10.　受信（RX）フレーミングエラー検出

受信キャラクタのストップビットが“L”レベルの場合、フレーミングエラーが検出され、UART_SR.RX_FER ビットが 1 にセットされます。フレーミングエラーを検出した受信データと、UART_SR.RX_FER ビットがセットされた状態で受信したデータは、RXFIFO に送信されません。またフレーミングエラーを検出してから RXD 信号が“H”レベルになるまでの間は受信動作（スタートビットの待受け）を行いません。

© SANKEN ELECTRIC CO., LTD. 2017

28.5.11. 受信（RX）オーバランエラー検出

受信したキャラクタを RX シフタ内で構築して、フル状態の RXFIFO に渡そうとした場合、オーバランエラーが検出され、UART_SR.RX_OVR ビットが 1 にセットされます。この場合、受信したデータは破棄されます。

28.5.12. 送信データの送信完了（TX Done）検出

送信時に、TX シフタのデータ送信（スタートビットから最後のストップビットまで）が終わった時点で TXFIFO がエンプティ状態の場合は、一時的に送信を停止して、データの送信を完了した（TX done）ことにできます。この状態を検出すると、UART_SR.TX_DONE ビットが 1 にセットされます。その後、新たに UART_TXD レジスタにライトした送信データが TXFIFO に送られると、UART_SR.TX_DONE ビットはクリアされます。

28.5.13. 受信（RX）ブレイクの検出

UART_BRK.RXBRK_E ビットをセットすると、受信（RX）ブレイク検出機能がイネーブルになります。RXD 信号のキャラクタ波形が下記の条件を満たすと、SCID は、RX ブレイクが要求されたことを検出します。

- スタートビット= 0
- データビット= 0x00
- パリティビット= 0（パリティビットが存在する設定の場合）
- ストップビット= 0（フレーミングエラー状態）

RX ブレイクを検出すると、UART_SR.RX_BRK ビットが 1 にセットされます。RX ブレイクを検出した場合は、フレーミングエラーも検出され、UART_SR.RX_FER ビットが 1 にセットされます。さらに、場合によってはパリティエラーも検出され、UART_SR.RX_PER ビットもセットされます。RX ブレイクが検出された受信データと、UART_SR.RX_BRK ビットがセットされている状態で受信したデータは、RXFIFO に送信されません。RX ブレイク検出でフレーミングエラーが発生するため、RX ブレイク検出から RXD 信号が“H”レベルになるまでの期間は受信動作（スタートビットの待受け）を行いません。

なお、SCID にはブレイクを送信する機能はありません。

28.5.14. 割込み要求

SCID からの割込み要求は、以下の論理式に従って出力されます。式に使用されているビットは、UART_SR レジスタと UART_IE レジスタ内にあります。

- 割込み要求 = RX_BRK & IE_RX_BRK
  | RX_PER & IE_RX_PER
  | RX_FER & IE_RX_FER
  | RX_OVR & IE_RX_OVR
  | TX_DONE & IE_TX_DONE
  | RX_RDY & IE_RX_RDY
  | TX_RDY & IE_TX_RDY;

UART_SR レジスタ内の対応するビット（フラグ）は、割り込みルーチン内でクリアしてください。

© SANKEN ELECTRIC CO., LTD. 2017

28.5.15. UART 機能の設定手順

SCID の UART 機能は、以下のように設定してください。

(1) 本 LSI をリセットします。
(2) UART モードに入る範囲のボーレートを持つキャラクタ（8N1、0x55）を受信するか、UART モードに入る範囲のボーレートを、UART_BAUD_H レジスタと UART_BAUD_L レジスタに設定します。
(3) UART_TXFIFO_CR レジスタと UART_RXFIFO_CR レジスタを設定します。
(4) UART_RXFIFO_TO_L レジスタと UART_RXFIFO_TO_H レジスタを設定します。
(5) UART_IE レジスタを設定します。
(6) UART_CR レジスタを設定します。

ボーレート設定で SCID の動作モードを選択する場合、UART_BAUD_H レジスタと UART_BAUD_L レジスタ以外の各レジスタ値は変更しないため、(2)は、(1)以降であれば、どのタイミングでも設定できます。

28.6. SCID 使用上の注意

- 本 LSI をリセットする場合、SCID 信号（TXD／RXD を 1 線に束ねた信号）を外部から強制的に“L”レベルにしておくと、CPU は停止した状態（0 番地の命令を実行する前の状態）、かつ SCID は OCD モードになります。これは SCID が提供するデバッグ機能の 1 つです。
- 上記の状態（CPU が停止、かつ SCID が OCD モード）、または SCID が OCD モードに設定されている場合、本 LSI を低消費電力モードに設定しても内蔵発振器 IRC は停止しません。
- システムコントローラの MCLKE0.ME_SCID ビットをクリアすると、SCID の UART 機能が停止するだけではなく、本 LSI のデバッグ機能（OCD）が停止して、統合開発環境からアクセスできなくなります。

© SANKEN ELECTRIC CO., LTD. 2017

29. 電気的仕様

29.1. 絶対最大定格

項目	記号	条件	Min.	Typ.	Max.	単位
保存温度	T_{STG}		−40	—	125	°C
デジタル電源	$V_{DVCCAMR}$		−0.3	—	4.0	V
アナログ電源	$V_{AVCCAMR}$		−0.3	—	4.0	V
5 V トレラント端子のデジタル入力電圧	$V_{DIN5AMR}$		−0.3	—	5.5	V
5 V トレラント以外の端子のデジタル入力電圧	$V_{DIN3AMR}$		−0.3	—	V_{DVCC} + 0.3(1)	V
アナログ入力電圧	$V_{AIN3AMR}$		−0.3	—	V_{AVCC} + 0.3(2)	V
デジタル端子の合計出力電流	$\Sigma I_{DOUTAMR}$		—	—	58	mA
アナログ端子の合計出力電流	$\Sigma I_{AOUTAMR}$		—	—	32	mA
デジタル電源とアナログ電源の電圧差(3)	$\lvert V_{DVCC} - V_{AVCC} \rvert$		—	—	0.3	V

(1) V_{DVCC} + 0.3 V < 4.0 V
(2) V_{AVCC} + 0.3 V < 4.0 V
(3) 電圧差が生じている時間が 1 ms より長い場合（1 ms 以内は逸脱可）

29.2. 推奨動作範囲

項目	記号	条件	Min.	Typ.	Max.	単位
周囲温度	T_A		−40	—	110	°C
フラッシュメモリのプログラム／イレース時の周囲温度	T_{A_FLASH}		0	—	55	°C
デジタル電源*	V_{DVCC}		3.0	3.3	3.6	V
アナログ電源*	V_{AVCC}		3.0	3.3	3.6	V

* $\lvert V_{DVCC} - V_{AVCC} \rvert \leq 0.3$ V

© SANKEN ELECTRIC CO., LTD. 2017

29.3. 電気的特性

29.3.1. 消費電流

すべての項目は、外部負荷を含みません。

項目	記号	条件	Min.	Typ.	Max.	単位
DVCC 電流（アクティブ）	I_{DVCC_ACTIVE}		—	50	90	mA
DVCC 電流（スリープ）	I_{DVCC_SLEEP}	CPU 停止	—	45	80	mA
DVCC 電流（スタンバイ）(1)	I_{DVCC_STBY}		—	1.5	4.5	mA
フラッシュメモリのプログラム／イレース時の DVCC 電流	I_{DVCC_FLASH}		—	55	—	mA
DVCC 電流（ADC12）(2)	I_{DVCC_ADC12}		—	2	3.5	mA
AVCC 電流（ADC12）(2)	I_{AVCC_ADC12}		—	30	40	μA
AVCC 電流（DAC8）(2)	I_{AVCC_DAC8}		—	40	55	μA
DVCC 電流（COMP）(2)	$I_{DVCC_COMP_H}$		—	100	150	μA
DVCC 電流（COMP 低消費電力モード）(2)	$I_{DVCC_COMP_L}$	低消費電力モード選択時	—	30	60	μA
DVCC 電流（OPAMP）(2)	I_{DVCC_OPAMP}		—	1.6	4.0	mA
DVCC 電流（OPAMP 低消費電力モード）(2)	$I_{DVCC_OPAMP_L}$	低消費電力モード選択時	—	0.8	2.0	mA
DVCC 電流（TEMP）(2)	I_{DVCC_TEMP}		—	0.3	0.5	mA
AVCC 電流（スタンバイ）(3)	I_{AVCC_STBY}		—	—	3.0	μA

(1) スタンバイ状態の場合も、内蔵レギュレータ、VREF、POR は電力を消費します。
(2) イネーブルになっている各アナログモジュール 1 ユニットの消費電流です。
(3) ADC と DAC（0x00 設定時）がディスエーブルのときの AVCC 消費電流です。

29.3.2. 低電圧検出（LVD）

項目	記号	条件	Min.	Typ.	Max.	単位
電圧検出レベル	V_{DET}		2.7	2.9	3.0	V

© SANKEN ELECTRIC CO., LTD. 2017

29.3.3. リセット動作

項目	記号	条件	Min.	Typ.	Max.	単位
外部リセット幅	t_{RES}	コールドスタート	10	—	—	ms
		ホットスタート	1	—	—	μs
POR 検出電圧	V_{PORH}		—	2.6	—	V
	V_{PORL}		—	2.5	—	V
POR 検出ヒステリシス電圧	V_{POR_HYS}		—	100	—	mV

29.3.4. クロック動作

項目	記号	条件	Min.	Typ.	Max.	単位
IRC 発振安定時間	t_{IRC}		—	—	100	μs
IRC 発振周波数	f_{IRC_1}	T_A = −10 °C～65 °C	11.76	—	12	MHz
	f_{IRC_2}	T_A = −20 °C～85 °C	11.64	—	12	MHz
	f_{IRC_3}	T_A = −40 °C～110 °C	11.52	—	12	MHz
PLL 発振安定時間	t_{PLL_OSC}		—	—	100	μs

29.3.5. 12 ビット SAR ADC

ソースインピーダンス（R_{OUT_ADC12}）の条件は、200 Ω 以下です。

項目	記号	条件	Min.	Typ.	Max.	単位
分解能	BIT_ADC12		—	12	—	bits
入力電圧範囲*	V_{IN_ADC12}		—	V_{AVSS}～V_{AVCC}	—	V
変換速度 （サンプリング時間＋変換時間）	t_{CONV_ADC12}	クロック：60 MHz、 サンプリング時間： 3 サイクル	250	—	—	ns
絶対精度	ABS_ADC12	$\lvert V_{DVCC} - V_{AVCC} \rvert \leq 0.1$ V	−22	−4	14	LSB

* V_{AVSS} は AVSS 電源端子の電圧、V_{AVCC} は AVCC 電源端子の電圧です。

29.3.6. 8 ビット DAC

項目	記号	条件	Min.	Typ.	Max.	単位
分解能	BIT_DAC8		—	8	—	bits
出力電圧範囲*	V_{OUT_DAC8}		V_{AVSS}	—	V_{AVCC} − 1 LSB	V
出力セトリング時間	t_{CONV_DAC8}		—	120	500	ns
絶対精度	ABS_DAC8		—	±1	—	LSB

* V_{AVSS} は AVSS 電源端子の電圧、V_{AVCC} は AVCC 電源端子の電圧です。

© SANKEN ELECTRIC CO., LTD. 2017

29.3.7. オペアンプ（OPAMP）

項目	記号	条件	Min.	Typ.	Max.	単位
入力電圧範囲*	V_{IN_OPAMP}		V_{DVSS} + 0.05	—	V_{DVCC} − 0.5	V
出力電圧範囲*	V_{OUT_OPAMP}		V_{DVSS} + 0.05	—	V_{DVCC} − 0.5	V
入力電圧オフセット	V_{OFFSET_OPAMP}		—	±3	—	mV
出力電流	I_{OUT_OPAMP}		—	±1	—	mA
同相信号除去比	CMRR_OPAMP		—	70	—	dB
電源電圧変動除去比	PSRR_OPAMP		—	50	—	dB
出力ノイズ	V_{ON_OPAMP}	1 kHz～1 GHz	—	45	—	μVrms
オープンループゲイン	GAIN_OPAMP		—	80	—	dB
利得帯域幅積	f_{GBW_OPAMP}		—	20	—	MHz
電圧ゲイン	VGAIN_OPAMP1	×1	—	1	—	—
	VGAIN_OPAMP2	×4	図 29-1 参照			—
スルーレート	$V_{SR_OPAMP(R)}$	立ち上がり	—	15	—	V/μs
	$V_{SR_OPAMP(F)}$	立ち下がり	—	15	—	V/μs

* V_{DVSS} は DVSS 電源端子の電圧、V_{DVCC} は DVCC 電源端子の電圧です。

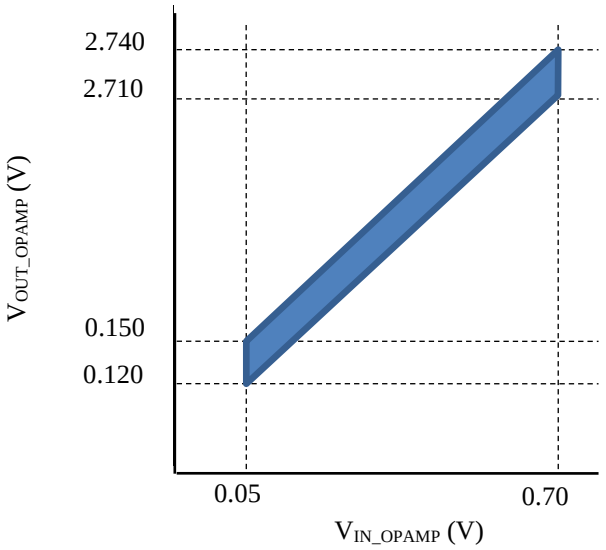


図 29-1　AMP 出力特性（電圧ゲインを 4 倍に設定した場合）

© SANKEN ELECTRIC CO., LTD. 2017

29.3.8. コンパレータ

項目	記号	条件	Min.	Typ.	Max.	単位
入力電圧範囲(1)	V_{IN_COMP}		V_{DVSS} + 0.1	—	V_{DVCC} − 0.1	V
比較電圧範囲(1)	V_{IN_REF}		V_{DVSS} + 0.1	—	V_{DVCC} − 0.1	V
ヒステリシス(2)	V_{IN_HYS}		—	56	120	mV
応答時間(3)	$t_{RESP_COMP(HR)}$	高速モードで、出力信号が上昇時	—	8	20	ns
	$t_{RESP_COMP(HF)}$	高速モードで、出力信号が下降時	—	24	40	ns
	$t_{RESP_COMP(LR)}$	低速モードで、出力信号が上昇時	—	18	40	ns
	$t_{RESP_COMP(LF)}$	低速モードで、出力信号が下降時	—	50	80	ns

(1) V_{DVSS} は DVSS 電源端子の電圧、V_{DVCC} は DVCC 電源端子の電圧です。
(2) ヒステリシスの特性は、図 29-2 を参照してください。
(3) 測定タイミングの条件は、図 29-3 を参照してください。

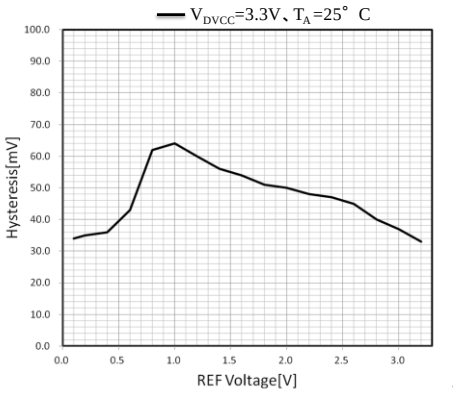


図 29-2　コンパレータのヒステリシス

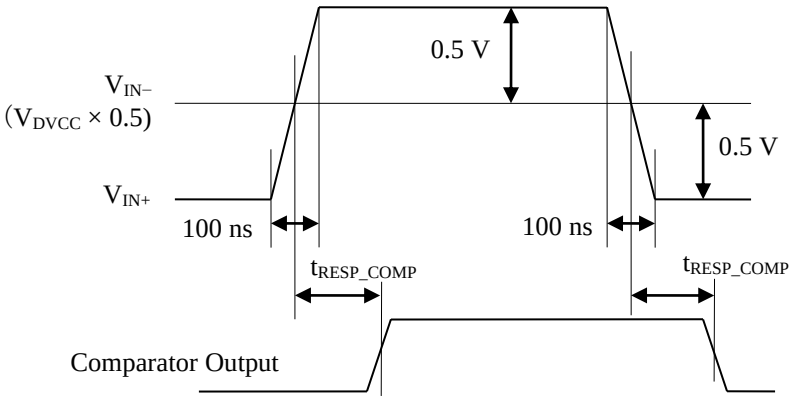


図 29-3　コンパレータのタイミング

© SANKEN ELECTRIC CO., LTD. 2017

29.3.9. リファレンス電圧（VREF）

項目	記号	条件	Min.	Typ.	Max.	単位
出力電圧	V_{REF}		—	1.2	—	V

29.3.10. 温度センサ（TEMP）

項目	記号	条件	Min.	Typ.	Max.	単位
出力電圧（T_J = 25 °C）	V_{TEMP}		—	1.52	—	V
温度特性の傾き	V_{DTEMP}		—	4.8	—	mV/°C
セトリング時間	t_{TEMP}	イネーブル後	—	—	2	ms

29.3.11. デジタル入出力の DC 仕様

項目	記号	条件	Min.	Typ.	Max.	単位
入力電圧“H”	V_{IH}		2	—	—	V
入力電圧“L”	V_{IL}		—	—	0.8	V
入力電圧“H”（シュミット）	V_{IH_S}		2	—	—	V
入力電圧“L”（シュミット）	V_{IL_S}		—	—	0.8	V
シュミットのヒステリシス	V_{HYS_S}		—	0.05	—	V
プルアップ抵抗 （GPIO20、GPIO21 を除く）	R_{PUP}		20	60	100	kΩ
プルアップ抵抗 （GPIO20、GPIO21）	R_{PUP2}		7.9	10	12.4	kΩ
プルダウン抵抗	R_{PDN}		20	90	200	kΩ
入力リーク電流	I_L		−2	±1	2	μA
入力容量 （ANEX0～ANEX13 を除く）	C_{IN}		—	—	20	pF
入力容量（ANEX0～ANEX13）	C_{IN2}		—	—	30	pF
出力電圧“H”（4 mA）	V_{OH4}	I_{OH} = −4 mA	2.4	—	—	V
出力電圧“L”（4 mA） （GPIO20、GPIO21 を除く）	V_{OL4}	I_{OL} = 4 mA	—	—	0.4	V
出力電圧“L”（4 mA） （GPIO20、GPIO21）	V_{OL42}	I_{OL} = 4 mA	—	—	0.5	V
出力電圧“H”（16 mA）	V_{OH16}	I_{OH} = −16 mA	V_{DVCC} − 0.7	—	—	V
出力電圧“L”（16 mA）	V_{OL16}	I_{OL}= 16 mA	—	—	0.5	V

© SANKEN ELECTRIC CO., LTD. 2017

29.3.12. デジタル入出力の AC 仕様

29.3.12.1. PWM のタイミング

項目	記号	条件	Min.	Typ.	Max.	単位
PWM 端子の立ち上がり時間 （GPIO10～GPIO17）	t_r	C = 30 pF $V_{OH} = V_{DVCC} \times 0.7$ $V_{OL} = V_{DVCC} \times 0.3$	—	2.0	—	ns
PWM 端子の立ち下がり時間 （GPIO10～GPIO17）	t_f	C = 30 pF $V_{OH} = V_{DVCC} \times 0.7$ $V_{OL} = V_{DVCC} \times 0.3$	—	2.0	—	ns

29.3.12.2. シリアルペリフェラルインタフェース（SPI）のタイミング

(1) マスターモード

項目	記号	条件	Min.	Typ.	Max.	単位
SCK 周期	t_{SCK}	C = 50 pF	80	—	—	ns
SO 出力遅延時間	t_{DSPI}	C = 50 pF	0	—	10	ns
SI ホールド時間	t_{HLSPI}		−3	—	—	ns
SI セットアップ時間	t_{SUSPI}		13	—	—	ns

(2) スレーブモード

項目	記号	条件	Min.	Typ.	Max.	単位
SCK 周期	t_{SCK}	30 MHz	33.33	—	—	ns
SO 出力遅延時間	t_{DSPI}	C = 50 pF	5	—	15	ns
SI ホールド時間	t_{HLSPI}		5	—	—	ns
SI セットアップ時間	t_{SUSPI}		5	—	—	ns

© SANKEN ELECTRIC CO., LTD. 2017

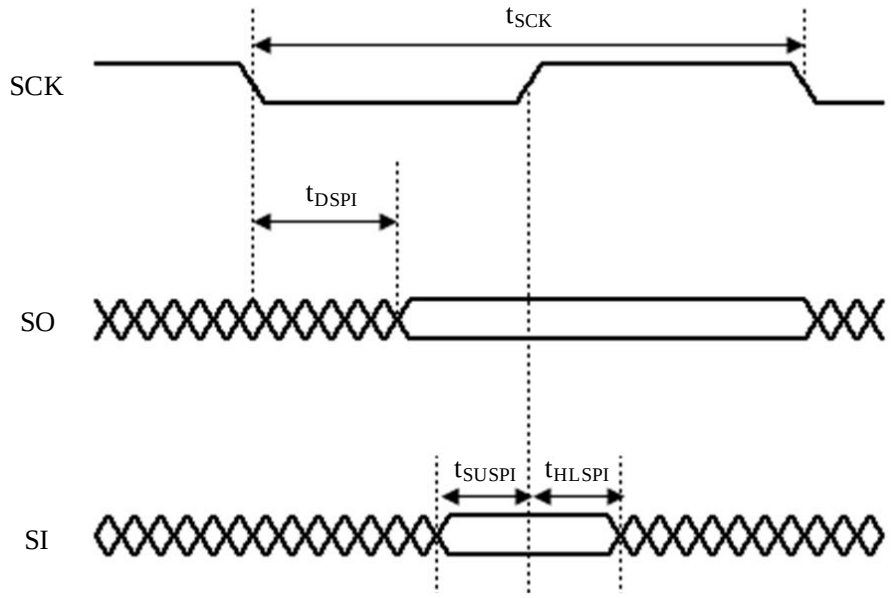


図 29-4　SPI タイミング（モード 0、モード 3 の場合）

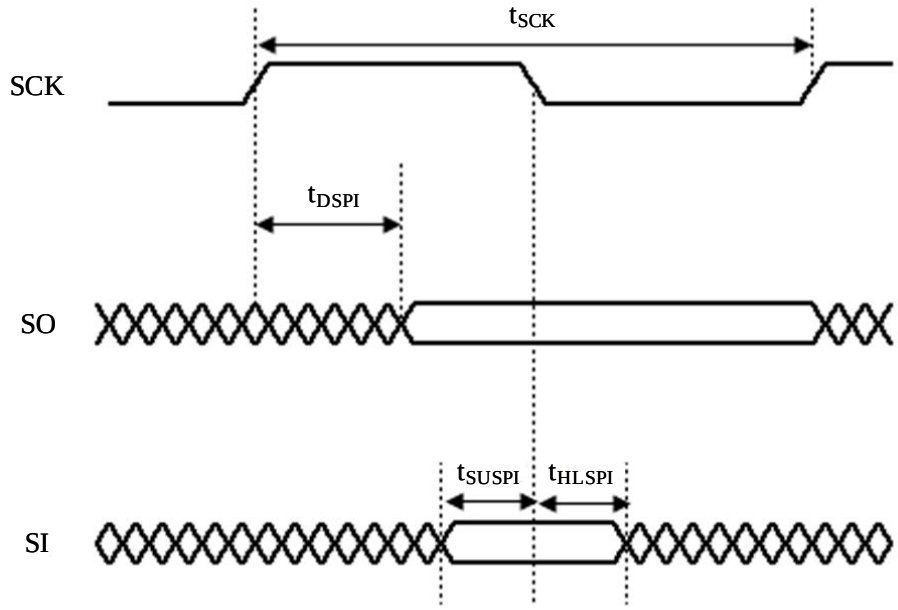


図 29-5　SPI タイミング（モード 1、モード 2 の場合）

© SANKEN ELECTRIC CO., LTD. 2017

29.3.12.3. I²C のタイミング

(1)　通常モード

項目	記号	条件	Min.	Typ.	Max.	単位
SCL クロック周波数	f_{SCL}		0	—	100	kHz
スタート条件のホールド時間	$t_{HD:STA}$		4.0	—	—	μs
SCL クロックの“L”期間	t_{LOWI2C}		4.7	—	—	μs
SCL クロックの“H”期間	$t_{HIGHI2C}$		4.0	—	—	μs
スタート条件のセットアップ時間	t_{SU_STA}		4.7	—	—	μs
データホールド時間（I²C バスデバイス）	t_{HD_DAT}		0	—	—	μs
データセットアップ時間	t_{SU_DAT}		250	—	—	ns
SDA 信号と SCL 信号の立ち上がり時間	t_{rI2C}		—	—	1000	ns
SDA 信号と SCL 信号の立ち下がり時間	t_{fI2C}		—	—	300	ns
ストップ条件のセットアップ時間	t_{SU_STO}		4.0	—	—	μs
ストップ条件–スタート条件間のバスフリー時間	t_{BUFI2C}		4.7	—	—	μs
各バスラインの容量性負荷	C_b		—	—	400	pF
各接続デバイスの“L”でのノイズマージン（ヒステリシスを含む）	V_{nL}		0.1 ×V_{DVCC}	—	—	V
各接続デバイスの“H”でのノイズマージン（ヒステリシスを含む）	V_{nH}		0.2 ×V_{DVCC}	—	—	V
入力フィルタで抑圧されるスパイクのパルス幅	t_{SPI2C}		—	—	—	ns

© SANKEN ELECTRIC CO., LTD. 2017

(2)　高速モード

項目	記号	条件	Min.	Typ.	Max.	単位
SCL クロック周波数	f_{SCL}		0	—	400	kHz
スタート条件のホールド時間	t_{HD_STA}		0.6	—	—	μs
SCL クロックの“L”期間	t_{LOWI2C}		1.3	—	—	μs
SCL クロックの“H”期間	$t_{HIGHI2C}$		0.6	—	—	μs
スタート条件のセットアップ時間	t_{SU_STA}		0.6	—	—	μs
データホールド時間（I²C バスデバイス）	t_{HD_DAT}		0	—	0.9	μs
データセットアップ時間	t_{SU_DAT}		100	—	—	ns
SDA 信号と SCL 信号の立ち上がり時間	t_{rI2C}		20 + 0.1C_b	—	300	ns
SDA 信号と SCL 信号の立ち下がり時間	t_{fI2C}		20 + 0.1C_b	—	300	ns
ストップ条件のセットアップ時間	$t_{SU:STO}$		0.6	—	—	μs
ストップ条件–スタート条件間のバスフリー時間	t_{BUFI2C}		1.3	—	—	μs
各バスラインの容量性負荷	C_b		—	—	400	pF
各接続デバイスの“L”でのノイズマージン（ヒステリシスを含む）	V_{nL}		0.1 ×V_{DVCC}	—	—	V
各接続デバイスの“H”でのノイズマージン（ヒステリシスを含む）	V_{nH}		0.2 ×V_{DVCC}	—	—	V
入力フィルタで抑圧されるスパイクのパルス幅	t_{SPI2C}		0	—	50	ns

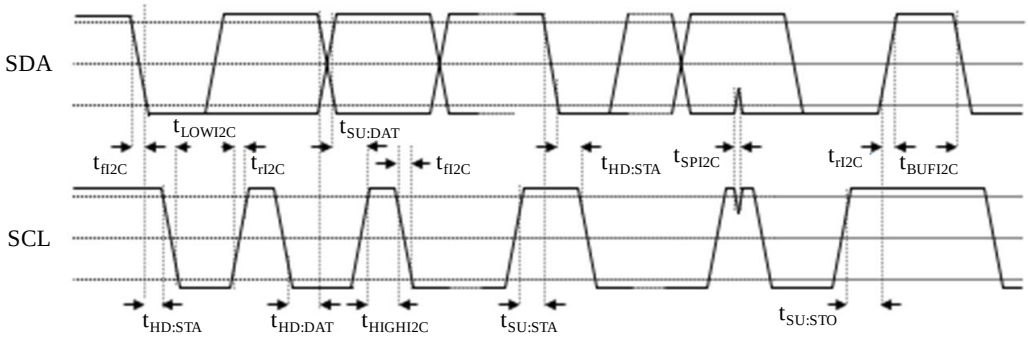


図 29-6　I²C タイミング

© SANKEN ELECTRIC CO., LTD. 2017

注意書き

- 本書に記載している製品（以下、「本製品」という）のデータ、図、表、およびその他の情報（以下、「本情報」という）は、本書発行時点のものです。本情報は、改良などで予告なく変更することがあります。本製品を使用する際は、本情報が最新であることを弊社販売窓口に確認してください。
- 本製品は、一般電子機器（家電製品、事務機器、通信端末機器、計測機器など）の部品に使用されることを意図しております。本製品を使用する際は、納入仕様書に署名または記名押印のうえ、返却をお願いします。高い信頼性が要求される装置（輸送機器とその制御装置、交通信号制御装置、防災装置、防犯装置、各種安全装置など）に本製品を使用することを検討する際は、必ず事前にその使用の適否について弊社販売窓口へ相談いただき、納入仕様書に署名または記名押印のうえ、返却をお願いします。本製品は、極めて高い信頼性が要求される機器または装置（航空宇宙機器、原子力制御、その故障や誤動作が生命や人体に危害を及ぼす恐れのある医療機器（日本における法令でクラスⅢ以上）など）（以下「特定用途」という）に使用されることは意図されておりません。特定用途に本製品を使用したことでお客様または第三者に生じた損害などに関して、弊社は一切その責任を負いません。
- 本製品を使用するにあたり、本製品に他の製品や部材を組み合わせる際、あるいはこれらの製品に物理的、化学的、その他の何らかの加工や処理を施す際は、使用者の責任においてそのリスクを必ず検討したうえで行ってください。
- 弊社は、品質や信頼性の向上に努めていますが、半導体製品は、ある確率で欠陥や故障が発生することは避けられません。本製品が故障し、その結果として人身事故、火災事故、社会的な損害などが発生しないように、故障発生率やディレーティングなどを考慮したうえで、使用者の責任において、本製品が使用される装置やシステム上で、十分な安全設計および確認を含む予防措置を必ず行ってください。ディレーティングについては、納入仕様書および弊社ホームページを参照してください。
- 本製品は、耐放射線設計をしておりません。
- 本書に記載している回路定数、動作例、回路例、パターンレイアウト例、設計例、推奨例、本書に記載しているすべての情報、およびこれらに基づく評価結果などは、使用上の参考として示したものです。
- 本情報に起因する使用者または第三者のいかなる損害、および使用者または第三者の知的財産権を含む財産権とその他一切の権利の侵害問題について、弊社は一切その責任を負いません。
- 本情報を、文書による弊社の承諾なしに転記や複製をすることを禁じます。
- 本情報について、弊社の所有する知的財産権およびその他の権利の実施、使用または利用を許諾するものではありません。
- 使用者と弊社との間で別途文書による合意がない限り、弊社は、本製品の品質（商品性、および特定目的または特別環境に対する適合性を含む）ならびに本情報（正確性、有用性、および信頼性を含む）について、明示的か黙示的かを問わず、いかなる保証もしておりません。
- 本製品を使用する際は、特定の物質の含有や使用を規制する RoHS 指令など、適用される可能性がある環境関連法令を十分に調査したうえで、当該法令に適合するように使用してください。
- 本製品および本情報を、大量破壊兵器の開発を含む軍事用途やその他軍事利用の目的で使用しないでください。また、本製品および本情報を輸出または非居住者などに提供する際は、「米国輸出管理規則」や「外国為替及び外国貿易法」など、各国で適用される輸出管理法令などを遵守してください。
- 弊社物流網以外における本製品の落下などの輸送中のトラブルについて、弊社は一切その責任を負いません。
- 本書は、正確を期すために慎重に製作したものですが、本書に誤りがないことを保証するものではありません。万一、本情報の誤りや欠落に起因して、使用者に損害が生じた場合においても、弊社は一切その責任を負いません。
- 本製品を使用する際の一般的な使用上の注意は弊社ホームページを、特に注意する内容は納入仕様書を参照してください。
- 本書で使用されている個々の商標、商号に関する権利は、弊社を含むその他の原権利者に帰属します。

DSGN-CJZ-16003

© SANKEN ELECTRIC CO., LTD. 2017

変更履歴

項や図表番号などは、版番号（Rev.）で異なる場合があります。

Rev.	日付	No.	表題	項番号	変更内容
1.0	2018.01.15	—	—	—	初版
1.1	2018.04.06	1	ブロック図	2	図 2-1 に GPIO を追加
		2	FLC	13.3	図 13-2 フラッシュメモリマップのメインブロックのページ番号を訂正 誤：PAGE14 正：PAGE30
		3	FLC	13.4.2.3	ロウプログラムの説明に、ロウプログラムを途中で終了ときには、FMEXE.FMEXE ビットのクリア前に 46 μs が必要である旨を追記
		4	FLC	13.4.2.4	ロウリードの説明に、以下の内容を追記 - FMEXE.FMEXE ビットを 1 に設定してからリードデータが FMRPD0～FMRPD3 レジスタに格納されるまで、CLKFAST で 6 サイクル必要 - FMRPD3 レジスタのリードが完了してから次のリードデータが FMRPD0～FMRPD3 レジスタに格納されるまで、CLKFAST で 3 サイクル必要
		5	高分解能 PWM	15.7.4	図 15-12 に記載のビット名を修正 誤：PWMnRTL.VTH_MIN 正：PWMnRTL.VTH 誤：PWMnRTL.VTL_MIN 正：PWMnRTL.VTL
		6	TMR	17.2.5	TMECRn[5:4]の R/W 欄を修正 誤：R/W 正：R
		7	TMR	17.3.9	図 17-3 に記載の TCMPB の設定値を修正 誤：0x0004 正：0x0003
		8	I^2C／SMBUS	19.2.9	ICSSTR レジスタのビット名修正 誤：ICSSTR5 正：ICSSTR
		9	I^2C／SMBUS	19.2.13	ICTIMER レジスタのビット名修正 誤：TIME7 正：TIME
		10	I^2C／SMBUS	19.9	ノイズフィルタの説明を修正 誤：SCL が CKSFAST でサンプリングされ… 正：SCL 信号と SDA 信号は、CLKFAST でサンプリングされ…
		11	UART	20.3.4	FCR[7:3]、FCR[0]の R/W 欄を修正 誤：R/W 正：W
		12	電気的仕様	29.3.6	12 ビット SAR ADC の変換速度を修正、条件を追加 誤：500 ns 正：250 ns

© SANKEN ELECTRIC CO., LTD. 2017

Rev.	日付	No.	表題	項番号	変更内容
1.2	2021.5.28	13	SYSC	4.5	LVDCTRL.LVDIF ビットのクリア後の読み出し待ちサイクルを修正 誤：最低 2 サイクル 正：最低 3 サイクル
		14	8051 CPU	5.7.7	XDATA 空間への CPU と EPU の同時アクセスの注意事項を追加
		15	GPIO	7.2.44	TMRIS[1]、TMRIS[3]の R/W 欄を修正 誤：R/W 正：R
		16	DSAC	12.3	表 12-3 の下記レジスタのアドレスを修正 DSACNTA12 誤：0xF888 正：0xF8B0 DSACNTB12 誤：0xF889 正：0xF8B1 DSASRC12 誤：0xF88A 正：0xF8B2 DSADST12 誤：0xF88B 正：0xF8B3 DSACNTA13 誤：0xF88C 正：0xF8B4 DSACNTB13 誤：0xF88D 正：0xF8B5 DSASRC13 誤：0xF88E 正：0xF8B6 DSADST13 誤：0xF88F 正：0xF8B7 DSACNTA14 誤：0xF890 正：0xF8B8 DSACNTB14 誤：0xF891 正：0xF8B9 DSASRC14 誤：0xF892 正：0xF8BA DSADST14 誤：0xF893 正：0xF8BB DSACNTA15 誤：0xF894 正：0xF8BC DSACNTB15 誤：0xF895 正：0xF8BD DSASRC15 誤：0xF896 正：0xF8BE DSADST15 誤：0xF897 正：0xF8BF
		17	TMR	17.2	表 17-2 に TPSNF0～TPSNF3 レジスタを追加
		18	TMR	17.2	表 17-2 の TBUF レジスタのアドレスを修正 TBUFAH0 誤：0xFA22 正：0xFA21 TBUFAL1 誤：0xFA21 正：0xFA22 TBUFBH0 誤：0xFA26 正：0xFA25 TBUFBL1 誤：0xFA25 正：0xFA26 TBUFAH2 誤：0xFA62 正：0xFA61 TBUFAL3 誤：0xFA61 正：0xFA62 TBUFBH2 誤：0xFA66 正：0xFA65 TBUFBL3 誤：0xFA65 正：0xFA66
		19	TMR	17.2	表 17-3 の TBUFBx2/3 レジスタの名称を修正 誤：Timer2/3 Buffer A Low/High 正：Timer2/3 Buffer B Low/High
		20	TMR	17.3.4	図 17-2 a) のビットの設定を修正 誤：TOACRn.TOCMPA = 0b01 正：0b10 誤：TOACRn.TOCLR = 0b10 正：0b01
		21	SPI	18.2.1.2	スレーブモード時は SPI モード 0 と SPI モード 2 が使用できない旨を追記
		22	SPI	18.2.1.2	表 18-3 の表記を修正
		23	I^2C／SMBUS	19.1	表 19-1 にクロックストレッチを追記
		24	I^2C／SMBUS	19.2.3	データ受信完了フラグのビットを修正 誤：ICSR.IRIC0～ICSR.IRIC5 ビット 正：ICSR.IRIC3 ビット

© SANKEN ELECTRIC CO., LTD. 2017

Rev.	日付	No.	表題	項番号	変更内容
		25	I²C／SMBUS	19.2.6	以下の内容を追加 - ICSAR.SVA ビットが 0 の場合は、ICSAR.SVA ビットがスレーブアドレスと一致しているかどうかを判定しない - 受信コマンドである ICSAR.CMD ビットは、GCA が有効な場合は GCA と、SAA が有効な場合は SAA との一致で更新される
		26	I²C／SMBUS	19.2.7	ICCLK[1:0]ビットの仕様を修正 誤：00：t_{SCLH}/t_{SCLL} = CLKFAST の 8 サイクルに設定 正：00：t_{SCLH}/t_{SCLL} = CLKFAST の 9 サイクルに設定
		27	I²C／SMBUS	19.2.7	図 19-3 修正（フィルタ時間の追記、t_{SCLH}、t_{SCLL} の定義修正）
		28	I²C／SMBUS	19.2.8	ICCMD.ACK ビットがセットされない条件を追加
		29	I²C／SMBUS	19.2.10	ICSHTR.ICSHEXP ビットの説明を修正 誤： 本 LSI を CLKFAST ≤ 12.5 MHz または SMBUS に使用しない場合は本ビットを 0 に、CLKFAST > 12.5 MHz または SMBUS として使用する場合は本ビットを 1 に設定します。 正： 本 LSI を CLKFAST ≤ 12.5 MHz のとき、または I²C を SMBUS として使用しない場合は本ビットを 0 に設定します。CLKFAST > 12.5 MHz のとき、かつ I²C を SMBUS として使用する場合は本ビットを 1 に設定します。
		30	I²C／SMBUS	19.2.13	SMBUS 規格で定義されている違反を検出するための、基準となるタイミング信号の間隔を設定について追記
		31	I²C／SMBUS	19.2.15	以下の内容を追加 - ICSAIR.SAAEN ビットが有効、かつ受信したスレーブアドレスが ICSAA.SAA ビットと一致すると、本 LSI は、マスタデバイスに指定されたスレーブデバイスとして動作する - ICSAA.CMD ビットは、SVA との一致、または GCA が有効な場合は GCA、SAA が有効な場合は SAA との一致で更新される
		32	I²C／SMBUS	19.2.15	ICSAA[0]ビットを Reserved から CMD に変更
		33	I²C／SMBUS	19.4 ～19.7	以下の内容を修正 - フローを整理 - 割込みイネーブルビットを追記 - GCA、SAA を有効にしているときの動作を追記
		34	I²C／SMBUS	19.4	図 19-8 b) の SDA (Subordinate output)の ACK/NACK の発生タイミングを修正

© SANKEN ELECTRIC CO., LTD. 2017

Rev.	日付	No.	表題	項番号	変更内容
		35	I²C／SMBUS	19.5	図 19-9 b) の以下の内容を修正 - SCL (Subordinate output)をデータ送信ごとに出力 - SDA (Subordinate output)をデータ送信後に“H”に変更 - SDA (Master output)の NA の破線を追加
		36	I²C／SMBUS	19.8	以下の内容を追加、修正 - GCA に関する説明を追加 - 削除：「SAA レジスタはリードのみを受け付けます」 - GCA、SAA、ICSAR とスレーブアドレスが一致したときの優先度を修正 - ICSAR の設定値が 0、SAA の設定値が 0 のときの説明を追加 - 削除：「スレーブデバイスへのライト時のアドレスは、ICSAIR レジスタが示すものと必ずしも一致しないため、注意が必要です。」 - コマンドがリードかライトかの判定方法を追加
		37	POC	26.1	図 26-1 の LVLEVEN 信号を、LVLENDIS 信号を反転した信号に修正
		38	POC	26.4.2	POCCRn.EN ビットの注意事項を追記
		39	POC	26.4.3	制御遅延付加機能の注意事項を追記
		40	POC	28.4	下記レジスタの初期値を修正 UART_CR 誤：0x00 正：0x03 UART_TXFIFO_SR 誤：0x00 正：0x80 UART_RXFIFO_SR 誤：0x00 正：0x80 UART_BAUD_L/H 誤：0xFF 正：0x00
		41	SCID	28.4.3	UART_CR[1:0]ビットの初期値を修正 誤：0 正：1
		42	SCID	28.4.7	UART_TXFIFO_SR[7]ビットの初期値を修正 誤：0 正：1
		43	SCID	28.4.9	UART_RXFIFO_SR[7]ビットの初期値を修正 誤：0 正：1
		44	SCID	28.4.12	BAUD_L[7:0]ビット、BAUD_H[7:0]ビットの初期値を修正 誤：1 正：0
		45	SCID	28.5.5	文中のビット名を修正 誤：UART_BAUD_H.TOUT_x ビット 正：UART_BAUD_H.BAUD_x ビット
		46	電気的仕様	29.3.13.2	(2)スレーブモードの仕様を修正 - SCK 周期の条件を追記 - SCK 周期 誤：80 ns 正：33.33 ns - SO 出力遅延時間 誤：4 ns 正：5 ns

© SANKEN ELECTRIC CO., LTD. 2017

Rev.	日付	No.	表題	項番号	変更内容
1.3	2021.7.14	47	ADC	22.2.1	- ADCn[2]ビットを修正、Description 欄を変更 誤：Reserved 正：MODE3 - ADCn.MODE1 ビットの Description 欄を変更 - ADCn[0]、Description 欄を変更 誤：Reserved 正：MODE4 - 表 22-4　ADCn.MODE1 および ADCn.MODE3 の設定制約条件 追加
1.4	2022.3.14	48	GPIO	7.3.3	GPIO1 の POC 動作の注意事項を追記
		49	TMR	17.3.10	TICSn.CMPACS ビット／TICSn.CMPBCS ビットの設定値を変更 - インプットキャプチャモードで動作させるとき 誤：0b000 正：0b0000 - TIOAn 入力イベント／TIOBn 入力イベントでインプットキャプチャ動作をさせるとき 誤：0b011 正：0b0011
1.5	2022.6.8	50	POC	26.3.1	POCBAS.POCXACS ビットの動作について追記

© SANKEN ELECTRIC CO., LTD. 2017