STR-L400 シリーズ
アプリケーションノート (Rev.1.2)

Not Recommended for New Designs

サンケン電気株式会社
SANKEN ELECTRIC CO., LTD.
http://www.sanken-ele.co.jp

目次

1. 概要---------- 3

2. 特長とシリーズラインアップ---------- 3

3. ブロック図と各端子機能 ---------- 4

4. 外形図---------- 5

5. 電気的特性 ---------- 6

6. 応用回路例 ---------- 8

7. 動作説明 ---------- 9

7.1 起動動作 ---------- 9
7.2 定電圧制御回路動作 ----------11
7.3 ボトムオンタイミング(擬似共振信号)----------12
7.4 遅延回路の種類 ----------16
7.5 ラッチ回路 ----------17
7.6 過電圧保護機能(OVP) ----------17
7.7 過熱保護機能(TSD) ----------17
7.8 過電流保護機能(OCP) ----------18

8. 設計上の注意点 ----------19

Not Recommended for New Designs

注 意

- 本書に記載されている内容は、改良などにより予告なく変更することがあります。
  ご使用の際には、最新の情報であることをご確認ください。
- 本書に記載されている動作例および回路例は、使用上の参考として示したもので、これらに起因する当社、もしくは第三者の工業所有権、知的所有権、その他の権利の侵害問題について当社は一切責任を負いません。
- 本書に記載されている製品をご使用の場合は、これらの製品と目的物との組合せについて使用者の責任において検討・判断を行ってください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品では、ある確率での欠陥、故障の発生は避けられません。部品の故障により結果として、人身事故、火災事故、社会的な損害などを発生させないよう、使用者の責任において、装置やシステム上で十分な安全設計および確認を行ってください。
- 本書に記載されている製品は、一般電子機器(家電製品、事務機器、通信端末機器、計測機器など)に使用されることを意図しております。
  高い信頼性が要求される装置(輸送機器とその制御装置、交通信号制御装置、防災・防犯装置、各種安全装置など)への使用をご検討の際には、必ず当社販売窓口へご相談をお願いします。
  極めて高い信頼性が要求される装置(航空宇宙機器、原子力制御、生命維持のための医療機器など)には、当社の文書による合意がない限り使用しないでください。
- 本書に記載された製品は耐放射線設計をしておりません。
- 本書に記載された内容を文書による当社の承諾なしに転記複製を禁じます。

1. 概要

STR-L400 シリーズは、パワーMOSFET と制御 IC を 1 パッケージに内蔵した、擬似共振型スイッチング電源用パワーIC です。

定常動作時に擬似共振動作および PRC*動作に対応しています。

* PRC(Pulse Ratio Control)・・・OFF 時間固定、ON 時間制御の制御方式(弊社呼称)

低背、高圧―低圧間沿面距離 6.5mm 以上(基板上リード端子部)の SIP10L ピンフルモールドパッケージ(弊社呼称 STA パッケージ)を使用し、充実した保護機能により構成部品の少ない、コストパフォーマンスの高い電源システムが容易に構成できます。

2. 特長とシリーズラインアップ

特長と利点

- SIP10L プルモールドパッケージ(STA10L パッケージ、2.54mm ピッチ)
  高圧－低圧ピン間の基板上リード端子部の沿面距離 6.5mm(基板上リード端子部)
  基板上からの高さ 12mm 以下
  白物補助電源用途に最適
- 電流モード制御方式
- 低周波動作用発振器内蔵(擬似共振信号が確立するまで、OFF 時間 50μs の低周波(約 20kHz)で動作し、起動時や、出力短絡時の部品ストレスを低減)
- 擬似共振動作機能搭載
- 過電流点の入力補正機能搭載(部品 3 点を追加することにより、入力電圧変動に対して過電流動作点のバラツキ補正が可能)
- 保護機能
  過電流保護(OCP)----------パルス・バイ・パルス
  過電圧保護(OVP) ----------ラッチオフ *
  過熱保護(TSD) ----------ラッチオフ *
  *ラッチオフ・・・ラッチオフは、発振停止を継続して保護を行う動作
- 2 チップ構造による、アバランシェ・エネルギ耐量保証 (サージ吸収回路の簡素化が可能)

シリーズラインアップ

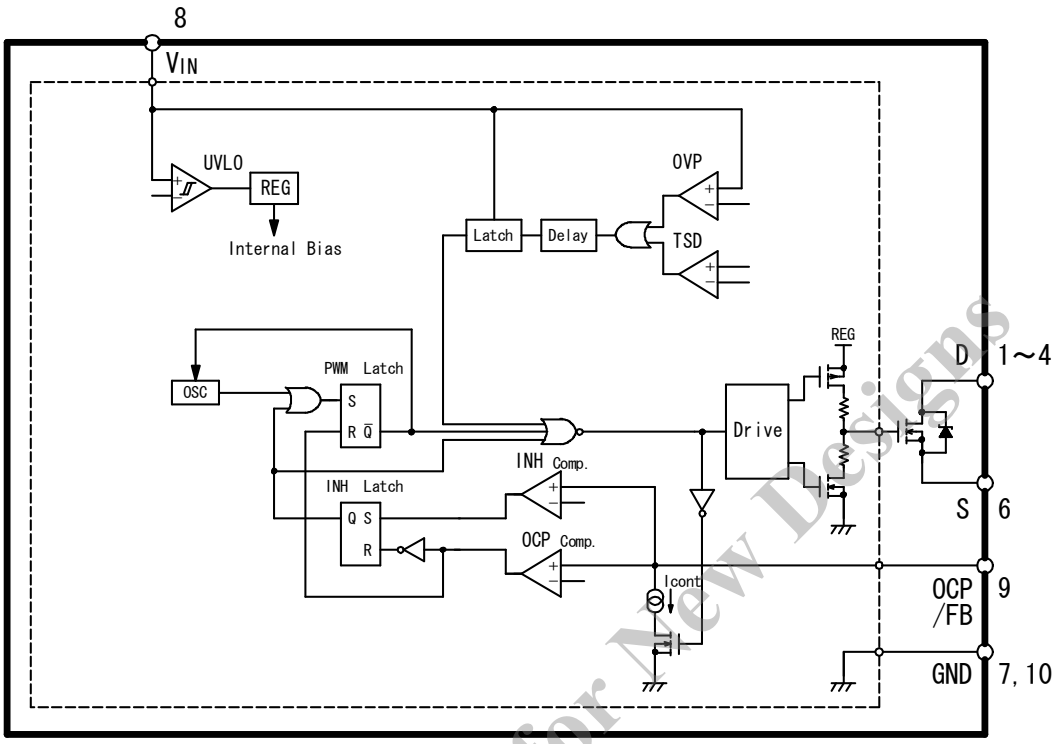
製品名	MOSFET V_{DSS}(MIN)	$R_{DS(ON)}$ (Max)	P_{OUT} ※1 AC100V/AC230V
STR-L451	650V	3.95Ω	30W / 74W
STR-L472	900V	7.70Ω	－ / 35W

※1 上記出力電力は熱定格であり、最大出力電力は、熱定格の 120%～140%程度まで出力可能です。ただし、出力電圧が低い場合やトランス設計時の ON Duty の設定により出力電力の制限を受けることがあります。

Not Recommended for New Designs

3. ブロック図と各端子機能

ブロック図



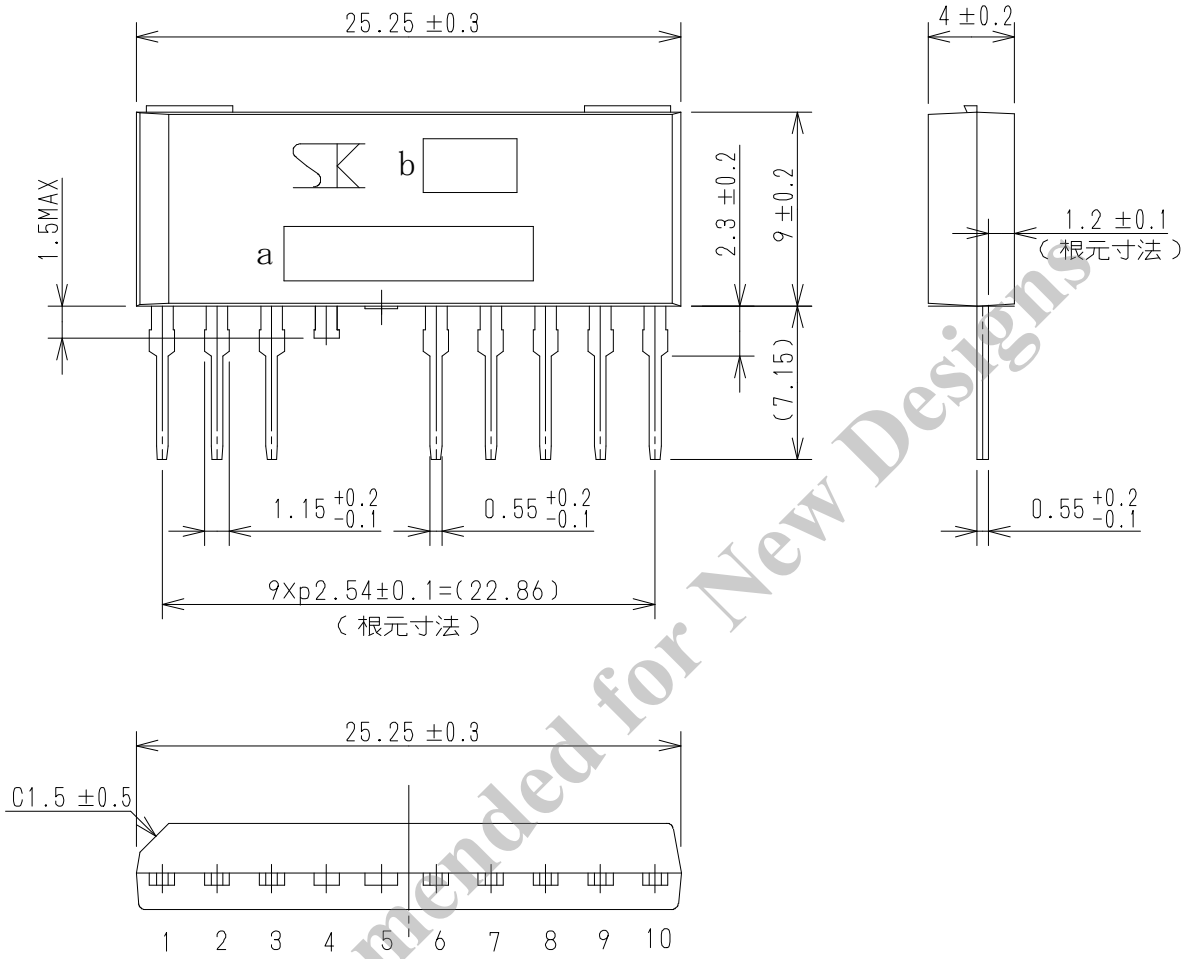
各端子機能

端子番号	記号	機能
1～4	D	MOSFET ドレイン
6	S	MOSFET ソース
7,10	GND	グランド
8	V_{IN}	制御回路電源入力
9	OCP/FB	過電流検出信号入力／定電圧制御信号入力

Not Recommended for New Designs

4. 外形図

・SIP10L(弊社呼称 STA10L)パッケージ
・下図リードフォーミングは、No.LF 428



端子の材質: Cu
端子の処理: Niメッキ＋半田ディップ
製品重量: 約2.6g
単位: mm

注記
——— 部は高さ0.3maxのゲートバリ発生個所をしめす。

a. 品名標示 STRL4**
b. ロット番号
第1文字 西暦年号下一桁
第2文字 製造月
1～9月 アラビア数字
10月 O
11月 N
12月 D
第3、4文字 製造日
01～31 アラビア数字

Not Recommended for New Designs

5. 電気的特性

STR-L400 シリーズの電気的特性を、STR-L472 を代表例として示します。
詳細内容は、製品毎の仕様書を参照願います。

5.1 絶対最大定格 特記なき場合の条件 Ta=25°C

項 目	端子	記 号	規 格 値	単位	備 考
ドレイン電流 ※1	1 – 6	I_{DPeak}	2.7	A	シングルパルス
最大スイッチング電流 ※1	1 – 6	I_{DMAX}	2.7	A	V_{6-10}=0.82V Ta= −20～+125°C
アバランシェエネルギ耐量 ※1	1 – 6	E_{AS}	50	mJ	シングルパルス V_{DD}=30V,L=20mH I_{LPeak}= 2.2A
制御部電源電圧	8 – 10	V_{IN}	35	V	
OCP/FB 端子電圧	9 – 10	V_{th}	6	V	
Power MOS FET 部許容損失 ※1	1 – 6	P_{D1}	12	W	無限大放熱器にて
			2.5		放熱器なし
制御部許容損失(MIC)	8 – 10	P_{D2}	0.14	W	
動作時内部フレーム温度	—	T_F	−20～+125	°C	推奨内部フレーム温度 T_F= 115℃(Max)
動作周囲温度	—	T_{OP}	−20～+125	°C	
保存温度	—	T_{stg}	−40～+125	°C	
チャネル温度	—	T_{ch}	+150	°C	

※1 製品によって異なるので、詳細は製品仕様書を参照願います。
※電流の規定は IC を基準として、シンクが＋、ソースがーとする。

5.2 MOSFET 部電気的特性 特記なき場合の条件 Ta=25°C

項 目	端子	記 号	規 格 値			単位	備 考
			MIN	TYP	MAX		
ドレイン・ソース間電圧 ※1	1 – 6	V_{DSS}	900	—	—	V	
ドレイン漏れ電流	1 – 6	I_{DSS}	—	—	300	A	
ON 抵抗 ※1	1 – 6	$R_{DS(ON)}$	—	—	7.7	Ω	
スイッチング・タイム ※1	1 – 6	t_f	—	—	250	ns	
熱抵抗 ※1	—	θ_{ch-F}	—	—	5.05	°C/W	チャネルー内部フレーム間

※1 製品によって異なるので、詳細は製品仕様書を参照願います。

Not Recommended for New Designs

5.3 制御部電気的特性 特記なき場合の条件 Ta=25℃、V_{CC}=20V

項 目	端子	記 号	規 格 値			単位
			MIN	TYP	MAX	
動作開始電源電圧	8 – 10	$V_{IN(ON)}$	15.8	17.6	19.4	V
動作停止電源電圧	8 – 10	$V_{IN(OFF)}$	9.1	10.1	11.1	V
動作時回路電流	8 – 10	$I_{IN(ON)}$	–	–	5	mA
非動作時回路電流	8 – 10	$I_{IN(OFF)}$	–	–	50	μA
最大 OFF 時間	–	$t_{OFF(MAX)}$	41	–	57	μs
最小疑似共振信号入力時間	9 – 10	$t_{th(2)}$	–	–	1.0	μs
最小 OFF 時間	–	$t_{OFF(MIN)}$	–	–	1.5	μs
OCP/FB 端子しきい電圧 1	9 – 10	$V_{th(1)}$	0.70	0.76	0.82	V
OCP/FB 端子しきい電圧 2	9 – 10	$V_{th(2)}$	1.3	1.5	1.7	V
OCP/FB 端子引き抜き電流	9 – 10	$I_{OCP/FB}$	1.0	1.35	1.5	mA
OVP 動作電源電圧	8 – 10	$V_{IN(OVP)}$	23.2	25.5	27.8	V
ラッチ回路保持電流 ※2	8 – 10	$I_{IN(H)}$	–	–	70	μA
ラッチ回路解除電源電圧 ※2,3	8 – 10	$V_{IN(La.OFF)}$	7.9	–	10.5	V
熱保護動作温度	–	$T_{j(TSD)}$	135	–	–	℃

※2 ラッチ回路とは、過電圧保護(OVP)、過熱保護(TSD)により動作する回路を示します。

※3 $V_{IN(OFF)}$＞$V_{IN(La.OFF)}$の関係が成立ちます。

※電流の規定は IC を基準として、シンクが＋、ソースが－とする。

Not Recommended for New Designs

6. 応用回路例

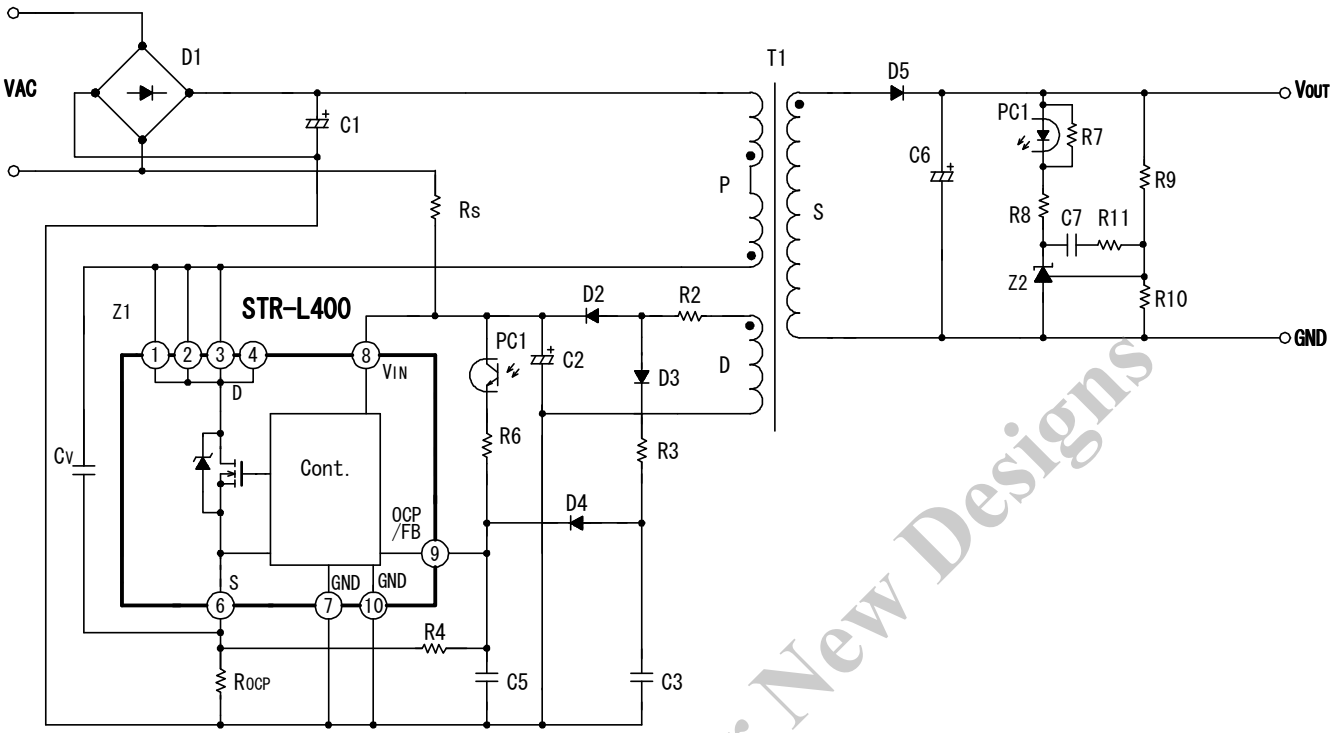


図 6 応用回路例

Not Recommended for New Designs

7. 動作説明

7.1 起動動作

図 7-1 に V_{IN} 端子周辺回路を示します。

起動回路は、V_{IN} 端子電圧を検出して、IC の動作開始、動作停止を行います。

電源起動時、起動抵抗 R_S を介し、C2 を充電し、V_{CC} 端子電圧が動作開始電源電圧 $V_{IN(ON)}$= 17.6V(TYP)まで上昇すると、IC は動作を開始します。R_S の値は、入力 AC 電圧の下限時に、ラッチ回路保持電流 $I_{IN(H)}$= 70μA(MAX) のマージンを考慮し 100μA 以上の電流が流れるように設定します。なお、R_S の値を大きくしすぎると、AC 入力投入後、C2 の充電時間が長くなるため、起動時間が長くなりますので、C2 容量と併せた検討が必要です。

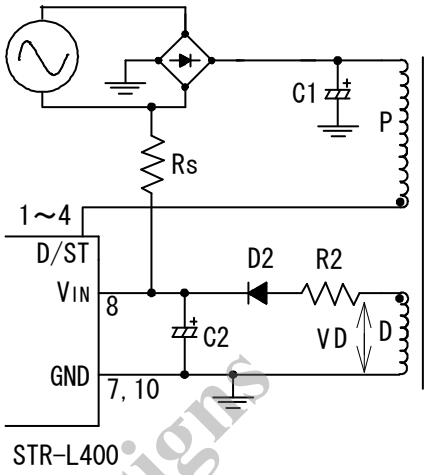


図 7-1 V_{IN} 端子周辺回路

一般的な電源仕様であれば、C2 は、10～47μF 程度、Rs は、AC100V とワイド入力時は 100k～220kΩ、AC230V 入力時は 470k～820kΩ 程度になります。

図 7-2 に V_{IN} 端子電圧と回路電流 I_{IN} の関係を示します。V_{IN} 端子電圧が $V_{IN\,(ON)}$ = 17.6V(TYP)に達すると、制御回路が動作を開始し、回路電流が増加します。制御回路動作後、V_{IN} 端子電圧が動作停止電源電圧 $V_{IN(OFF)}$= 10.1V(TYP)に低下すると、低入力時動作禁止 UVLO（Undervoltage Lockout）回路により制御回路は動作を停止し、再び起動前の状態に戻ります。制御回路動作後は、図 7-1 の補助巻線 D から整流平滑された電圧が V_{IN} 端子の供給電力になります。

補助巻線電圧は、電源仕様の入出力変動範囲内で、V_{IN} 端子電圧が、

$$V_{IN(OFF)} = 11.1V(MAX) < V_{IN} < V_{IN(OVP)} = 23.2V(MIN)$$

になるように補助巻線 D の巻数を調整します。補助巻線電圧の目安は、18V 程度になります。

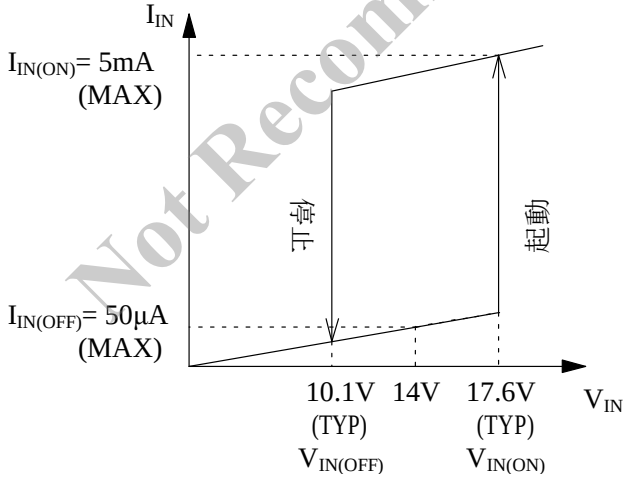


図 7-2 V_{IN} 端子電圧－回路電流 I_{IN}

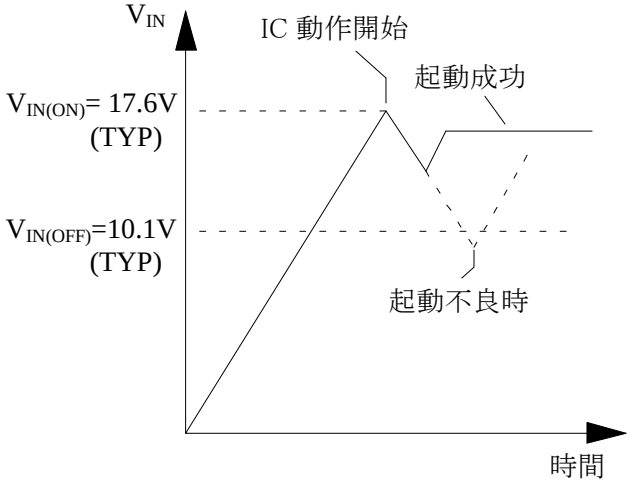


図 7-3 起動時 V_{IN} 端子電圧波形

図 7-3 に電源起動時の V_{IN} 端子電圧波形例を示します。図 7-3 のように、V_{IN} 端子電圧が $V_{IN(OFF)}$に達し、起動不良になる場合は、C2 容量を大きくします。なお、容量を大きくすると、起動時間が長くなるので、使用上問題ないか確認が必要です。

Not Recommended for New Designs

実際の電源回路は、図 7-4 のように 2 次側出力電流 I_{OUT} の値により V_{IN} 端子電圧が変化し、過電圧保護動作（OVP）になる場合があります。これは、パワーMOSFET がターン OFF した瞬間に発生するサージ電圧によって、C2 がピーク充電されるためです。これを防止するには、図 7-5 のように、整流用ダイオード D2 と直列に数 Ω～数十 Ω の抵抗 R2 の追加が有効です。R2 の最適値は、出力電圧に対する V_{IN} 端子電圧の変化が使用するトランスの構造によって異なるため、 実際に使用するトランスに合わせた調整が必要です。また、出力電圧に対する V_{IN} 端子電圧の変化率は、下記の場合に悪くなるため、トランス設計時は、補助巻線 D の巻き位置に注意が必要です。

- トランスの 1 次－2 次の結合が悪い場合（低出力電圧、大電流負荷仕様など）
- 補助巻線 D と安定化出力巻線（定電圧制御を行っている出力ラインの巻線）の結合が悪い場合

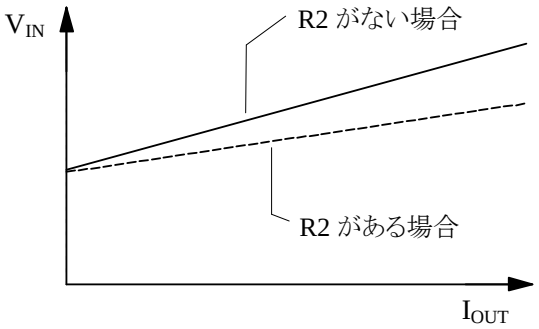


図 7-4 R2 による出力電流 I_{OUT}－V_{IN} 端子電圧

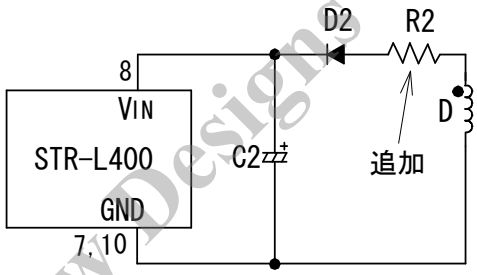
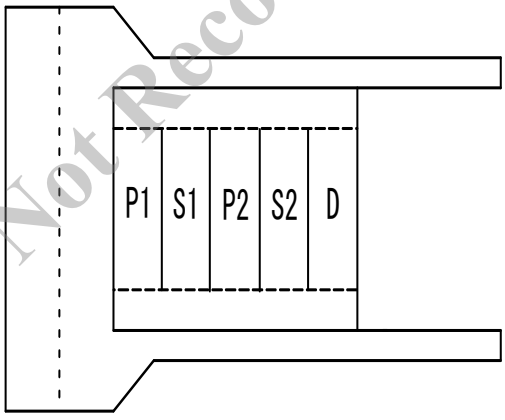


図 7-5 出力電流 I_{OUT} の影響が受けにくい V_{IN} 端子周辺回路

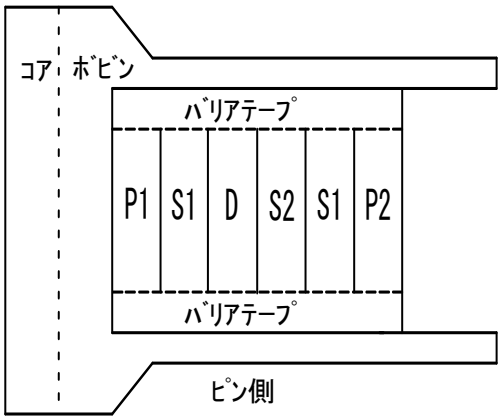
トランス設計時の参考として、補助巻線 D の巻き位置の参考例を、図 7-6、図 7-7 に示します。

- 補助巻線 D を 1 次巻線 P1 と P2 から距離を離す（図 7-6 巻線構造例①）。
  P1、P2 は 1 次巻線を 2 分割にしたサンドイッチ巻線
- 2 次側安定化出力巻線 S1 で補助巻線 D をサンドイッチする構造とする（図 7-7 巻線構造例②）。
  2 出力巻線 S1、S2 中、S1 は安定化出力巻線（定電圧制御を行っている出力ラインの巻線）。



P1,P2 1 次巻線
S1 2 次制御巻線
S2 2 次出力巻線
D V_{CC} 用補助巻線

図 7-6 巻線構造例①



P1,P2 1 次巻線
S1 2 次制御巻線
S2 2 次出力巻線
D V_{CC} 用補助巻線

図 7-7 巻線構造例②

Not Recommended for New Designs

7.2 定電圧制御回路動作

出力電圧は、過渡応答および安定性に優れた電流モード制御(ピーク電流モード制御)により、定電圧制御されます。図 7-8 に OCP/FB 端子周辺回路、図 7-9 に定電圧制御動作を示します。

負荷に応じたフィードバック電流は、フォトカプラ PC1 を介して、R4 に電圧降下 VR4 を作ります。

ドレイン電流によって検出抵抗 R_{OCP} に生じた電圧降下 VR_{OCP} に VR4 を重畳させた OCP/FB 端子電圧と、OCP/FB 端子しきい電圧 $1V_{th(1)}$= 0.76V(TYP)を、IC 内部の OCP コンパレータ(OCP Comp.)で比較する電流モード制御により、定電圧制御が行われます。

一般的に電流モード制御は、軽負荷時に VR4 の電圧が上昇し、パワーMOSFET がターン ON する際に発生する急峻なサージ電流により OCP コンパレータ(OCP Comp.)が誤動作し、パワーMOSFET がターン OFF する場合があります。

STR-L400 シリーズは、これを防止するため、アクティブローパスフィルタ回路を内蔵しています。パワーMOSFET がターン ON するまで、OCP/FB 端子を OCP/FB 端子引き抜き電流 $I_{OCP/FB}$= 1.35mA の定電流で引き抜き、バイアス量を約 1/2 まで低下させます。この回路により、パワーMOSFET がターン ON したときのサージ電圧を C5 に吸収させ、軽負荷まで安定動作が行えます。

R4、R6、C5 の一般的な定数は、R4=680Ω、R6=3.3kΩになり、C5=100p～470pF が目安になります。なお、C5 容量が大きくなりすぎると、OCP の応答が遅くなるため、電源起動時などの過渡状態時のドレイン電流ピークが増大する場合があるので注意が必要です。誤動作が生じる場合は、定数を実働動作で確認して決定します。

Not Recommended for New Designs

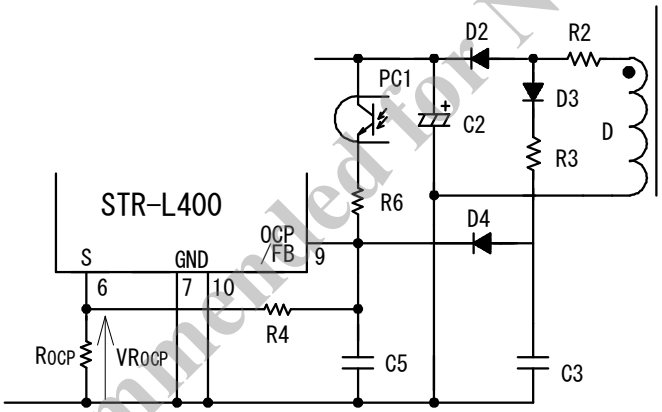


図 7-8 OCP/FB 端子周辺回路

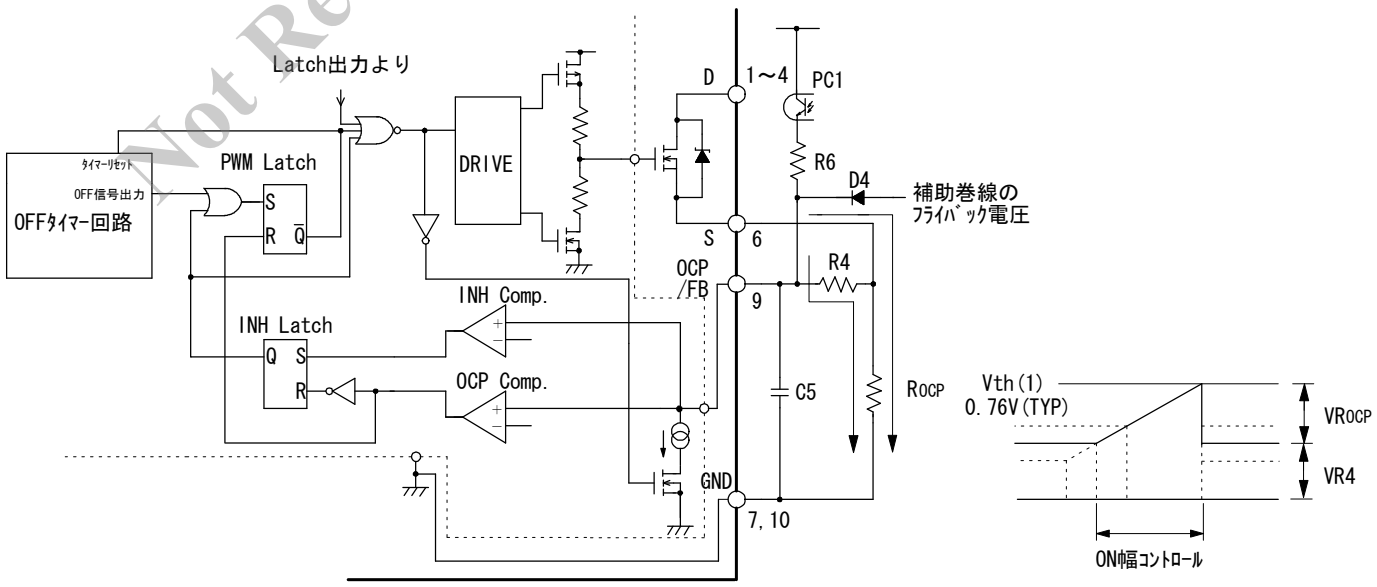


図 7-9 定電圧制御動作

STR-L400 シリーズの動作モードは、擬似共振信号のあり／なしで以下の 2 種類のモードに切換わります。

- PRC 動作（Pulse Ratio Control）
- 擬似共振動作

7.2.1 PRC 動作

擬似共振信号がない場合、または確立していない場合（OCP/FB 端子電圧が OCP/FB 端子しきい電圧 $2Vt_{h(2)}$= 1.5V(TYP)以下）は、最大 OFF 時間 $t_{OFF(MAX)}$= 50μs(TYP)固定、ON 時間制御で動作します。

パワーMOSFET がターン ON する場合は、図 7-9 の OFF タイマー回路で内部固定された OFF 時間後、PWM Latch の $\overline{Q}$ が “L”にラッチされ、ゲートドライブ条件が満足されると、パワーMOSFET がターン ON します。

パワーMOSFET がターン OFF する場合は、IC 内部の OCP コンパレーター（OCP Comp.）により、OCP/FB 端子電圧が、OCP/FB 端子しきい電圧 $1V_{th(1)}$= 0.76V(TYP)よりも大きくなると、PWM Latch の $\overline{Q}$ が “H”にラッチされ、ドライブ回路が OFF し、パワーMOSFET がターン OFF します。

OFF 時間は 50μs(TYP)固定のため、PRC 動作時のスイッチング周波数は約 20kHz になり、擬似共振信号が確立していない起動時や、出力短絡時の部品ストレスを低減します。

また外部信号により、擬似共振信号をカットする回路を追加することによって、スタンバイ負荷などの微小負荷時の消費電力を低減できます。

7.2.2 擬似共振動作

補助巻線から作られる擬似共振信号により、OCP/FB 端子電圧が $V_{th(2)}$= 1.5V（TYP)以上になると、IC 内部の OFF タイマー回路は最小 OFF 時間 $t_{OFF(MIN)}$= 1.5μs(MAX)に切換わり、OCP/FB 端子電圧が $V_{th(1)}$= 0.76V(TYP)以下になるまで、パワーMOSFET は OFF を継続します。この動作により、擬似共振動作が行われます。擬似共振動作は、“7.3 ボトムタイミング（擬似共振信号）”項を参照。

7.3 ボトムオンタイミング(擬似共振信号)

図 7-10 に示すようなフライバック方式(パワーMOSFET が OFF のときに 2 次側へエネルギーを供給する方式)は、2 次側にエネルギー放出後、ドレイン電圧 V_{DS} が、トランスの L_P とドレインーソース間のコンデンサ C_V で決まる周波数で自由振動します。

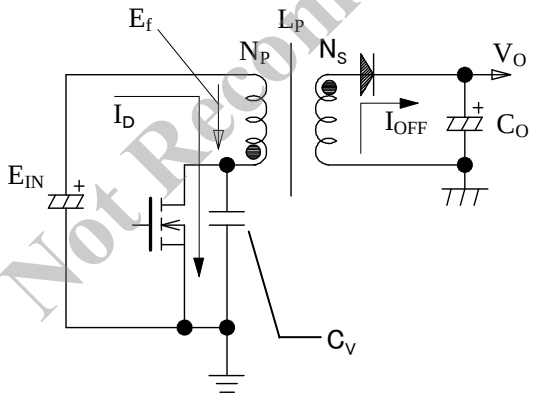


図 7-10 フライバック方式

E_{IN}: DC 電圧

E_f: フライバック電圧 $Ef = \frac{Np}{Ns} \times (Vo + V_F)$

N_P: 1 次側の巻数

N_S: 2 次側の巻数

V_O: 出力電圧

V_F: ダイオードの順方向電圧降下

I_D: パワー MOSFET のドレイン電流

I_{OFF}: パワー MOSFET が OFF 時に 2 次側ダイオードに流れる電流

C_V: 電圧共振コンデンサ

L_P: 励磁インダクタンス

V_{DS} の自由振動のボトム点で、パワーMOSFET がターン ON することを、ボトムオンといい、図 7-11 に理想的なボトムオン時の V_{DS} 波形を示します。

擬似共振動作は、V_{DS} のボトム点でターン ON するため、スイッチング損失、およびスイッチングノイズを低減でき、高効率、低ノイズが実現できます。

V_{DS} が自由振動の期間にターン ON させる遅延タイミングは、V_{DS} 波形に同期した補助巻線電圧から作ります。

Not Recommended for New Designs

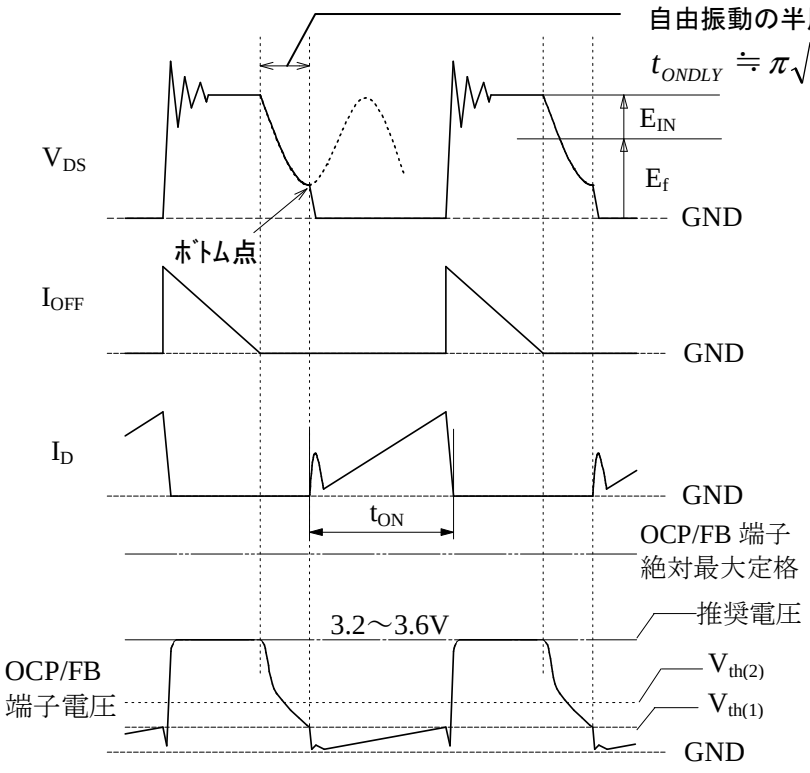


図 7-11 理想的なﾎﾞﾄﾑｵﾝ:V_{DS} 電圧共振波形のﾎﾞﾄﾑ点でﾀｰﾝ ON

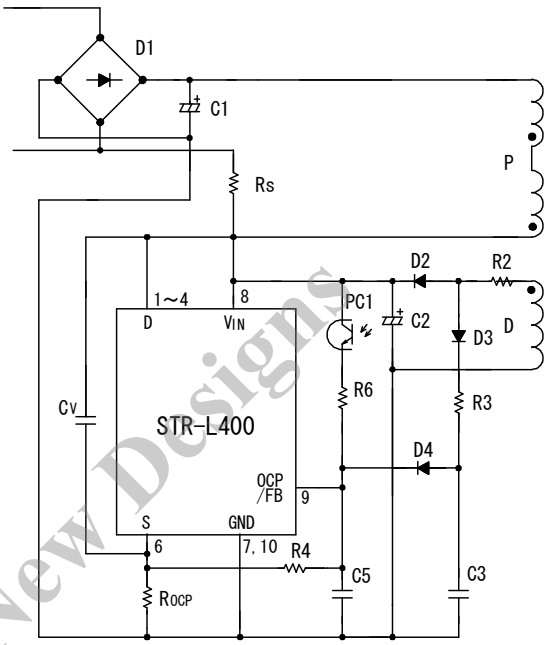


図 7-12 擬似共振と遅延回路

図 7-12 の、補助巻線 D と OCP/FB 端子間の D3、D4、R3、C3 が遅延回路になります。

パワーMOSFET のターン OFF 後、補助巻線電圧により、OCP/FB 端子電圧が OCP/FB しきい電圧 2 $V_{th(2)}$= 1.5V(TYP)以上になると、IC 内部の INH コンパレーターが動作し、OCP/FB 端子しきい電圧 1 $V_{th(1)}$= 0.76V(TYP)に下がるまで、パワーMOSFET は OFF を継続します。

トランスのエネルギーが放出し終わると、補助巻線電圧は低下し始め、C3、C5 電圧は、IC 内部のアクティブローパスフィルタ回路と R4 の合成インピーダンスにより放電され、OCP/FB 端子電圧が $V_{th(1)}$以下になると、パワーMOSFET はターン ON します。

この放電期間が遅延時間になります。遅延時間は、動作波形を観測しながらボトムオンになるように、C3 を調整します。$V_{th(1)}$と $V_{th(2)}$の電圧差、およびアクティブローパスフィルタ回路により、擬似共振動作の誤動作を防止しています。

OCP/FB 端子の擬似共振信号電圧が、

- 低すぎる場合
  電源起動時に、PRC 動作⇒擬似共振動作の切換わりが遅くなり、出力電圧の立上りが遅れ、V_{IN} 端子電圧が動作電源停止電圧 $V_{IN(OFF)}$まで低下すると、起動不良が生じます。

- 高すぎる場合
  電源起動時に、誤動作により高周波でパワーMOSFET が ON / OFF 動作する場合があります。パワーMOSFET の損失が過大になり、チャネル温度を超えると、パワーMOSFET はダメージを受けます。

- 大きなリンギング波形を含んでいる場合
  図 7-13 のように、ﾄﾗﾝｽの結合が悪い場合の BD 端子波形を示します。

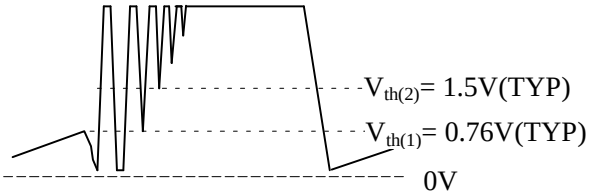


図 7-13 ﾄﾗﾝｽの結合が悪い場合の OCP/FB 端子波形

Not Recommended for New Designs

1 次巻線と 2 次側制御巻線の巻数比(N_P/N_S)が極端に大きい場合（低圧大電流負荷仕様）など、パワーMOSFET がターン OFF する際に、補助巻線を介して OCP/FB 端子電圧にもサージ電圧が発生する場合があり、リンギング波形を擬似共振信号の入力と認識し、高周波でパワーMOSFET が ON / OFF 動作する場合があります。このとき、パワーMOSFET の損失が過大になり、チャネル温度を超えると、パワーMOSFET はダメージを受けます。

このような高周波動作が生じた場合は、R4、C5 を OCP/FB 端子－GND 端子の近くに接続する、OCP/FB 端子－GND 間のパターンループを大電流パターンと離す、1 次巻線と補助巻線の結合が低くなる巻き方にする、クランプスナバの定数調整を行うなど、高周波動作が生じない調整が必要です。

なお、OCP/FB 端子の動作波形を確認するプローブは、OCP/FB 端子、GND 端子近くに接続します。

OCP/FB 端子の擬似共振信号電圧の調整は、

● 遅延回路の選択

・電源仕様により、“7.4 遅延回路の種類”項から選択します。

以下の調整は、“7.4 遅延回路の種類”項の回路例 B（最も応用範囲が広い基本回路）を使った場合で説明します。

● 擬似共振信号電圧の振幅、有効期間

・図 7-14 に推奨波形を示します。

・R3 の設定方法

擬似共振動作時の R3 に流れる電流 Is は、OCP/FB 端子電圧の推奨値を 3.4V とすると、R4 とアクティブローパスフィルタ回路の定電流 1.35mA が接続されるため、次式(1)になります。なお、R_{OCP} は R4 より極めて小さいため、無視できるので計算式には入れていません。

$$Is = \frac{3.4V}{R4} + 1.35mA$$

$$R3 = \frac{V_D - 3.4V - 2 \times V_F}{Is} \quad \text{------(1)}$$

ここで、V_D は、補助巻線電圧、V_F は D3、D4 の順方向電圧降下≒0.7V

擬似共振信号の調整は、以下を考慮して、R3 を決めます。

・振幅は、AC 入力電圧 MIN、P_O=MAX 時に、3.2V～3.6V に調整します。

OCP/FB 端子電圧は絶対最大定格 6V 以下の設定が必要です。

・有効期間は、AC 電圧 MIN、P_O=MIN 時に、Vth(2)= 1.7V(MAX)になる時間を、1μs 以上にします。

短い場合は、スイッチング周波数が高い電源仕様の場合に擬似共振動作が追従できなくなることがあります。有効期間が調整できない場合は、“7.4 遅延回路の種類”項の回路例 D の検討や、トランスのインダクタンスを増やしてスイッチング周波数を下げるなどの検討が必要です。

なお、ノイズなどによる誤動作がないことや、図 7-15 のように、電源起動時の PRC 動作期間は、OFF 時間が約 50μs で動作している確認が必要です（OCP/FB 端子にノイズが入ると OFF 時間が短くなります）。

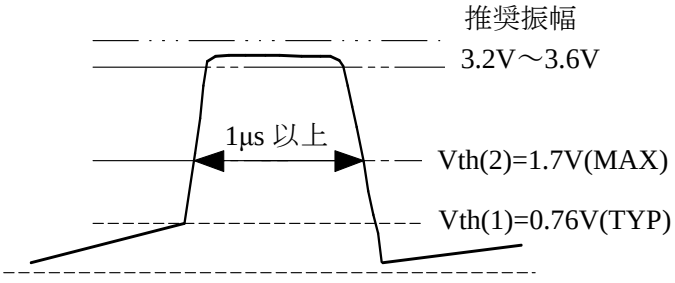


図 7-14 OCP/FB 端子電圧波形

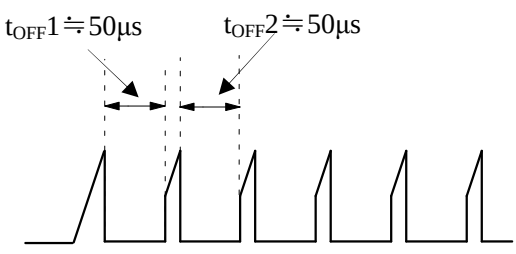


図 7-15 電源起動時のﾄﾞﾚｲﾝ電流波形

Not Recommended for New Designs

V_{DS} のボトム点の調整方法は、V_{DS}、$V_{OCP/FB}$（OCP/FB 端子電圧）、I_D の実働波形を観測し、図 7-16 に示す理想的なボトムオン（V_{DS} のボトム点でターン ON）になるように、C3 を調整し、遅延時間 t_{ONDLY} を調整します。

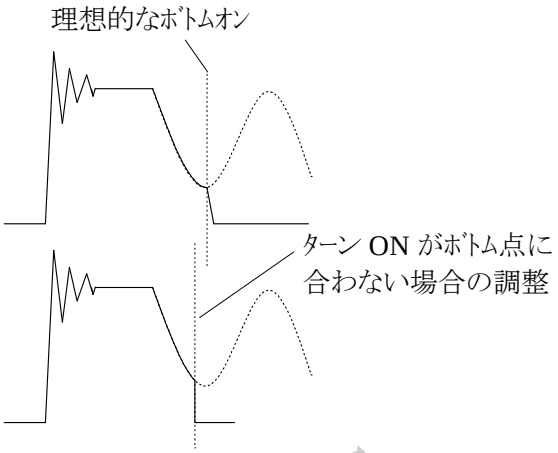


図 7-16 ボトムオン設定

- AC 入力電圧 MAX、Po=MAX 時に、ターン ON がボトム点より早い場合(図 7-17)
  初期接続してある C3 の容量を増やし、ボトム点を確認しておき、ターン ON が V_{DS} のボトム点と一致するように調整します。

- AC 入力電圧 MAX、Po=MAX 時に、ターン ON がボトム点より遅い場合(図 7-18)
  初期接続してある C3 の容量でボトム点を確認しておき、C3 の容量を減らし、ターン ON が V_{DS} のボトム点と一致するように調整します。

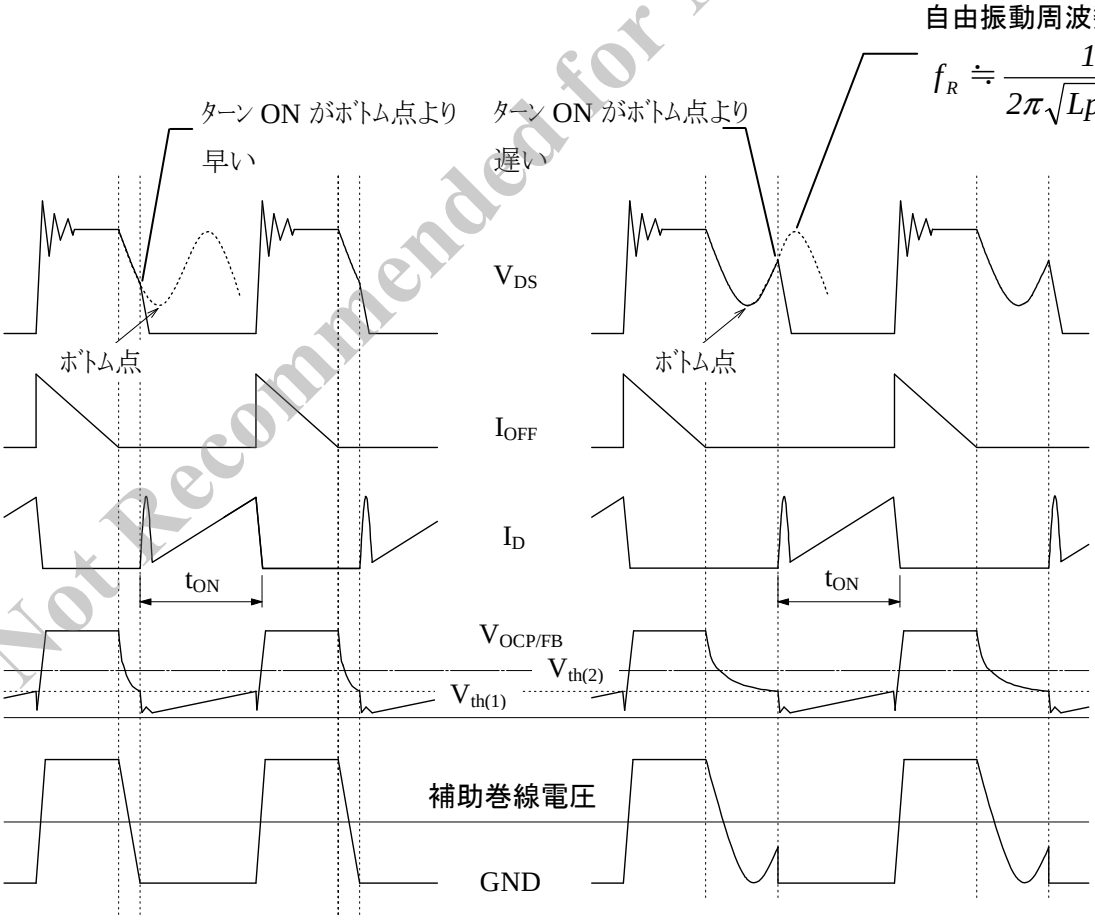


図 7-17 ターン ON が V_{DS} 波形のボトム点より早い場合

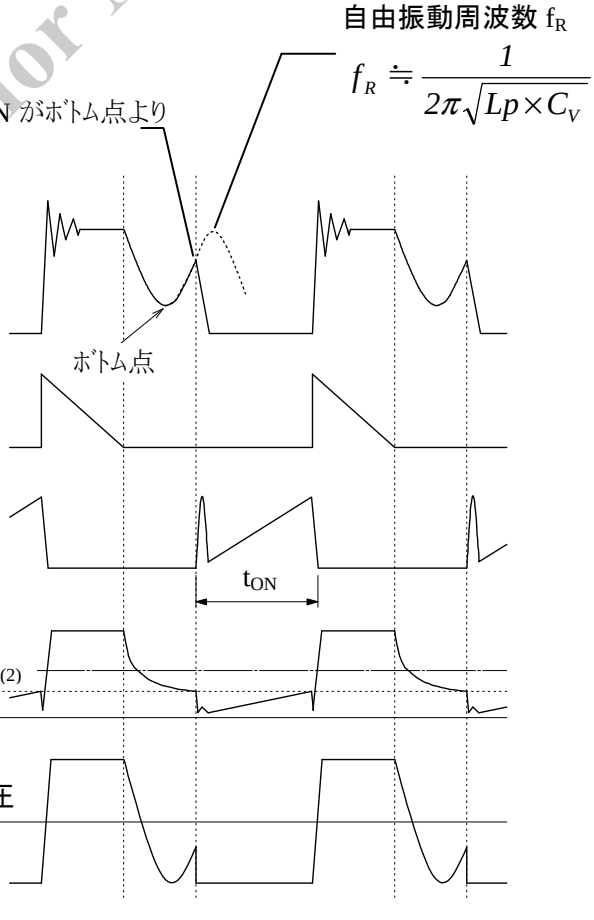


図 7-18 ターン ON が V_{DS} 波形のボトム点より遅い場合

調整時、ターン ON が V_{DS} のボトム点に合わない場合は、図 7-16 の“ターン ON がボトム点に合わない場合の調整”のように、ボトム点より手前に設定します。ボトム点の後に設定すると発振が不安定になる場合があります。

Not Recommended for New Designs

7.4 遅延回路の種類

遅延回路の構成を、図 7-19 に示します。

● 回路例 A

部品点数が少なく、サージ電圧の減衰効果が最も高い回路です。
ただし、R3 の損失が大きくなるため、C3 の容量を大きくできず、自由振動周波数の高い電源、またはナロー入力電源には適しません。

● 回路例 B

回路例 A に比べ、遅延時間を長く設定できます。
サージ電圧の減衰効果が高く、最も応用範囲が広い、標準回路です。

● 回路例 C

R3´によって C3 の電荷が放電されるため、フィードバック電流による遅延時間の変化が少ない回路です。
負荷急変、入力電圧急変が大きい場合や、遅延時間の調整範囲が広く必要なワイド入力電源に適します。
R3´によって、R3 に流れる電流がバイパスされるため、R3 の値を補正する必要があります。

● 回路例 D

部品点数が最も少なく、スイッチング周波数は 300kHz 程度まで追従ができます。
ただし、遅延時間の調整はできません。
自由振動周波数の 1/2 と遅延時間が一致する場合（$\pi\sqrt{L_P \times C_V}$ ≒1.5μs 程度）や、パワーMOSFET のターン ON するタイミングは、ずれるが、スイッチング損失が多少増加しても問題にならない場合に適し、出力電力の小さい AC100V 系電源や、クランプスナバがあり、自由振動周波数が高く、出力電力の小さいワイド入力電源などに適します。

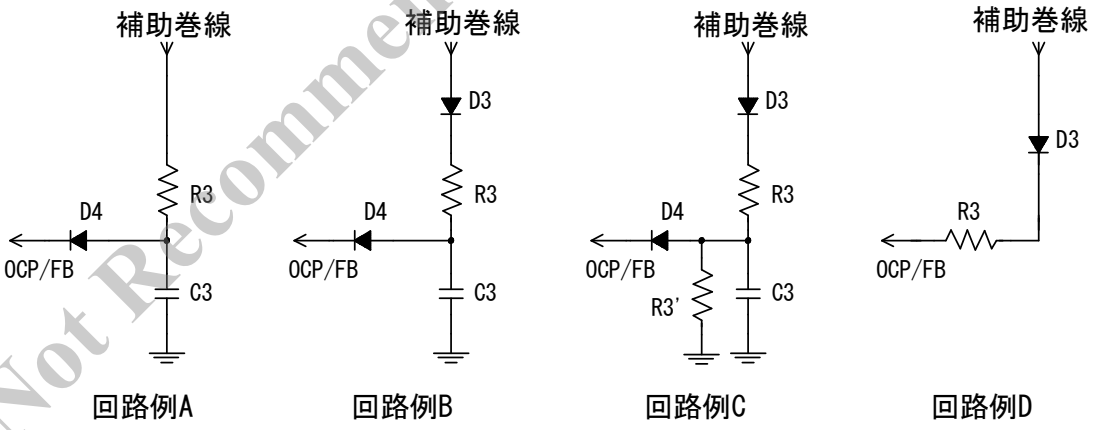


図 7-19 遅延回路の種類

Not Recommended for New Designs

7.5 ラッチ回路

ラッチ回路は、過電圧保護(OVP)、過熱保護(TSD)回路の各動作時に、ラッチモードでスイッチング動作を停止させます(ラッチオフ)。

ラッチ回路が動作し、スイッチング動作が停止すると、V_{IN} 端子電圧は下降し始め、V_{IN} 端子電圧が $V_{IN(OFF)}$=10.1V(TYP)まで低下すると、回路電流は 50μA 以下になり、V_{IN} 端子電圧は上昇を始めます。その後、動作開始電源電圧 $V_{IN(ON)}$= 17.6V(TYP)に達すると、回路電流が増加するため、V_{IN} 端子電圧は低下し、図 7-20 のように、ラッチ回路動作時の V_{IN} 端子電圧波形は、10.1V(TYP) と 17.6V(TYP)間を上下する動作になり、V_{IN} 端子電圧の異常な上昇を防止します。

ラッチ回路保持電流 $I_{IN(H)}$は、V_{IN}= 9.8V(TYP)時、70μA (MAX)ですが、マージンを考慮し、100μA 以上流せる起動抵抗 R_S を設定します。

ラッチ回路の解除は、AC 入力をオフし、V_{IN} 端子電圧が $V_{IN(La.OFF)}$= 7.9V(MIN)以下に下がると解除します。

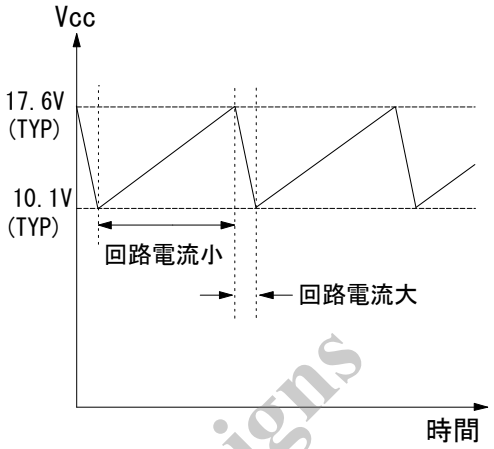


図 7-20 ラッチ時の V_{IN} 端子電圧波形

7.6 過電圧保護機能(OVP)

V_{IN} 端子－GND 端子間に、OVP 動作電源電圧 $V_{IN(OVP)}$= 25.5V(TYP)以上の電圧が印加されると、過電圧保護機能が動作し、ラッチモードでスイッチング動作が停止します。

V_{IN} 端子電圧がトランスの補助巻線から供給される場合は、V_{IN} 端子電圧が出力電圧に比例するため、出力電圧検出回路オープン時などの 2 次側過電圧を検出できます。

この場合、過電圧保護動作時の 2 次側出力電圧は次式(2)で概略計算できます。

$$V_{OUT(OVP)} = \frac{\text{通常動作時出力電圧}}{\text{通常動作時}V_{IN}\text{端子電圧}} \times 25.5V(TYP) \quad \text{------(2)}$$

7.7 過熱保護機能(TSD)

IC の制御回路部の温度が、熱保護動作温度 $T_{j(TSD)}$= 135℃(MIN)以上に達すると、ラッチモードでスイッチング動作を停止します。

Not Recommended for New Designs

7.8 過電流保護機能(OCP)

過電流保護回路(OCP)は、パワーMOSFETのドレイン電流ピーク値を、パルス・バイ・パルス方式により検出し、電力制限します。

パワーMOSFETのドレイン電流は、OCP/FB端子とGND端子間の電流検出抵抗 R_{OCP} で検出され、R_{OCP} の電圧降下が OCP/FB 端子しきい電圧 $1V_{th(1)}$= 0.76V(TYP) に達したときに、パワーMOSFET はターン OFF します。

過負荷状態で出力電圧が低下すると、補助巻線電圧も、それに比例して低下します。V_{IN} 端子電圧が動作停止電圧 $V_{IN(OFF)}$以下になると、スイッチング動作が停止し、回路電流が減少するため、V_{IN} 端子電圧は上昇を始め、動作開始電源電圧 $V_{IN(ON)}$= 17.6V(TYP) に達すると、制御回路が再び動作する、UVLO による間欠動作になります。

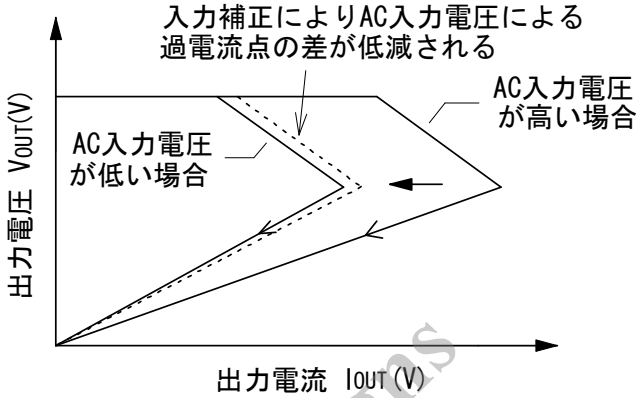


図 7-21 出力過負荷特性

なお、多出力巻線のトランスなどは結合が悪くなるため、過負荷状態で出力電圧が低下しても、補助巻線電圧は低下せず、間欠動作にならない場合があります。この場合は、2 次側巻線と補助巻線の結合を上げたトランス構造の検討などが必要です。

7.8.1 過電流入力補正

AC 入力電圧による過電流の補正は、図 7-22 の R_A、R_B、D_Z により、入力電圧が高いときの過電流を早めに動作させ、図 7-21 のように、入力電圧が低いときとの差を低減できます。

過電流入力補正は、入力電圧が高いとき、パワーMOSFET のドレイン電流ピークを低く抑えるため、トランスから発生するサージ電圧が少なくなり、電源起動時、および過負荷時のパワーMOSFET と 2 次側整流ダイオードのストレスを軽減できます。

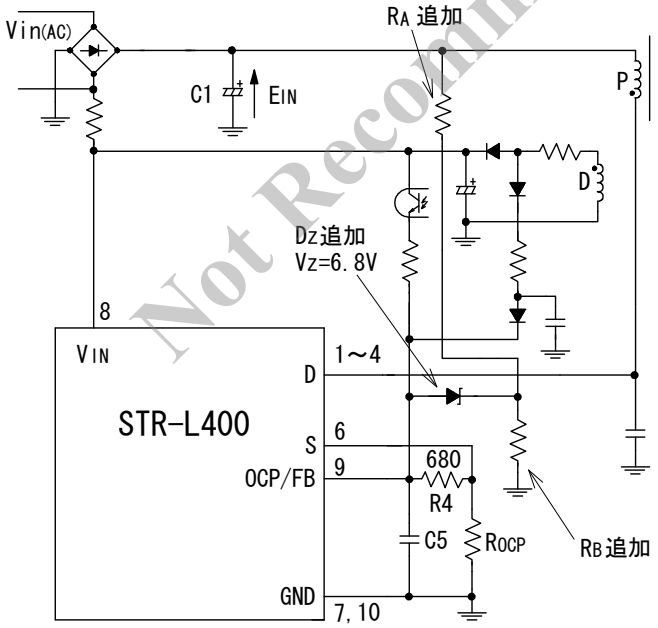


図 7-22 過電流入力補正回路

$$R_A = 680\Omega \times \frac{E_{IN(MAX)} - E_{IN(MIN)}}{0.76V} \times \frac{I_{DP(MAX)}}{I_{DP(MAX)} - I_{DP(MIN)}}$$

$$R_B = \frac{(6.8V + 0.76V)}{E_{IN(MIN)} - (6.8V + 0.76V)}$$

$I_{DP(MAX)}$: $V_{in(AC)(MIN)}$、P_O=MAX 時のドレイン電流
$I_{DP(MIN)}$: $V_{in(AC)(MAX)}$、P_O=MAX 時のドレイン電流
$E_{IN(MIN)}$: $V_{in(AC)(MIN)}$ 時の C1 電圧
$E_{IN(MAX)}$: $V_{in(AC)(MAX)}$ 時の C1 電圧

Not Recommended for New Designs

8. 設計上の注意点

8.1 外付け部品

各部品は使用条件に適合したものを使用します。

- 入力、出力の平滑用電解コンデンサは、リップル電流・電圧・温度上昇に対し、適宜、余裕を設けます。また、スイッチング電源用の High-Ripple タイプ、低インピーダンスタイプの部品を使用します。
- トランス類は銅損・鉄損による温度上昇に対し、適宜、余裕を設けます。
- 電流検出用抵抗 R_{OCP} は、高周波スイッチング電流が流れるので、内部インダクタンスの大きなものを使用すると、誤動作の原因になります。内部インダクタンスが小さく、かつ、サージ耐量の大きなものを使用します。

8.2 スイッチングスピードのコントロール

STR-L400 シリーズは、ソース端子（6 番ピン）が独立しているため、このピンにフェライトビーズ FB を挿入し、スイッチングスピードを調整することにより、スイッチングノイズを低減できます。

フェライトビーズ FB を挿入すると、パワーMOSFET のターン ON 時だけでなく、ターン OFF 時のスイッチングスピードが低下して、スイッチング損失が増える場合があります。

このため、図 8-1 に示すダイオード D6 を挿入することにより、ターン OFF 時のスイッチングスピードの低下を防げます。挿入するダイオードは、高速で接合容量の小さい小信号用のスイッチングダイオードか、ショットキーバリアダイオード(弊社製 AK03 など)を使用します。

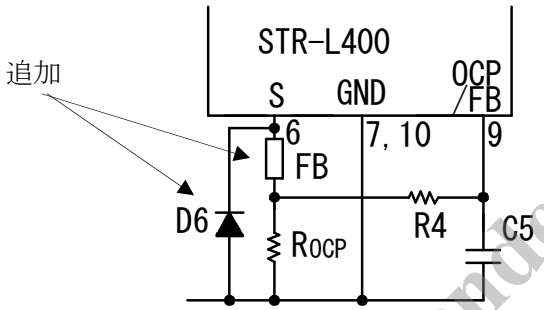


図 8-1 ソース端子－GND 端子間の挿入回路例

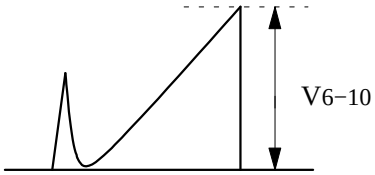


図 8-2 6 番ﾋﾟﾝ―10 番ﾋﾟﾝ間電圧

スピードコントロール用のフェライトビーズ FB を挿入した場合は、
この分の電圧降下が発生するため、ソース端子(6 番ピン）－グランド端子(10 番ピン）間の電圧降下が増加して、パワーMOSFET のゲート－ソース間の V_{GS} 電圧が減少し、ドライブ電圧も低減します。

このため、パワーMOSFET の最大スイッチング電流※が減少するため、ソース端子－グランド端子間電圧を測定し、製品仕様書に記載されている最大スイッチング電流ディレーティング曲線から、最大スイッチング電流をディレーティングして使用する必要があります。

ソース端子(6 番ピン）－グランド端子(10 番ピン）間の電圧降下と最大スイッチング電流は、定常動作、および過電流保護動作時に最大スイッチング電流ディレーティング曲線以下に入っている確認が必要です。

※最大スイッチング電流

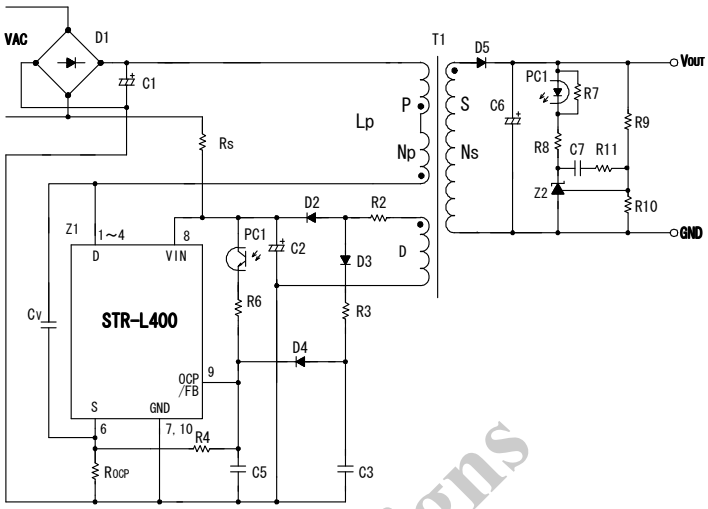
IC 内部のドライブ電圧とパワーMOSFET の V_{th} により決定するドレイン電流です。パターンの引き回しなどにより、ソース端子（6 番ピン）―グランド端子（10 番ピン）間に電圧降下が発生した場合は、図 8-2 の $V_{6\text{-}10}$ によって最大スイッチング電流は低下します、このため、製品仕様書に記載されている最大スイッチング電流ディレーティング曲線以下で使用する必要があります。

Not Recommended for New Designs

8.3 トランス設計

トランスの設計は、基本的に RCC 方式(Ringing Choke Converter: 自励式フライバックコンバータ)の電源トランス設計と同じです。

ただし、擬似共振動作により、ターンONが遅延された分、Duty が変化するため、Duty の補正が必要です。



1 次巻線 N_P と 2 次巻線 Ns の比より求めた ON Duty を D_{ON} とすると、L_P は次式(3)で求められます。

$$L_P = \frac{\left(Ein(MIN)\cdot D_{ON}\right)^2}{\left(\sqrt{\frac{2\cdot P_O\cdot f_O}{\eta_1}} + Ein(MIN)\cdot\pi\cdot f_O\cdot D_{ON}\cdot\sqrt{Cv}\right)^2} \quad \text{-------(3)}$$

LP は下記の条件で算出します。

P_O: 最大出力電力

f_O: 最低発振周波数

η_1: トランスの変換効率

D_{ON}: Vin(AC)(MIN)時の ON Duty ⇒ $D_{ON} = \dfrac{Ef}{E_{in(MIN)} + Ef}$

Ein(MIN): Vin(AC)(MIN)時の C1 間電圧

Ef: フライバック電圧 ⇒ $Ef = \dfrac{Np}{Ns}\times\left(Vout + V_F\right)$

V_F: D5 の順方向電圧降下

また、ドレイン電流ピーク I_{DP} などの各パラメータは以下の式により算出されます。

$$t_{ONDLY} = \pi\sqrt{L_P\times Cv} \quad \text{----- (4)}$$

$$Don' = \left(1 - f_O\times t_{ONDLY}\right)\times Don \quad \text{---- (5)}$$

$$Iin = \frac{P_O}{\eta_2}\times\frac{1}{Ein(MIN)} \quad \text{----- (6)}$$

$$I_{DP} = \frac{2\times Iin}{Don'} \quad \text{----- (7)}$$

$$Np = \sqrt{\frac{L_P}{AL-Value}} \quad \text{----- (8)}$$

$$Ns = \frac{Np\times\left(Vout + V_F\right)}{Ef} \quad \text{----- (9)}$$

t_{ONDLY}: 遅延時間

Iin: 平均入力電流

η_2: 電源の変換効率

I_{DP}: スイッチング電流ピーク

Don´: 補正後の ON Duty

Not Recommended for New Designs

トランスフェライトコアの AL-Value 値は、N_P と I_{DP} から求まる NI-Limit(AT)の値を考慮し、磁気飽和を生じない AL-Value 値を選定します。算出された NI-Limit 値(=$I_{DP}\times N_P$)は、常に図 8-3 の NI-Limit vs. AL-Value 特性曲線内(斜線)にあることが必要です。また、NI-Limit vs. AL-Value の関係を満足するフェライトコアを選ぶときは、温度などのバラツキに対する設計マージンを考慮して、算出した NI-Limit 値がコアデータ上 NI-Limit に対して、30%程度低くなるように設定することを推奨します。

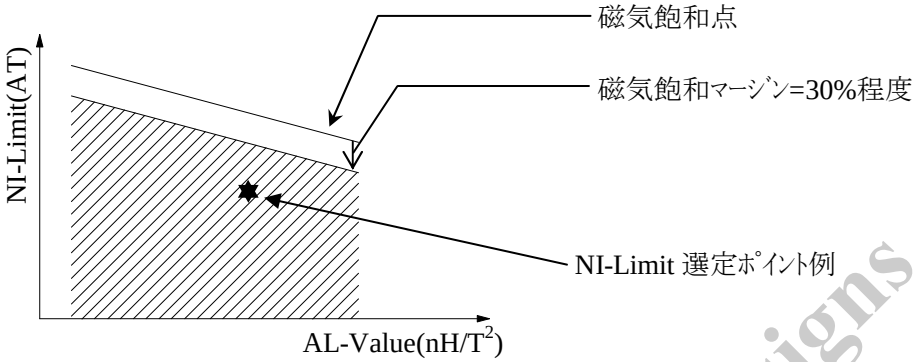


図 8-3 ｺｱの NI-Limit vs. AL-Value 特性例

よって、NI-Limit は以下の式から飽和マージンを考慮した値で設定します。

$$NI = Np \times I_{DP}(130\%) \qquad \text{----- (10)}$$

また、補正後の ON Duty から最低発振周波数 f_O は以下の式で算出されます。

$$f_O = \left(\frac{-\sqrt{\frac{2P_O}{\eta_1}} + \sqrt{\frac{2P_O}{\eta_1} + \frac{4\times\pi\times\left(Ein(MIN)\times Don\right)^2\times\sqrt{Cv}}{\sqrt{Lp}}}}{2\times Ein(MIN)\times\pi\times Don\times\sqrt{Cv}} \right)^2 \qquad \text{----- (11)}$$

Not Recommended for New Designs

トランスの巻線設計考慮点

スイッチング電流には高周波成分が含まれ、表皮効果が影響する場合があります。このためトランスに使用する巻線の線径は、動作電流の実効値を考慮し、電流密度が3～4A/mm²前後を目安に選定します。なお、表皮効果の影響などで、さらに温度対策が必要な場合は、巻線表面積を増加させるため、下記を検討します。

- 巻線の本数を増やす
- リッツ線を使用する
- 線径を太くする

8.4 位相補正

一般的なシャントレギュレータを使用した 2 次側エラーアンプ周辺部の回路構成を図 8-4 に示します。位相補正用コンデンサ C7 の容量は 0.047μF～0.47μF 程度を目安に調整し、最終的に実働動作を確認して決定します。

通常、STR-L400 周辺回路は、位相補正用の部品は必要ありません。ただし、出力負荷仕様が振幅の大きなダイナミック負荷や、2 次側平滑コンデンサのリップル電圧が大きい場合は、2 次側の位相補正だけでは不十分な場合があります、このときは、図 8-5 に示す C8、D6 を追加して、安定度の確認が必要です。

C8 は、0.01μ～0.1μF 程度が目安になり、C8 を追加した場合は、電流の逆流防止のため D6 を直列に追加します。

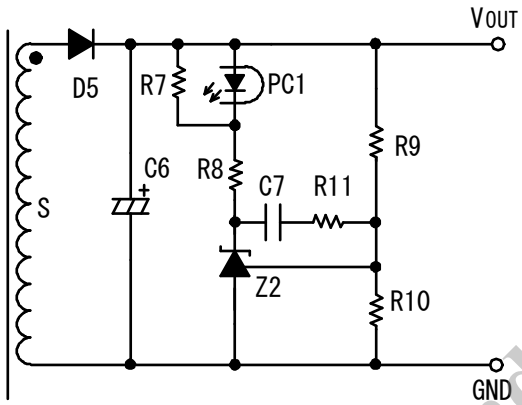


図 8-4 ｼｬﾝﾄﾚｷﾞｭﾚｰﾀｰ(Z2)周りの周辺回路

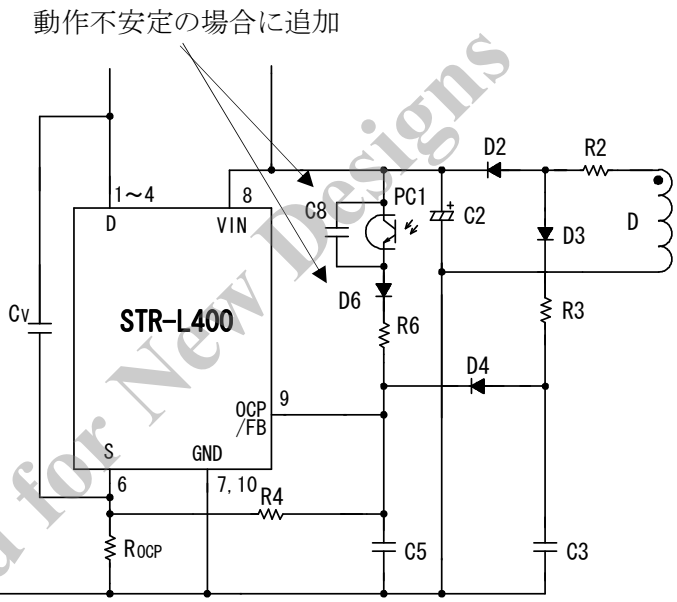


図 8-5 OCP/FB 端子周りの周辺回路

8.5 パターン設計

パターン配線および実装条件によって、誤動作・ノイズ・損失などに大きな影響が現れるので、配線の引回し、部品配置には十分な注意が必要です。

一般的に、図 8-6 のように高周波電流がループを作る部分は、ラインパターンを“太く”、部品間の配線を“短く”、ループ内面積が極力小さくなるようにし、ラインインピーダンスを下げたパターン設計を行います。

また、アースラインは輻射ノイズにも大きな影響があるので、極力“太く”、“短く”配線します。

スイッチング電源は、高周波、高電圧の電流経路が存在するので、安全規格面を考慮した部品配置、パターン距離が必要です。なお、MOSFET の ON 抵抗 $R_{DS(ON)}$は、正の温度係数のため、熱設計に注意します。

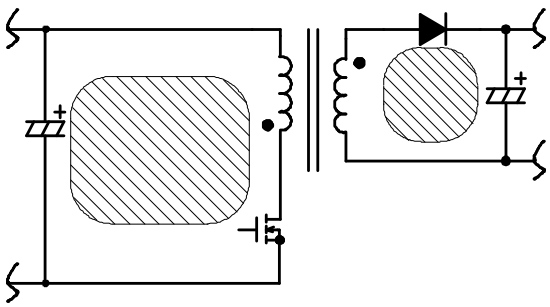


図 8-6 高周波電流ﾙｰﾌﾟ
(斜線部分)

Not Recommended for New Designs

IC 周辺回路の接続例を、図 8-7 に示します。

(1) ソース端子(S)回り(S 端子～R_{OCP}～C1～T1(P 巻線)～D 端子)

このパターンは、スイッチング電流が流れる主回路パターンのため、極力、太く、短く配線します。IC と入力電解コンデンサ C1 との距離が離れている場合は、高周波電流ループのインピーダンスを下げるため、トランスまたは IC の近くに、電解コンデンサまたはフィルムコンデンサ(0.1μF 程度 / 印加電圧に適した耐圧品)を追加します。

(2) GND 端子回り(GND 端子～C2(−側)～T1(D 巻線)～R2～D2～C2(+側)～V_{IN} 端子)

このパターンも、極力、太く、短く配線します。

IC と電解コンデンサ C2 との距離が離れている場合は、VIN 端子と GND 端子の近くにフィルムコンデンサ(0.1μF～1.0μF 程度/ 50V)を追加します。

(3) 電流検出用抵抗 R_{OCP} 周り

R_{OCP} は、ソース(S)端子の近くに配置します。

共通インピーダンスやスイッチング電流が制御回路へ影響を与えることを避けるため、主回路系と制御系グランドは R_{OCP} 近傍で接続、R_{OCP} から専用パターンで GND 端子へ接続します(図 8-7 の A 点)。

2 次側整流パターン接続例を、図 8-7 に示します。

(1) 2 側整流平滑回路(T1(S 巻線)～D3～C7)

このパターンは、極力、太く、短く配線します。整流パターンが細く、長い場合、パターンに寄生するリーケージインダクタンス成分が増加し、パワーMOSFET のターン OFF 時のサージ電圧が増加します。

2 次側整流パターンを考慮したパターン設計は、パワーMOSFET の耐圧マージンを広くとれる、およびクランプスナバ回路へのストレスや損失の軽減が可能です。

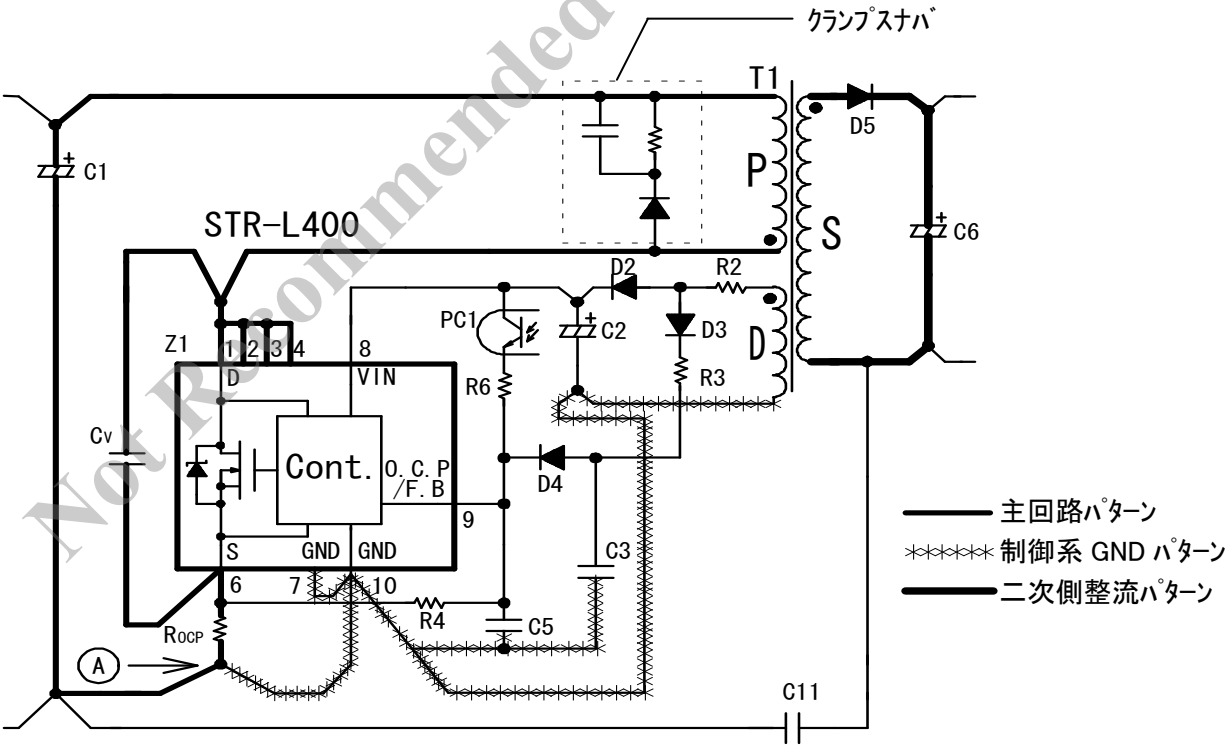


図 8-7 周辺回路の接続例

Not Recommended for New Designs