

擬似共振 オフラインスイッチング電源用パワーIC STR-Y6700 シリーズ

データシート

概要

STR-Y6700 シリーズは、パワーMOSFET と擬似共振型制御 IC を 1 パッケージにした擬似共振型スイッチング電源用パワーIC です。

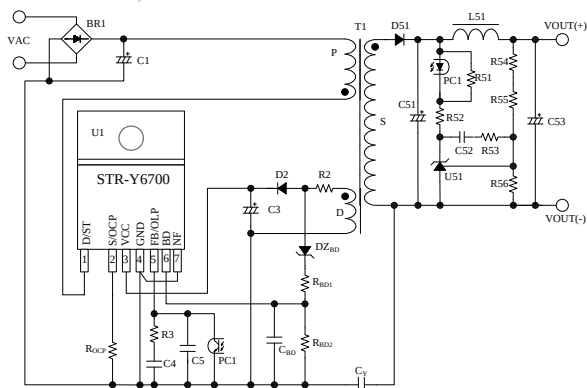
低スタンバイ電力に対応するため、オートスタンバイ機能を内蔵し、通常動作時は擬似共振動作、中～軽負荷時はワンボトムスキップ動作、軽負荷時はバースト動作へ自動的に切り替わります。充実した保護機能により、構成部品が少なく、コストパフォーマンスの高い電源システムを容易に構成できます。

特長

- マルチモード制御
負荷状況に応じて自動的に動作モードを切り替え、全ての負荷領域において高効率を達成
- 動作モード
定常負荷時-----擬似共振動作
中～軽負荷時-----ワンボトムスキップ動作
軽負荷時-----バースト動作
(オートスタンバイ機能)
- 無負荷時入力電力
 $P_{IN} < 30 \text{ mW (AC100V)}$
 $P_{IN} < 50 \text{ mW (AC230V)}$
- リーディング・エッジ・ブランキング機能
- バイアスアシスト機能
- 起動回路内蔵
- 保護機能
過電流保護機能 1 (OCP1)-----パルス・バイ・パルス
入力補正機能付き
過電流保護機能 2 (OCP2)⁽¹⁾-----ラッチ
過負荷保護機能 (OLP)-----ラッチ
過電圧保護機能 (OVP)-----ラッチ
過熱保護機能 (TSD)-----ラッチ

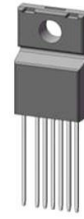
⁽¹⁾製品名の末尾 A 品は、OCP2 機能非搭載

応用回路例



パッケージ

TO220F-7L



Not to Scale

シリーズラインアップ

● 代表特性

製品名	V _{DSS} (min.)	R _{DS(ON)} (max.)
STR-Y6735 STR-Y6735A	500 V	0.8 Ω
STR-Y6753 STR-Y6754	650 V	1.9 Ω 1.4 Ω
STR-Y6766 STR-Y6766A	800 V	1.7 Ω
STR-Y6765		2.2 Ω
STR-Y6763 STR-Y6763A		3.5 Ω

● 出力電力 P_{OUT}⁽²⁾

製品名	P _{OUT} (Open frame)	
	DC380V	AC85~265V
STR-Y6735 STR-Y6735A	120 W(AC100V)	—
STR-Y6753	100 W	60 W
STR-Y6754	120 W	67 W
STR-Y6766 STR-Y6766A	140 W	80 W
STR-Y6765	120 W	70 W
STR-Y6763 STR-Y6763A	80 W	50 W

⁽²⁾ 周囲温度 50°C における実質的な連続出力電力です。最大出力電力は連続出力電力の 120%~140%程度まで出力可能です。ただし、コアサイズ、トランス設計時の ON Duty の設定、放熱設計により、出力電力の制限を受けることがあります。

アプリケーション

- 白物家電
- OA 機器
- 産業機器など

目次

概要	1
1. 絶対最大定格	3
2. 電気的特性	4
3. 代表特性	6
3.1 ディレーティング曲線	6
3.2 T_A - P_{D1} 曲線	6
3.3 MOSFET ASO 曲線	8
3.4 過渡熱抵抗曲線	9
4. ブロックダイアグラム	10
5. 各端子機能	10
6. 応用回路例	11
7. 外形図	12
8. 捺印仕様	12
9. 動作説明	13
9.1 起動動作	13
9.2 低入力時動作禁止回路 (UVLO)	13
9.3 バイアスアシスト機能	13
9.4 ソフトスタート機能	14
9.5 定電圧制御回路動作	14
9.6 リーディング・エッジ・ブランキング機能	15
9.7 擬似共振動作とボトムオンタイミングの設定	15
9.7.1 擬似共振動作	15
9.7.2 ボトムオンタイミングの設定	16
9.8 BD 端子ブランキング時間	17
9.9 マルチモード制御	18
9.9.1 ワンボトムスキップ擬似共振動作	18
9.9.2 オートスタンバイ機能	19
9.10 最大オン時間制限機能	20
9.11 過電流保護機能 (OCP)	20
9.11.1 過電流保護機能 1 (OCP1)	20
9.11.2 過電流保護機能 2 (OCP2)	20
9.11.3 過電流保護 1 (OCP1) 入力補正機能	21
9.11.4 過電流入力補正が必要ない場合	23
9.12 過負荷保護機能 (OLP)	23
9.13 過電圧保護機能 (OVP)	24
9.14 過熱保護機能 (TSD)	25
10. 設計上の注意点	25
10.1 外付け部品	25
10.2 トランス設計	27
10.3 パターン設計	28
11. パターンレイアウト例	30
12. 電源回路例	31
注意書き	33

1. 絶対最大定格

- 電流値の極性は、IC を基準として流入(シンク)が“+”、流出(ソース)が“-”と規定
- 特記がない場合の条件 $T_A = 25\text{ }^{\circ}\text{C}$

項目	記号	測定条件	端子	定格	単位	備考
ドレインピーク電流 ⁽¹⁾	I_{DPEAK}	シングルパルス	1-2	6.7	A	STR-Y6763 / 63A
				8.9		STR-Y6765
				9.2		STR-Y6753
				10.5		STR-Y6766 / 66A
				11.0		STR-Y6754
				14.6		STR-Y6735 / 35A
最大スイッチング電流 ⁽²⁾	I_{DMAX}	シングルパルス $T_A = -40\sim 125^{\circ}\text{C}$	1-2	6.7	A	STR-Y6763 / 63A
				8.9		STR-Y6765
				9.2		STR-Y6753
				10.5		STR-Y6766 / 66A
				11.0		STR-Y6754
				14.6		STR-Y6735 / 35A
アバランシェエネルギー耐量 ⁽³⁾⁽⁴⁾	E_{AS}	$I_{LPEAK}=2.3\text{A}$	1-2	60	mJ	STR-Y6763 / 63A
		$I_{LPEAK}=2.6\text{A}$		77		STR-Y6765
		$I_{LPEAK}=2.9\text{A}$		99		STR-Y6753
		$I_{LPEAK}=3.2\text{A}$		116		STR-Y6766 / 66A
		$I_{LPEAK}=4.1\text{A}$		198		STR-Y6754
		$I_{LPEAK}=3.5\text{A}$		152		STR-Y6735 / 35A
D/ST 端子電圧	$V_{STARTUP}$		1-4	$-1.0\sim V_{DSS}$	V	
S/OCP 端子電圧	V_{OCP}		2-4	$-2.0\sim 6.0$	V	
制御部電源電圧	V_{CC}		3-4	35	V	
FB/OLP 端子電圧	V_{FB}		5-4	$-0.3\sim 7.0$	V	
FB/OLP 端子流入電流	I_{FB}		5-4	10.0	mA	
BD 端子電圧	V_{BD}		6-4	$-6.0\sim 6.0$	V	
MOSFET 部許容損失 ⁽⁵⁾	P_{D1}	無限大放熱器	1-2	19.9	W	STR-Y6763 / 63A
				21.8		STR-Y6765
				20.2		STR-Y6753
				23.6		STR-Y6766 / 66A
				21.5		STR-Y6735 / 35A
		放熱器なし	1-2	1.8	W	STR-Y6754
制御部許容損失(MIC)	P_{D2}	$V_{CC}\times I_{CC}$ で規定	3-4	0.8	W	
動作時内部フレーム温度	T_F		-	$-40\sim 115$	$^{\circ}\text{C}$	
動作周囲温度	T_{OP}		-	$-40\sim 115$	$^{\circ}\text{C}$	
保存温度	T_{STG}		-	$-40\sim 125$	$^{\circ}\text{C}$	
ジャンクション温度	T_J		-	150	$^{\circ}\text{C}$	

⁽¹⁾ 3.3 MOSFET ASO 曲線参照

⁽²⁾ IC のドライブ電圧と IC 内部のパワーMOSFET の V_{th} で決まるドレイン電流

⁽³⁾ 図 3-2 アバランシェエネルギー耐量ディレーティング曲線参照

⁽⁴⁾ シングルパルス, $V_{DD} = 99\text{ V}$, $L = 20\text{ mH}$

⁽⁵⁾ 3.2 T_A - P_{D1} 曲線参照

2. 電気的特性

- 電流値の極性は、IC を基準としてシンクが“+”、ソースが“-”と規定します
- 特記がない場合の条件 $T_A = 25\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 20\text{ V}$

項目	記号	測定条件	端子	Min.	Typ.	Max.	単位	備考
電源起動動作								
動作開始電源電圧	$V_{CC(ON)}$		3-4	13.8	15.1	17.3	V	
動作停止電源電圧 ⁽¹⁾	$V_{CC(OFF)}$		3-4	8.4	9.4	10.7	V	
動作時回路電流	$I_{CC(ON)}$		3-4	-	1.3	3.7	mA	
非動作時回路電流	$I_{CC(OFF)}$	$V_{CC} = 13\text{ V}$	3-4	-	4.5	50	μA	
起動回路動作電圧	$V_{START(ON)}$		1-4	42	57	72	V	
起動電流	$I_{CC(STARTUP)}$	$V_{CC} = 13\text{ V}$	3-4	-4.5	-3.1	-1.0	mA	
起動電流供給しきい電圧	$V_{CC(BIAS)}$		3-4	9.5	11.0	12.5	V	
PWM 発振周波数	f_{OSC}		1-4	18.4	21.0	24.4	kHz	
ソフトスタート動作期間	t_{SS}		1-4	-	6.05	-	ms	
定常動作								
ボトムスキップ動作しきい電圧 1	$V_{OCP(BS1)}$		2-4	0.487	0.572	0.665	V	
ボトムスキップ動作しきい電圧 2	$V_{OCP(BS2)}$		2-4	0.200	0.289	0.380	V	
擬似共振動作しきい電圧 1	$V_{BD(TH1)}$		6-4	0.14	0.24	0.34	V	
擬似共振動作しきい電圧 2 ⁽²⁾	$V_{BD(TH2)}$		6-4	0.07	0.17	0.27	V	
最大フィードバック電流	$I_{FB(MAX)}$		5-4	-320	-205	-120	μA	
スタンバイ動作								
スタンバイ動作しきい電圧	$V_{FB(STBOP)}$		5-4	0.45	0.80	1.15	V	
保護動作								
最大オン時間	$t_{ON(MAX)}$		1-4	30.0	40.0	50.0	μs	
リーディング・エッジ・ブラン キング時間	$t_{ON(LEB)}$		1-4	-	455	-	ns	STR-Y6735 / 35A/ 65/ 66/ 54
				-	470	-		STR-Y6763 / 63A/ 53
過電流検出 1 しきい電圧 (入力補正時)	$V_{OCP(L)}$	$V_{BD} = -3\text{ V}$	2-4	0.560	0.660	0.760	V	
過電流検出 1 しきい電圧 (定常時)	$V_{OCP(H)}$	$V_{BD} = 0\text{ V}$	2-4	0.820	0.910	1.000	V	
過電流検出 2 しきい電圧	$V_{OCP(La,OFF)}$		2-4	1.65	1.83	2.01	V	製品名の末 尾 A なし品
BD 端子流出電流	$I_{BD(O)}$		6-4	-250	-83	-30	μA	
OLP バイアス電流	$I_{FB(OLP)}$		5-4	-15	-10	-5	μA	
OLP しきい電圧	$V_{FB(OLP)}$		5-4	5.50	5.96	6.40	V	

⁽¹⁾ $V_{CC(OFF)} < V_{CC(BIAS)}$ の関係が成り立つ

⁽²⁾ $V_{BD(TH2)} < V_{BD(TH1)}$ の関係が成り立つ

STR-Y6700 Series

項目	記 号	測定条件	端子	Min.	Typ.	Max.	単位	備考
フィードバック制御時最大電圧	V _{FB(MAX)}		5－4	3.70	4.05	4.40	V	
OVP しきい電圧	V _{CC(OVP)}		3－4	28.5	31.5	34.0	V	
熱保護動作温度	T _{j(TSD)}		－	135	－	－	°C	
MOSFET 部								
ドレイン・ソース間電圧	V _{DSS}	I _{DS} =300μA	1－2	500	－	－	V	STR-Y6735 / 35A
				650	－	－		STR-Y6753 / 54
				800	－	－		STR-Y6763 / 63A / 65 / 66 / 66A
ドレイン漏れ電流	I _{DSS}	V _{DS} =V _{DSS}	1－2	－	－	300	μA	
ON 抵抗	R _{DS(ON)}		1－2	－	－	0.8	Ω	STR-Y6735 / 35A
				－	－	1.4		STR-Y6754
						1.7		STR-Y6766 / 66A
						1.9		STR-Y6753
						2.2		STR-Y6765
				－	－	3.5		STR-Y6763 / 63A
スイッチング・タイム	t _f		1－2	－	－	250	ns	STR-Y6753 / 63 / 63A
				－	－	300	ns	STR-Y6735 / 35A / 54 / 66 / 66A / 65
熱特性								
ジャンクション－フレーム間熱抵抗 ⁽³⁾	θ _{J-F}		－	－	2.4	2.7	°C/W	STR-Y6735 / 35A / 54
				－	1.9	2.2		STR-Y6766 / 66A
				－	2.7	3.1		STR-Y6753
				－	2.3	2.6		STR-Y6765
				－	2.8	3.2		STR-Y6763 / 63A
ジャンクション－ケース間熱抵抗 ⁽⁴⁾	θ _{J-C}		－	－	5.1	5.9	°C/W	STR-Y6735 / 35A / 54
				－	4.6	5.3		STR-Y6766 / 66A
				－	5.4	6.2		STR-Y6753
				－	5.0	5.8		STR-Y6765
				－	5.5	6.3		STR-Y6763 / 63A

⁽³⁾ MOSFET のジャンクションと内部フレーム間の熱抵抗。

⁽⁴⁾ MOSFET のジャンクションとケース間の熱抵抗。ケース温度は IC の裏面の温度で規定

3. 代表特性

3.1 ディレーティング曲線

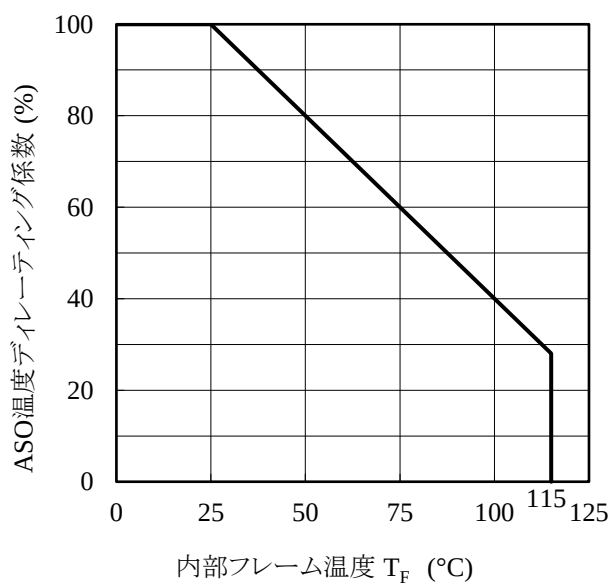


図 3-1 ASO 温度ディレーティング係数曲線

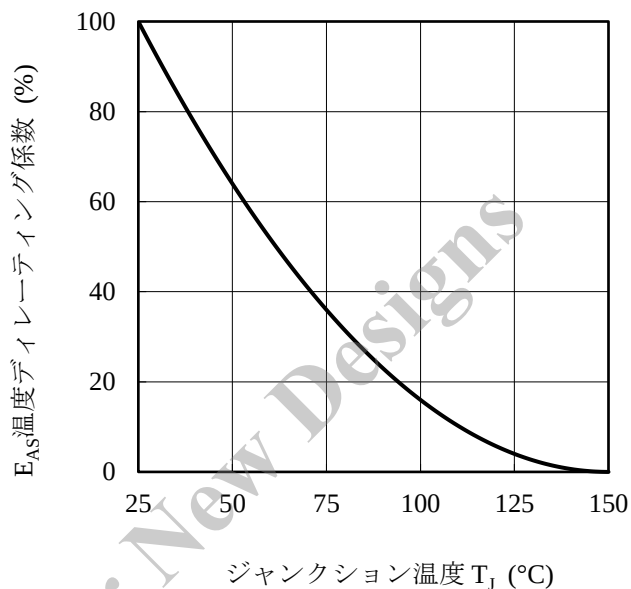
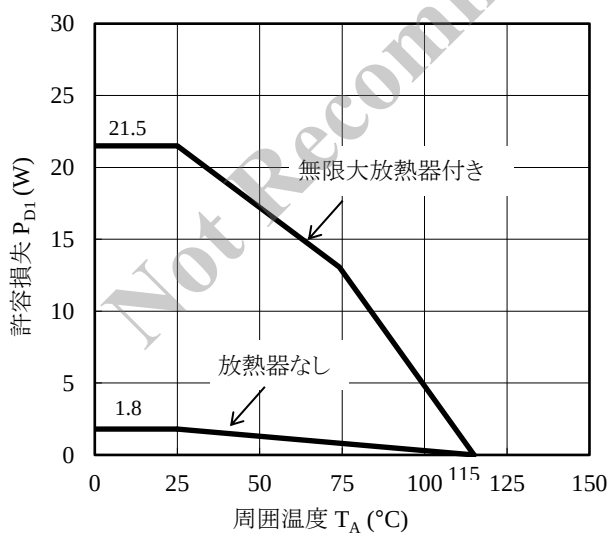


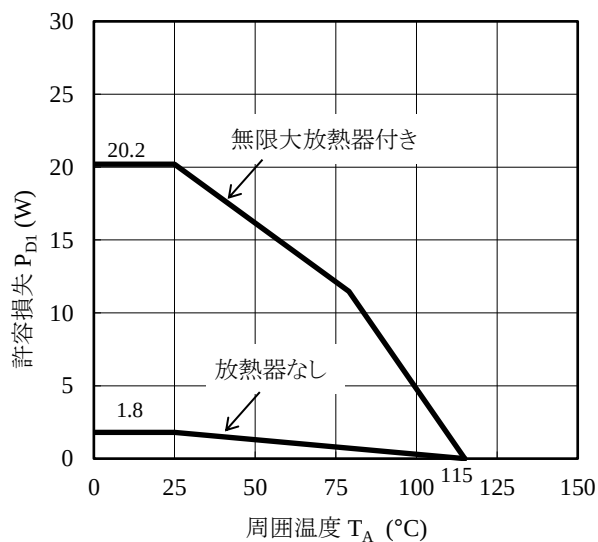
図 3-2 アバランシェエネルギー耐量ディレーティング曲線

3.2 T_A - P_{D1} 曲線

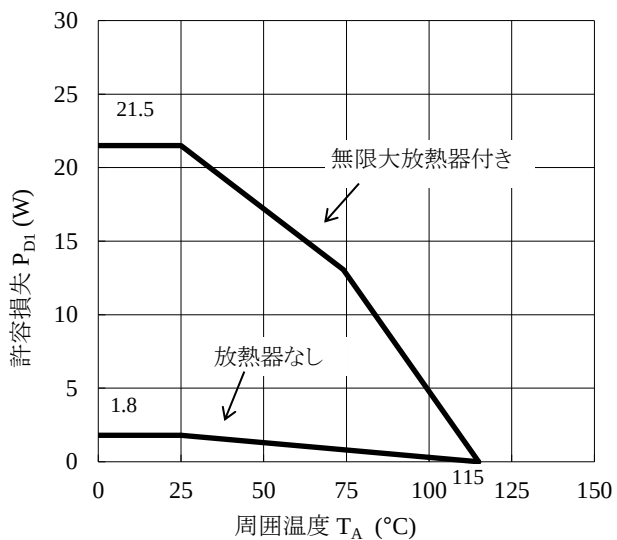
• STR-Y6735、STR-Y6735A



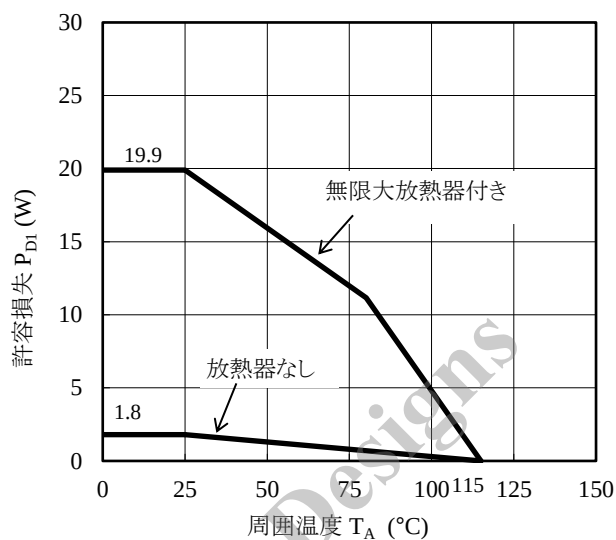
• STR-Y6753



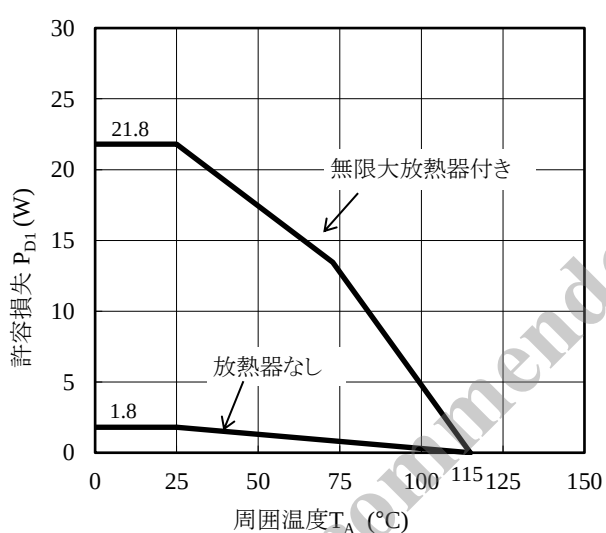
• STR-Y6754



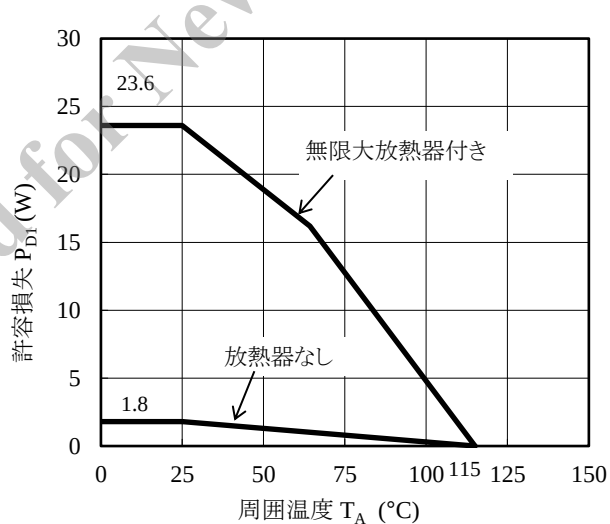
• STR-Y6763、STR-Y6763A



• STR-Y6765



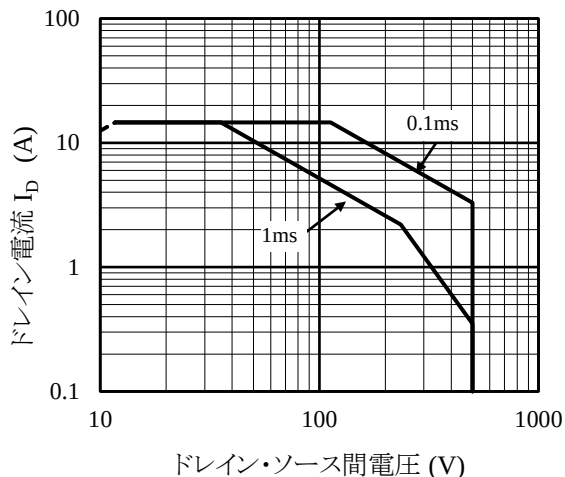
• STR-Y6766、STR-Y6766A



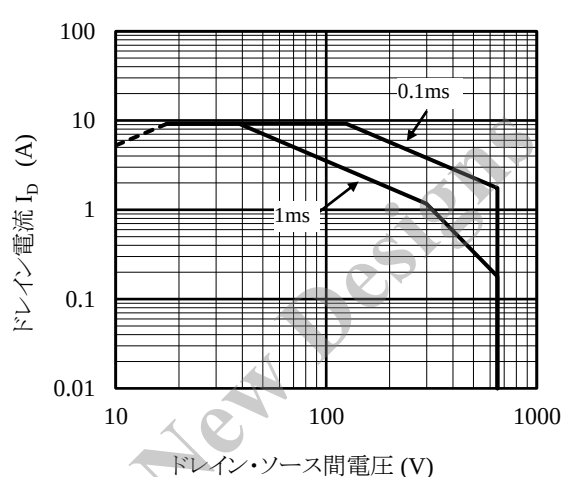
3.3 MOSFET ASO 曲線

- IC を使用する際は、図 3-1 より温度ディレーティング係数を求め、ASO 曲線のディレーティングを行います
- 破線は、オン抵抗による制限曲線です
- 特記がない場合の条件 $T_A = 25^\circ\text{C}$ 、シングルパルス

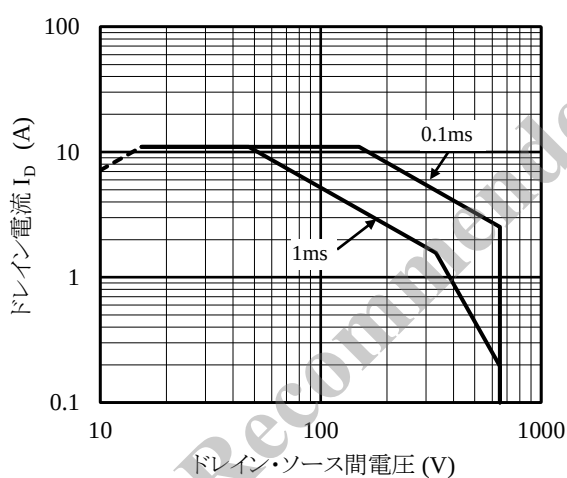
● STR-Y6735、STR-Y6735A



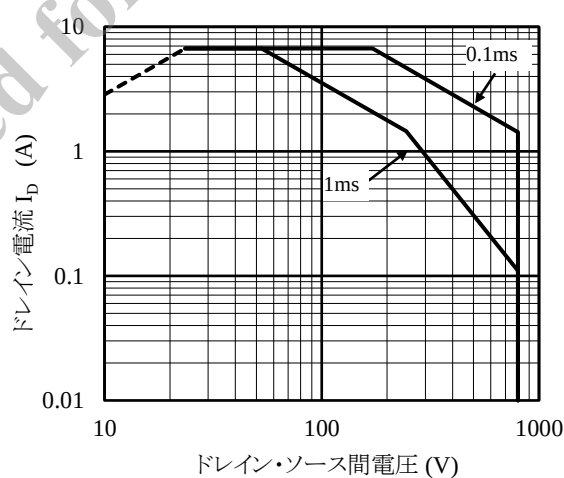
● STR-Y6753



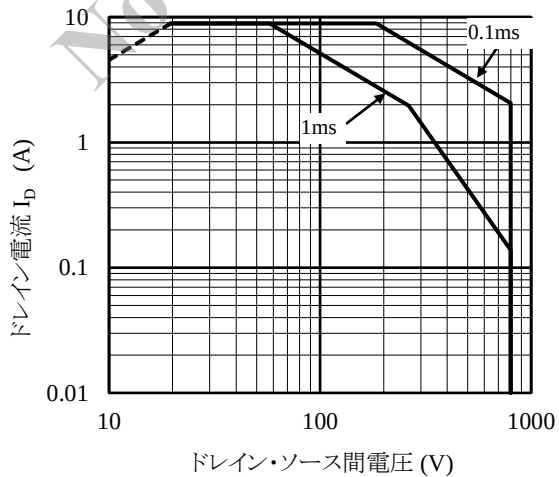
● STR-Y6754



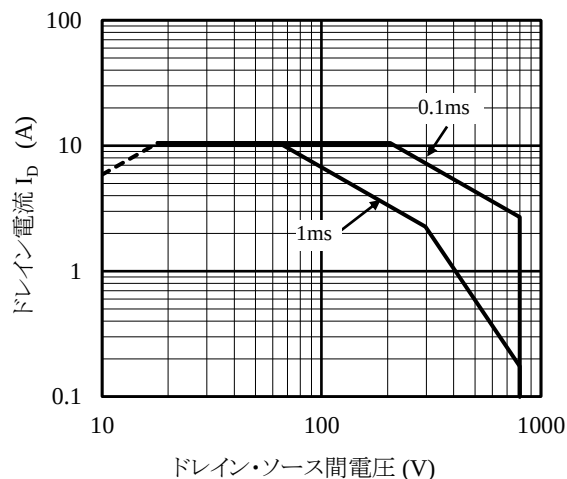
● STR-Y6763、STR-Y6763A



● STR-Y6765

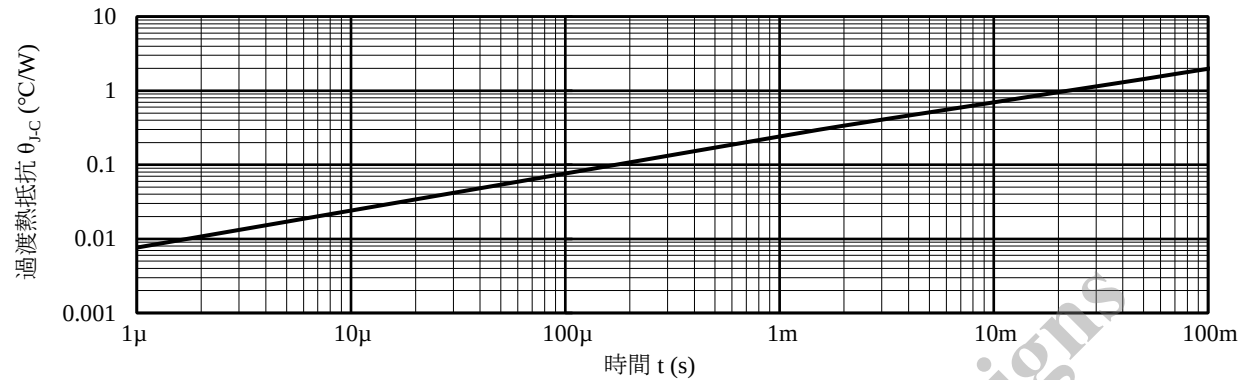


● STR-Y6766、STR-Y6766A

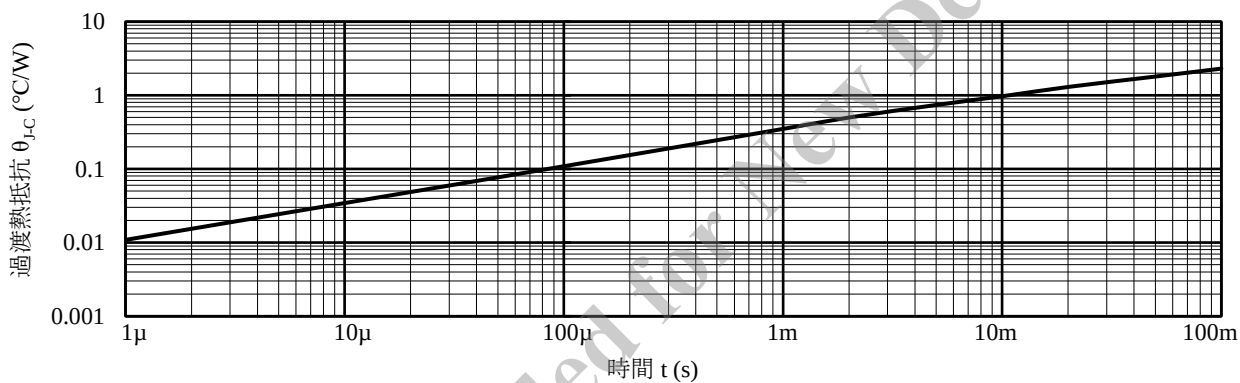


3.4 過渡熱抵抗曲線

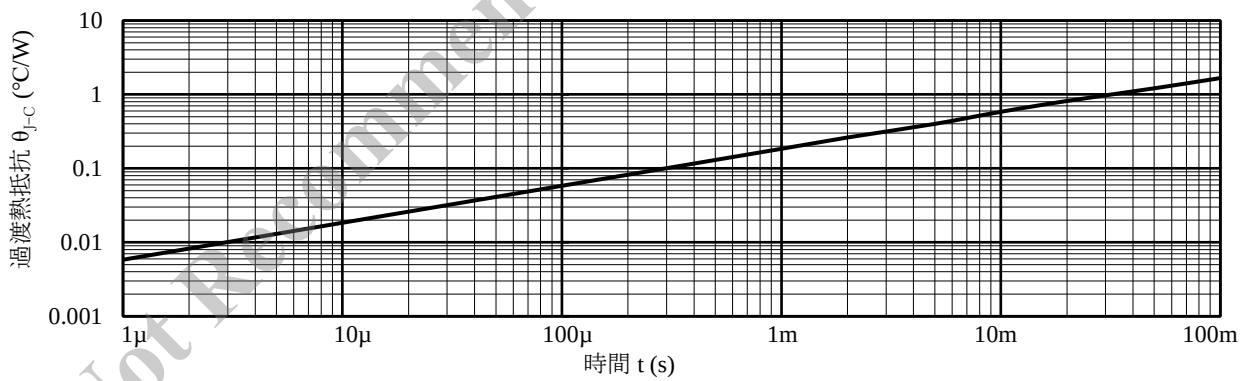
• STR-Y6735、STR-Y6735A、STR-Y6754、STR-Y6765



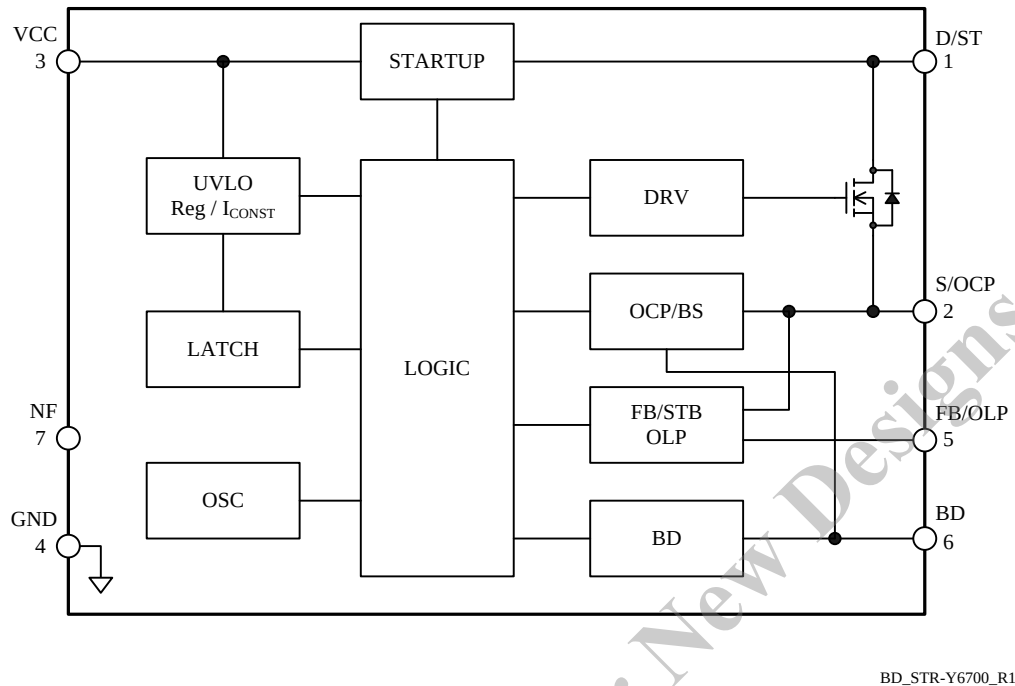
• STR-Y6753、STR-Y6763、STR-Y6763A



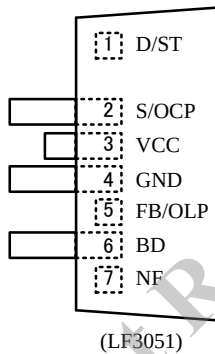
• STR-Y6766、STR-Y6766A



4. ブロックダイアグラム



5. 各端子機能



端子番号	端子名	機能
1	D/ST	MOSFET ドレイン／起動電流入力
2	S/OCP	MOSFET ソース／過電流保護検出信号入力
3	VCC	制御回路電源入力／過電圧保護信号入力
4	GND	グラウンド
5	FB/OLP	定電圧制御信号入力／過負荷保護信号入力
6	BD	ボトム検出信号入力／入力補正検出信号入力
7	NF*	(機能なし)

*NF（7 番端子）は動作安定のため、安定電位である GND（4 番端子）へ最短距離で接続します

6. 応用回路例

- 放熱効果を上げるため、D/ST 端子（1 番ピン）のパターンは極力広くします
- D/ST 端子のサージ電圧が大きくなる電源仕様の場合は、P 巻線間に CRD クランプスナバ回路や、D/ST 端子と S/OCP 端子間に C または RC ダンパースナバ回路を追加します
- NF（7 番端子）は動作安定のため、安定電位である GND（4 番端子）へ最短距離で接続します

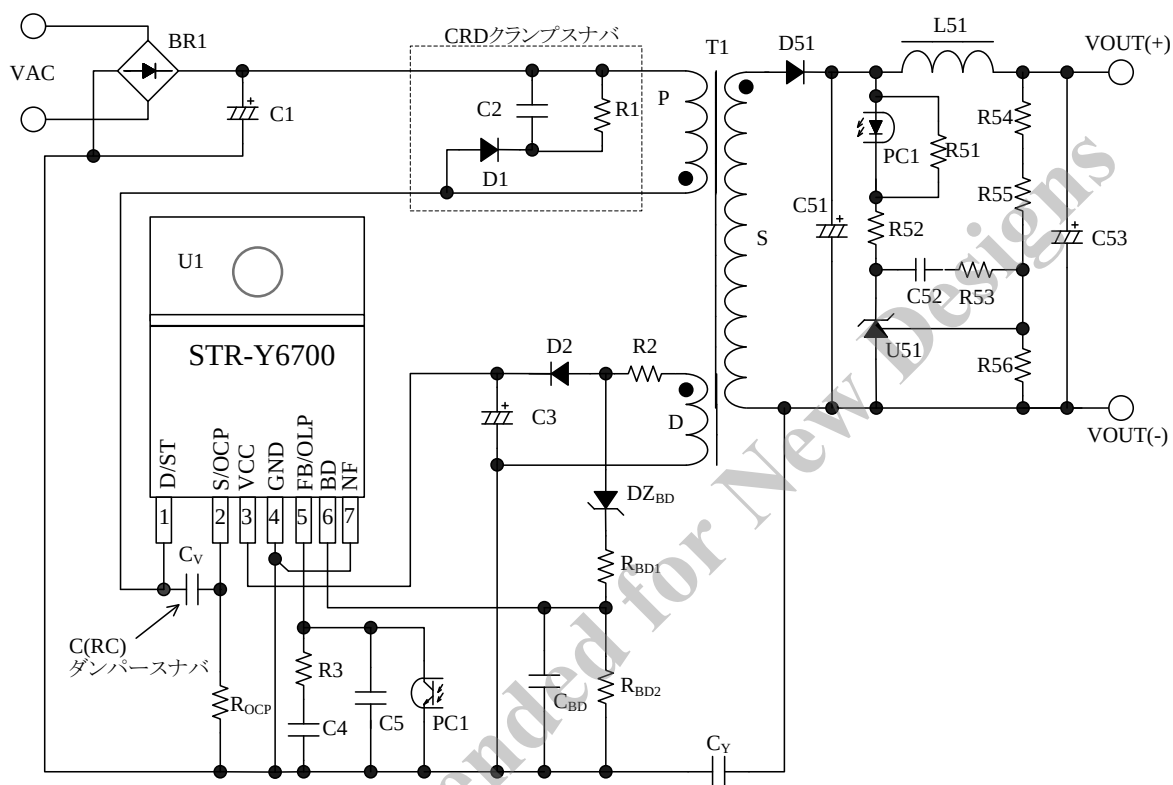
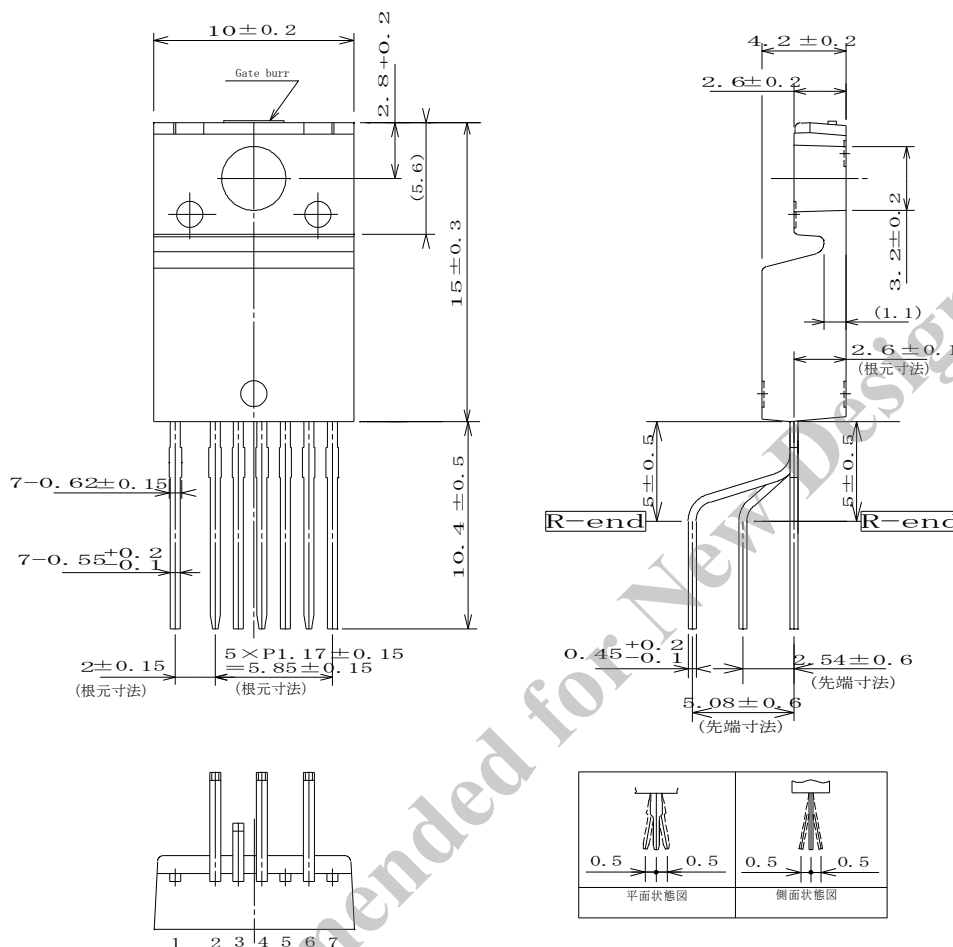


图 6-1 応用回路例

7. 外形図

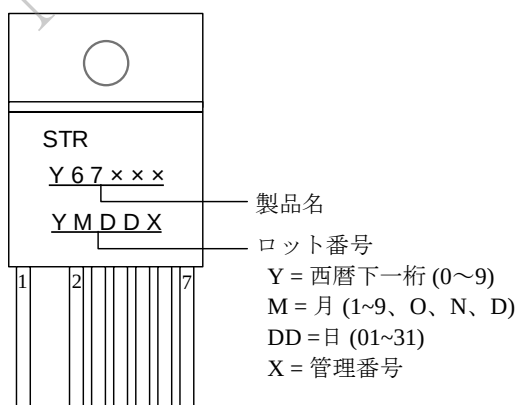
- TO220F-7L



NOTES :

- 単位 : mm
- リードフォーミング LF No.3051
- “Gate burr”部は高さ 0.3mm (max.)のゲートバリ発生箇所を示す
- 端子部 Pb フリー品 (RoHS 対応)

8. 捺印仕様



9. 動作説明

- 特記のない場合の特性数値は Typ. 値を表記します
- 電流値の極性は、IC を基準として、シンクを“+”、ソースを“-”と規定します

9.1 起動動作

図 9-1 に VCC 端子周辺回路、図 9-2 に起動時の動作波形を示します。

本 IC は起動回路を内蔵し、起動回路は D/ST 端子に接続しています。D/ST 端子の電圧が最低起動電圧 $V_{\text{START(ON)}} = 57 \text{ V}$ になると起動回路が動作します。

IC 内部で定電流化した起動電流 $I_{\text{CC(STARTUP)}} = -3.1 \text{ mA}$ は、VCC 端子に接続した電解コンデンサ C3 を充電し、VCC 端子電圧が動作開始電源電圧 $V_{\text{CC(ON)}} = 15.1 \text{ V}$ まで上昇すると、制御回路が動作を開始します。制御回路が動作すると、VCC 端子への印加電圧は、図 9-1 の補助巻線電圧 V_D を整流平滑した電圧になります。電源起動後、起動回路は自動的に IC 内部で遮断するため、起動回路による電力消費はなくなります。

補助巻線 D の巻数は、電源仕様の入出力変動範囲内で、VCC 端子電圧が次式(1)の範囲になるように、調整します。補助巻線電圧の目安は 20 V 程度です。

$$V_{\text{CC(BIAS)}}(\text{max.}) < V_{\text{CC}} < V_{\text{CC(OVP)}}(\text{min.})$$

$$\Rightarrow 12.5 \text{ (V)} < V_{\text{CC}} < 28.5 \text{ (V)} \quad (1)$$

IC の起動時間（図 9-2 参照）は C3 の容量で決まり、起動時間の概算値は次式(2)で算出します。

$$t_{\text{START}} = C3 \times \frac{V_{\text{CC(ON)}} - V_{\text{CC(INT)}}}{|I_{\text{CC(STARTUP)}}|} \quad (2)$$

ここで、

t_{START} : IC の起動時間 (s)
 $V_{\text{CC(INT)}}$: VCC 端子の初期電圧 (V)

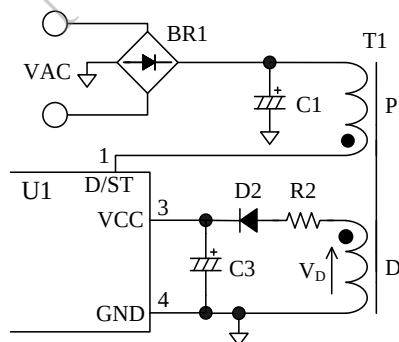


図 9-1 VCC 端子周辺回路

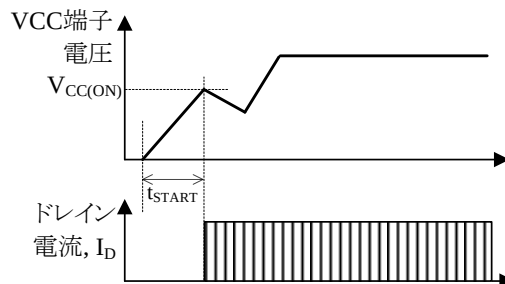


図 9-2 起動時の動作波形

9.2 低入力時動作禁止回路 (UVLO)

VCC 端子電圧と回路電流 I_{CC} の関係を図 9-3 に示します。制御回路動作後、VCC 端子電圧が動作停止しきい電圧 $V_{\text{CC(OFF)}} = 9.4 \text{ V}$ に低下すると、低入力時動作禁止 (UVLO: Undervoltage Lockout) 回路により、制御回路は動作を停止し、再び起動前の状態に戻ります。

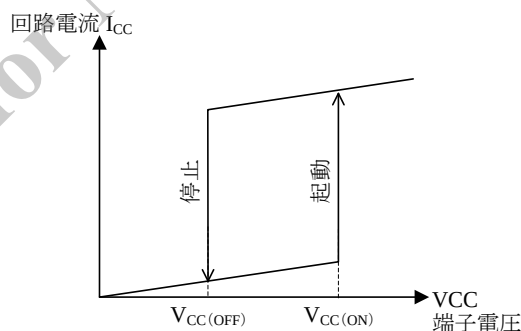


図 9-3 VCC 端子電圧と回路電流 I_{CC}

9.3 バイアスアシスト機能

バイアスアシスト機能は、起動不良の抑制と、ラッチ動作の保持をする機能です。

バイアスアシスト機能は、FB 端子電圧がスタンバイ動作しきい電圧 $V_{\text{FB(STBOP)}} = 0.80 \text{ V}$ 以下、もしくは保護機能により IC がラッチ状態のときに、VCC 端子電圧が起動電流供給しきい電圧 $V_{\text{CC(BIAS)}} = 11.0 \text{ V}$ まで低下すると動作します。

バイアスアシスト機能が動作すると、起動回路から起動電流を供給し、VCC 端子電圧は $V_{\text{CC(BIAS)}}$ でほぼ一定になります。これにより VCC 端子電圧が $V_{\text{CC(OFF)}}$ まで低下しないようにします。

バイアスアシスト機能により起動不良を抑制できるため、VCC 端子に接続するコンデンサ C3 の容量を小さくできます。これにより、IC の起動時間と過電圧保護機能(OVP)の応答時間の短縮が可能です。

電源起動時、バイアスアシスト機能は以下の様に動作します。起動不良が起きないように、最終的に実機で動作を確認し、定数を調整します。

電源起動時の VCC 端子電圧波形例を図 9-4 に示します。

起動時は、VCC 端子電圧が $V_{CC(ON)} = 15.1\text{ V}$ に達すると、IC が動作開始して IC の回路電流が増加するため、VCC 端子電圧が低下します。それと同時に補助巻線電圧 V_D は出力電圧の立ち上がり電圧に比例して上昇します。これら電圧のバランスが VCC 端子電圧を作ります。

起動時、VCC 端子電圧が低下して $V_{CC(OFF)} = 9.4\text{ V}$ に達すると、制御回路が停止して起動不良になります。

起動時の出力負荷が軽負荷の場合、フィードバック制御の応答遅れにより、出力電圧が設定電圧以上になることがあります。このとき、フィードバック制御により FB 端子電圧が低下し、 $V_{FB(STBOP)}$ 以下になると、IC が発振を停止し、VCC 端子電圧が低下します。この状態で VCC 端子電圧が $V_{CC(BIAS)}$ に低下すると、バイアスアシスト機能が動作し、起動不良を抑制します。

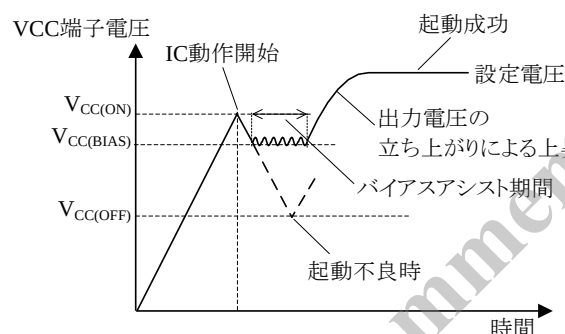


図 9-4 起動時の VCC 端子電圧

9.4 ソフトスタート機能

図 9-5 に起動時の動作波形を示します。本 IC は、電源起動時にソフトスタート機能が動作します。ソフトスタート動作期間は、IC 内部で $t_{SS} = 6.05\text{ ms}$ に設定しており、この期間に過電流しきい値が 4 段階でステップアップします。これにより、パワー MOSFET および 2 次側整流ダイオードの、電圧・電流ストレスを低減します。

ソフトスタート動作期間中は、発振周波数 $f_{osc} = 21.0\text{ kHz}$ の PWM 動作でスイッチングします。

ソフトスタート動作期間のあと、BD 端子電圧が以下の条件を満たすまでは、 $f_{osc} = 21.0\text{ kHz}$ の PWM 動作でスイッチングします。

その後、補助巻線電圧が上昇し、BD 端子電圧が以下の条件を満たすと、擬似共振動作を開始します。

擬似共振動作条件

- 擬似共振動作しきい電圧 $1\text{ V}_{BD(TH1)} = 0.24\text{ V}$ 以上
- 擬似共振信号の有効期間 $1.0\text{ }\mu\text{s}$ 以上 (図 9-12 参照)

また、ソフトスタート動作期間が終わり、出力電圧が設定電圧になるまでの期間は、D/ST 端子電流 I_D を過電流保護機能(OCF)で制限します。この期間を t_{LIM} とします。本 IC は、 t_{LIM} が OLP 遅延時間 t_{OLP} 以上になると、過負荷保護動作(OLP)で出力電力を制限します。そのため、起動時における t_{LIM} は、 t_{OLP} 未満になるようにします(t_{OLP} の設定は 9.12 項参照)。

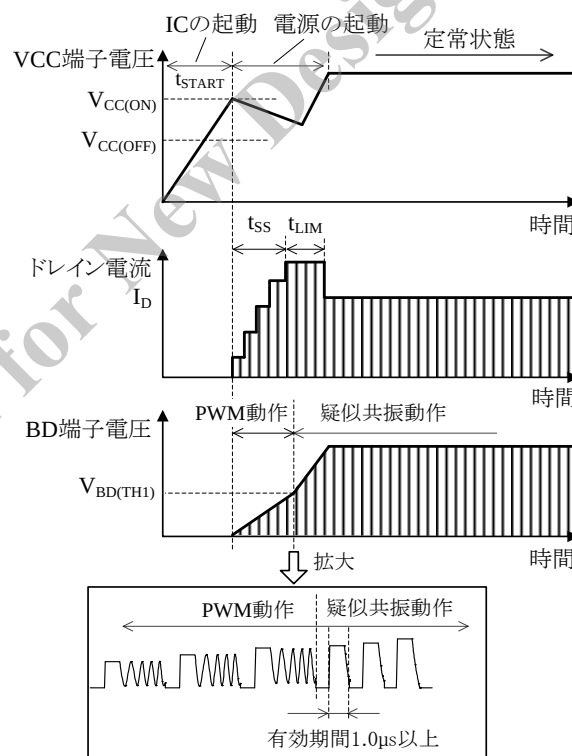


図 9-5 起動時の動作波形

9.5 定電圧制御回路動作

出力電圧の定電圧制御は、過渡応答および安定性に優れた電流モード制御 (ピーク電流モード制御) を使用しています。本 IC は、電流検出抵抗 R_{OCF} の両端電圧 (V_{ROCF}) と目標電圧 (V_{SC}) を内部の FB コンパレータで比較し、 V_{ROCF} のピーク値が V_{SC} に近づくように制御します。 V_{SC} は、FB/OLP 端子の電圧から作ります。(図 9-6、図 9-7 参照)。

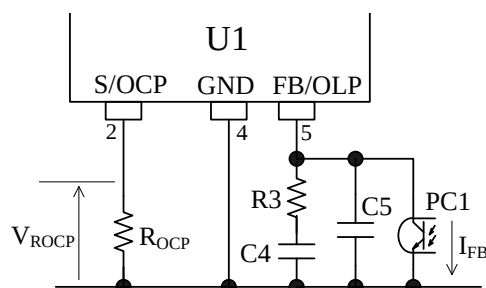
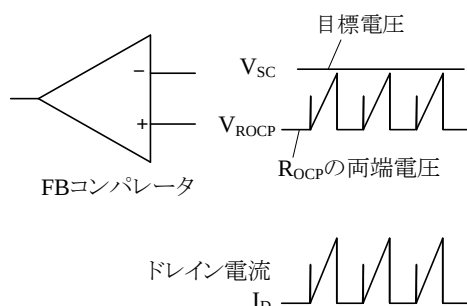


図 9-6 FB/OLP 端子周辺回路

図 9-7 定常時の I_D と FB コンパレータ動作

<軽負荷の場合>

負荷が軽くなると、出力電圧の上昇に伴い二次側エラーアンプのフィードバック電流が増加します。この電流がフォトカプラを介して流れる I_{FB} を FB/OLP 端子から引き抜くことにより、FB/OLP 端子電圧は低下します。これにより、目標電圧 V_{SC} が下がるため、 V_{ROCP} のピーク値が低下するように制御を行います。その結果、ドレイン電流のピーク値が減少し、出力電圧の上昇を抑えます。

<重負荷の場合>

負荷が重くなると、軽負荷時の逆の動作になり、FB コンパレータの目標電圧 V_{SC} が高くなるため、ドレイン電流のピーク値が増加し出力電圧の低下を抑えます。

9.6 リーディング・エッジ・ブランキング機能

本 IC は出力電圧の定電圧制御にピーク電流モード制御方式を使用しています。ピーク電流モード制御方式の場合、パワー MOSFET がターンオンしたときに発生する急峻なサージ電流により、FB コンパレータや過電流保護回路 (OCP) が応答し、パワー MOSFET がオフする可能性があります。

この現象を防ぐため、パワー MOSFET がターン

オンした瞬間から、リーディング・エッジ・ブランキング時間 $t_{ON(LEB)}$ を設けています。この期間は、過電流の検出電圧が $V_{OCP(LA,OFF)} = 1.83 \text{ V}$ になり、ターンオン時のドレイン電流サージに応答しないようにしています (9.11 過電流保護機能の項参照)。

9.7 擬似共振動作とボトムオンタイミングの設定

9.7.1 擬似共振動作

擬似共振動作はスイッチング損失およびスイッチングノイズを低減し、高効率で低ノイズな電源を実現します。本 IC は擬似共振動作をワンボトムスキップ動作時も行います。

図 9-8 にフライバック方式の回路を示します。図 9-8 内の記号の意味は、表 9-1 のとおりです。

フライバック方式とは、パワー MOSFET がターンオフしたときに、トランスに蓄えたエネルギーを二次側へ供給する方式です。

フライバック方式では、パワー MOSFET がオフし、二次側にエネルギーを放出した後もパワー MOSFET がオフを継続します。このとき V_{DS} は、 L_P と C_V で決まる周波数で自由振動します。

擬似共振動作は、この自由振動の期間に V_{DS} 電圧波形のボトム点でパワー MOSFET をターンオンする動作です (ボトムオン動作)。

理想的なボトムオン動作時の V_{DS} 電圧波形を図 9-9 に示します。

V_{DS} 電圧波形の自由振動開始から、パワー MOSFET をターンオンさせるまでの遅延時間を t_{ONDL} とすると、理想的なボトムオン動作時の t_{ONDL} は自由振動の半周期で、次式で計算できます。

$$t_{ONDL} \doteq \pi \sqrt{L_P \times C_V} \quad (3)$$

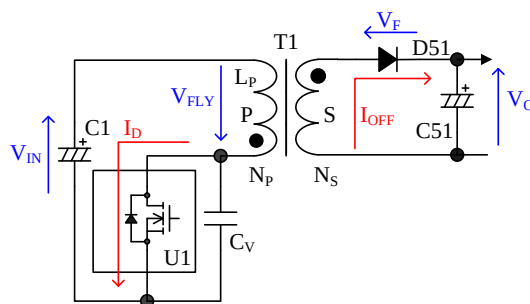


図 9-8 フライバック方式

表 9-1 記号一覧 (図 9-8)

記号	意味
V_{IN}	入力電圧
V_{FLY}	フライバック電圧 $V_{FLY} = \frac{N_p}{N_s} \times (V_o + V_F)$
V_{DS}	パワーMOSFET のドレインとソース間の電圧
N_p	一次側巻数
N_s	二次側巻数
V_o	出力電圧
V_F	二次側整流ダイオードの順方向電圧降下
I_D	パワーMOSFET のドレイン電流
I_{OFF}	パワーMOSFET がオフのとき、二次側整流ダイオードに流れる電流
C_V	電圧共振コンデンサ
L_P	一次側インダクタンス

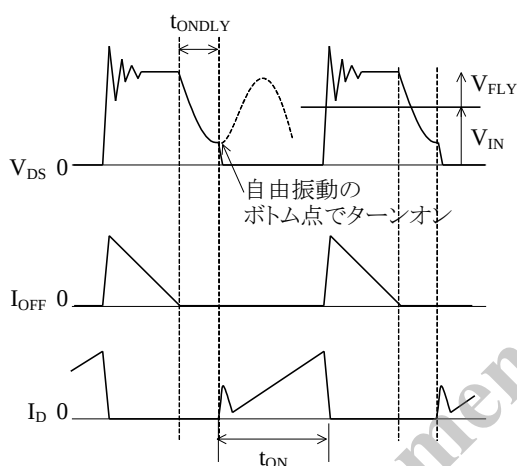


図 9-9 理想的なボトムオン動作

9.7.2 ボトムオンタイミングの設定

ボトムオンのタイミングはBD端子で検出します。BD端子に入力する信号はOCP1の入力補正にも使用します(9.11.3項参照)。

図 9-10 に BD 端子周辺回路、図 9-11 に補助巻線の電圧波形を示します。擬似共振信号 V_{REV2} は補助巻線電圧 V_D に比例し、次式で表せます。

$$V_{REV2} = \frac{R_{BD2}}{R_{BD1} + R_{BD2}} \times (V_{REV1} - V_F) \quad (4)$$

ここで

V_{REV1} : 補助巻線 D のフライバック電圧

V_F : DZ_{BD} の順方向電圧降下

この V_{REV2} 信号を BD 端子に入力してボトム点を

検出します。

擬似共振動作のしきい電圧はヒステリシスを持っています。 $V_{BD(TH1)}$ は擬似共振動作しきい電圧 1、 $V_{BD(TH2)}$ は擬似共振動作しきい電圧 2 です。

BD 端子電圧 V_{REV2} が、パワーMOSFET のターンオフ時に $V_{BD(TH1)} = 0.24 \text{ V}$ 以上になると、IC はパワーMOSFET のオフ期間を継続します。その後自由振動により V_{DS} が低下し、 V_{REV2} が $V_{BD(TH2)} = 0.17 \text{ V}$ まで下がると、IC はパワーMOSFET をターンオンします。 V_{REV2} が $V_{BD(TH2)}$ に達すると、IC 内部で自動的に擬似共振動作しきい電圧を $V_{BD(TH1)}$ に上げるため、BD 端子のノイズによる誤動作を防止できます。

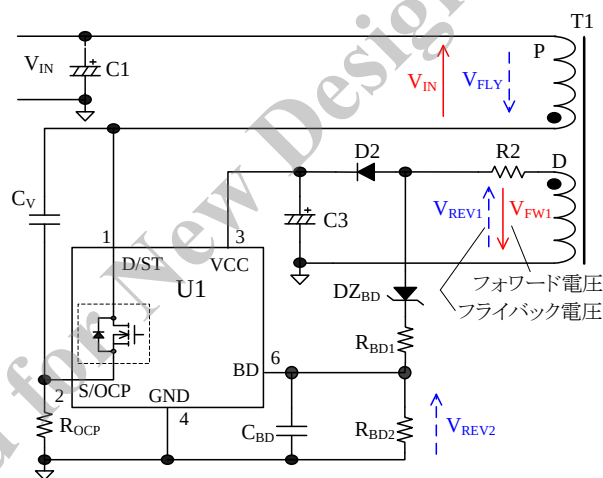


図 9-10 BD 端子周辺回路

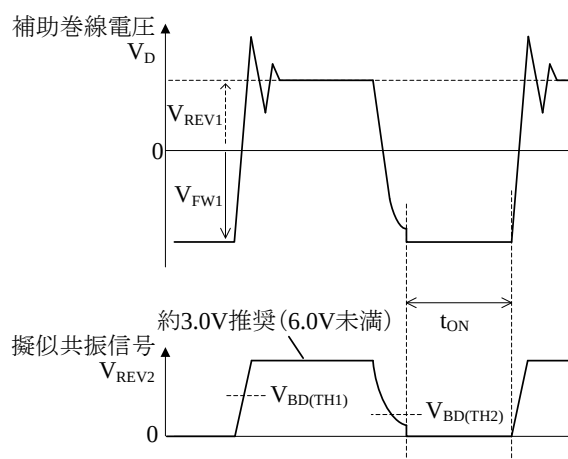


図 9-11 補助巻線電圧

- R_{BD1} 、 R_{BD2} の設定
 R_{BD1} 、 R_{BD2} は V_{REV2} が以下の範囲になるように設定します。
電源仕様範囲内で V_{CC} 端子電圧が最低になる条件のとき、 $V_{REV2} \geq V_{BD(TH1)} = 0.34 \text{ V(max.)}$ 。

電源仕様範囲内で V_{CC} 端子電圧が最大になる条件のとき、 $V_{REV2} < 6.0 \text{ V}$ (BD 端子のプラス側の絶対最大定格)かつ、有効期間 $1.0 \mu\text{s}$ 以上(図 9-12 参照)。ここで、 V_{REV2} の推奨値は、約 3.0 V です。

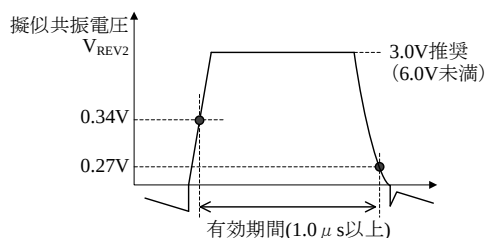


図 9-12 擬似共振信号の有効期間

• C_{BD} の設定

パワーMOSFET をターンオンさせるまでの遅延時間 t_{ONDLY} は、パワーMOSFET が図 9-9 の理想的なボトムオン動作になるよう、 C_{BD} で調整します。 C_{BD} は初期定数を 1000 pF 程度に設定し、電源入力電圧上限、出力負荷上限の条件で、 V_{DS} と I_D の実働波形を観測しながら調整します(このとき BD 端子に電圧プローブを接続するとボトム点がずれる可能性があります)。

図 9-13 の様に V_{DS} 波形のターンオンが、ボトム点より早い場合、初期定数時のボトム点を確認し、 C_{BD} の容量を少しずつ増やしながら、ターンオンが V_{DS} のボトム点と一致するように調整します。

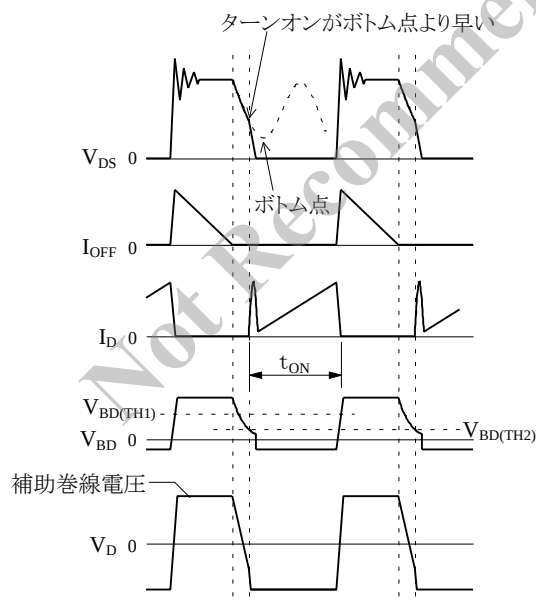


図 9-13 ターンオンが V_{DS} 波形のボトム点より早い場合

逆に図 9-14 の様に V_{DS} 波形のターンオンが、ボトム点より遅い場合、 C_{BD} の容量を少しずつ減らしながら、ターンオンが V_{DS} のボトム点と一致するように調整します。

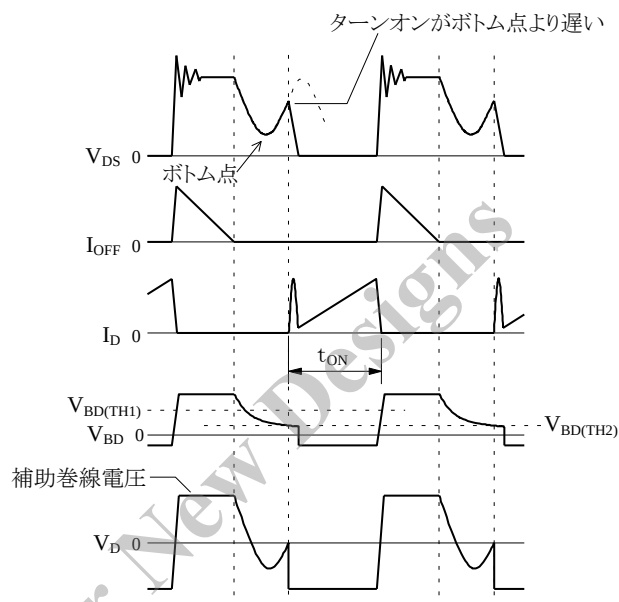


図 9-14 ターンオンが V_{DS} 波形のボトム点より遅い場合

9.8 BD 端子ブランキング時間

BD 端子には補助巻線電圧を入力するため、パワーMOSFET がターンオフする際に、BD 端子電圧にもサージ電圧が発生する場合があります。このサージを擬似共振信号として検出すると、パワーMOSFET が高周波でスイッチングする場合があります。この高周波動作により、パワーMOSFET の損失が過大になり、最大ジャンクション温度を超えると、パワーMOSFET はダメージを受けます。

これを防ぐため、BD 端子は、 250 ns (max.) のブランキング時間を設け、この期間の擬似共振信号を検出しないようにしています。

トランスの結合が悪く、リーケージインダクタンスが大きい場合は BD 端子にサージ電圧が発生しやすくなります。

出力電圧が小さい電源仕様の場合など、一次側巻線と二次側出力巻線の巻数比 (N_p/N_s) が極端に大きい場合は、トランスの結合が悪くするため注意が必要です(図 9-15 参照)。

サージの発生期間が、ブランキング時間を超えており、パワーMOSFET が高周波動作をする場合は、次の調整を行い、サージの発生期間を 250 ns 未満にする必要があります。

なお、BD 端子の動作波形を確認するプローブは、

正確にサージ電圧を測定するため、BD 端子と GND 端子の近くに接続します。

- C_{BD} を BD 端子と GND 端子の近くに接続する
- BD 端子と GND 端子間のパターンループを大電流パターンと離す
- 一次巻線と補助巻線の結合が良くなる巻き方にする
- クランプスナバ (図 6-1 参照) の定数調整を行う

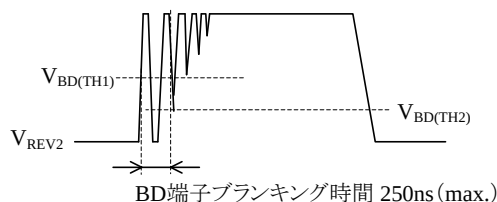
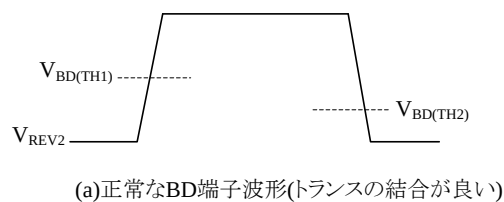


図 9-15 トランスの結合具合による BD 端子電圧 V_{REV2} 波形の差

9.9 マルチモード制御

擬似共振動作による制御は、負荷が軽くなると周波数が上がり、スイッチング損失が増加します。そのため、本 IC は全ての負荷領域で高効率を達成できるように、マルチモード制御を搭載しています。

マルチモード制御は、ドレイン電流 (実際には S/OCP 端子電圧) をモニタし、二次側の負荷状態に応じて 3 つ動作モードに自動的に切り替えます。

重負荷時は擬似共振動作、軽～中負荷時はワンボトムスキップ擬似共振動作、軽負荷時はバースト動作 (オートスタンバイ機能) になります。

9.9.1 ワンボトムスキップ擬似共振動作

本 IC は、ワンボトムスキップ機能により、中～軽負荷時のスイッチング周波数の上昇を抑え、スイッチング損失を低減します。

図 9-16 に出力負荷が軽負荷から重負荷への状態遷移図、図 9-17 に重負荷から軽負荷への状態遷移図を模擬的に示します。

負荷電流増加/負荷電流減少の過程では、各動作モード切り替え時に、ヒステリシスを設定していま

す (図 9-18 参照)。そのため、スイッチング波形は、切り替えのしきい値電圧付近で不安定にならず、安定した動作モードの切り替えが可能です。

擬似共振動作の発振周波数は、ワンボトムスキップ擬似共振動作に切り替わる直前 (重負荷→軽負荷) または直後 (軽負荷→重負荷) で高くなり、パワー MOSFET のスイッチング損失が増加します。そのため、入力電圧上限時の、発振周波数が高いポイントでパワー MOSFET の発熱を確認する必要があります。

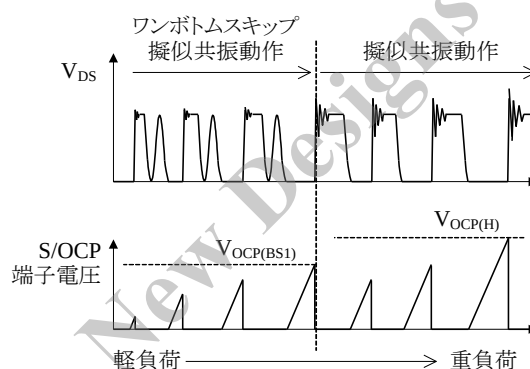


図 9-16 軽負荷→重負荷への状態遷移図

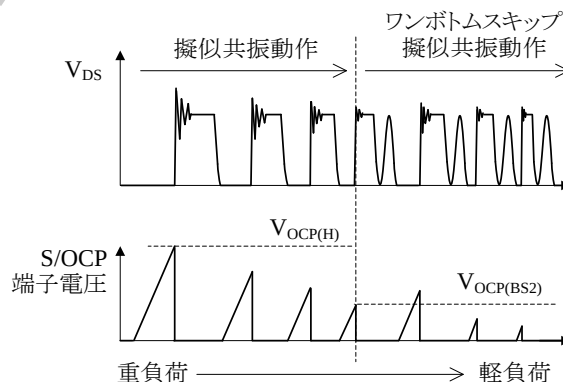


図 9-17 重負荷→軽負荷への状態遷移図

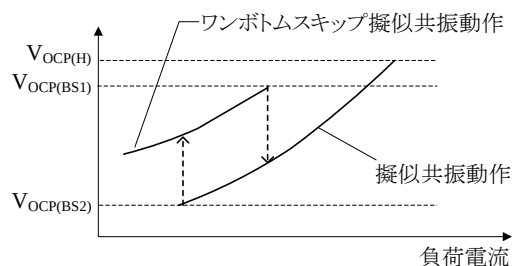


図 9-18 動作モード切り替え時のヒステリシス

- ワンボトムスキップ擬似共振動作から擬似共振動作へ切り替わる場合（軽負荷→重負荷）
ワンボトムスキップ擬似共振動作から負荷を増やしていくと、オン幅が広がり、ドレイン電流ピーク値が増加します。これにより、S/OCP 端子電圧のピーク値も増加します。
S/OCP 端子電圧が $V_{OCP(BS1)}$ に達すると、擬似共振動作へ切り替わります（図 9-16 参照）。
- 擬似共振動作からワンボトムスキップ擬似共振動作へ切り替わる場合（重負荷→軽負荷）
擬似共振動作から負荷を減らしていくと、オン幅が狭くなり、ドレイン電流ピーク値が減少します。これにより、S/OCP 端子電圧のピーク値も減少します。
S/OCP 端子電圧が $V_{OCP(BS2)}$ まで低下すると、ワンボトムスキップ擬似共振動作へ切り替わります（図 9-17 参照）。

図 9-19、図 9-20 に擬似共振動作時とワンボトムスキップ動作時の擬似共振信号の有効期間を示します。

安定した擬似共振動作、およびワンボトムスキップ動作を行うため、入力電圧下限、出力電力下限の条件で、擬似共振信号 V_{REV2} を確認し、有効期間が $1.0\ \mu\text{s}$ 以上になるように調整が必要です。 V_{REV2} の有効期間は、 V_{REV2} が擬似共振動作しきい値電圧 $1\ V_{BD(TH1)}$ の上限値 $0.34\ \text{V}$ から擬似共振動作しきい値電圧 $2\ V_{BD(TH2)}$ の上限値 $0.27\ \text{V}$ の期間です。

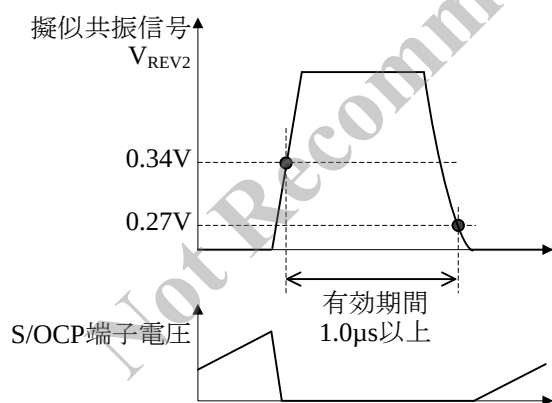


図 9-19 擬似共振信号の有効期間

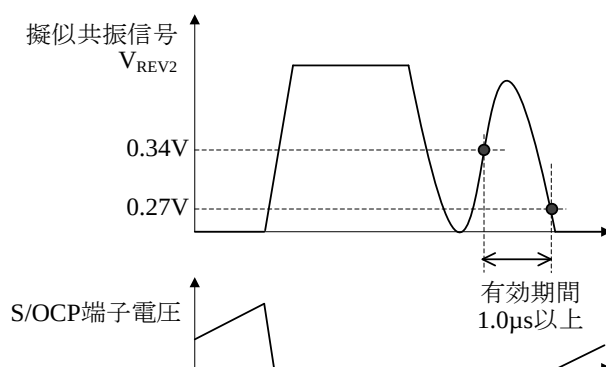


図 9-20 ワンボトムスキップ擬似共振信号の有効期間

9.9.2 オートスタンバイ機能

オートスタンバイ機能とは、軽負荷時にドレイン電流 I_D が減少すると、自動的にスタンバイモードに切り替わり、バースト発振動作を行う機能です。

S/OCP 端子は I_D を検出しており、S/OCP 端子電圧が、スタンバイ状態検出電圧 ($V_{OCP(H)} = 0.910\ \text{V}$ の約 9%) に低下すると、スタンバイモードに切り替わります。このスタンバイモード時に FB/OLP 端子電圧が $V_{FB(STBOP)}$ 以下に低下すると、スイッチング動作を停止しバースト発振動作を行います（図 9-21）。

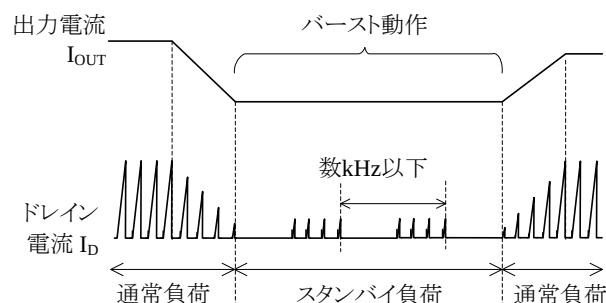


図 9-21 オートスタンバイ動作のタイミング波形

バースト発振動作は、スイッチング動作を停止する期間があるため、スイッチング損失を低減し、軽負荷時の効率改善ができます。

一般的に、軽負荷時の効率をより改善するため、バースト間隔は数 kHz 以下になります。本 IC は、バースト動作時のドレイン電流ピークを低く抑え、トランスの音鳴りを抑制します。

バースト発振動作に切り替わる過渡期間に、VCC 端子電圧が起動電流供給しきい電圧 $V_{CC(BIAS)} = 11.0\ \text{V}$ に低下すると、バイアスアシスト機能が動作し、起動電流 $I_{CC(STARTUP)}$ を供給します。これにより VCC 端子電圧の低下を抑え、安定したスタンバイ動作が行えます。

なお、定常動作時（バースト動作を含む）にバイアスアシスト機能が動作すると、消費電力が増加するため、VCC 端子電圧は常に $V_{CC(BIAS)}$ より高くする必要があります。トランスの巻数比や図 10-2 の R2 を小さくするなどの調整が必要です。（R2 の詳細は”10.1 外付け部品”参照）

9.10 最大オン時間制限機能

電源入力電圧が低い状態や電源オン／オフ時などの過渡状態では、スイッチング周波数の下限を制限するため、パワーMOSFET のオン時間を最大オン時間 $t_{ON(MAX)} = 40.0 \mu s$ に制限しています。これにより、ドレイン電流のピークを制限し、トランスの音鳴りを抑制します。

電源設計時、電源入力電圧下限かつ負荷最大の条件で、パワーMOSFET のオン時間が $t_{ON(MAX)}$ 未満であることを確認します（図 9-22）。

この条件時にオン時間が $t_{ON(MAX)}$ 以上になるトランスを使用していた場合は、出力電力が低下するため、以下を考慮してトランスを再設計します。

- ・トランスのインダクタンス L_p を下げてスイッチング周波数を上げる
- ・一次と 2 次の巻数比 N_p/N_s を小さくして Duty を小さくする

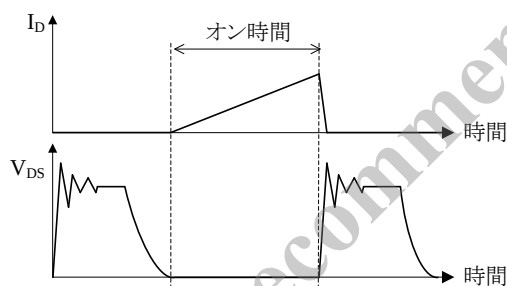


図 9-22 オン時間の確認

9.11 過電流保護機能（OCP）

本 IC は、過電流保護機能 1（OCP1: Overcurrent Protection 1）と、過電流保護機能 2（OCP2: Overcurrent Protection 2）があります。

OCP1 機能は、パルス・バイ・パルス方式で、AC 入力電圧に対する過電流検出しきい電圧のばらつきを補正する機能（入力補正機能）を搭載しています。OCP2 機能は、出力巻線短絡時などにラッチ動作でスイッチングを停止します。製品名の末尾 A 品には搭載されていません。

9.11.1 過電流保護機能 1（OCP1）

OCP1 機能は、パルス・バイ・パルス方式の過電流保護です。パワーMOSFET のドレインピーク電流値が、過電流検出しきい電圧に達すると、パワーMOSFET をターンオフして電力を制限します。

なお、リーディング・エッジ・ブランキング時間 $t_{ON(LEB)}$ の間は OCP1 動作が無効になります。ターンオン時に S/OCP 端子に生じるサージ電圧の幅は、図 9-23 のように $t_{ON(LEB)}$ 以下にする必要があります。サージ電圧を抑えるため、電流検出抵抗 R_{OCP} のパターンレイアウトは注意が必要です。10.2 パターン設計の項を参照し、レイアウトを設計します。

また、図 9-24 のようにダンパースナバ回路がある場合はサージ電圧を抑えるため、コンデンサの容量を小さくし、ターンオンタイミングが V_{DS} のボトムポイントになっていない場合は、調整が必要です（9.7.2 項参照）。

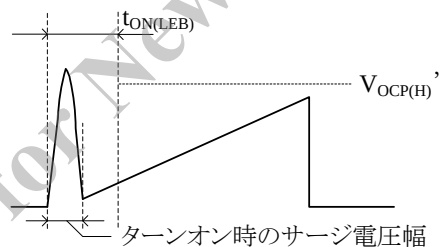


図 9-23 S/OCP 端子電圧波形

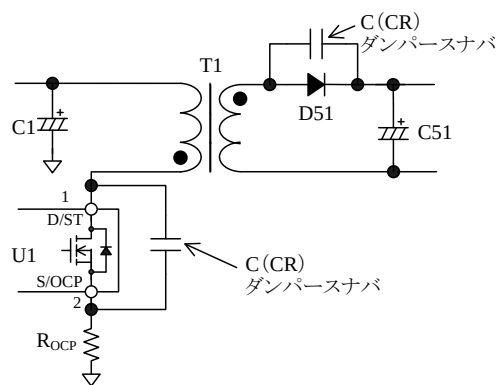


図 9-24 ダンパースナバ

9.11.2 過電流保護機能 2（OCP2）

OCP2 機能は、製品名の末尾 A 品には搭載されていません。

出力巻線短絡時や、二次側整流ダイオードの耐圧異常時などの保護として、S/OCP 端子電圧が、 $V_{OCP(La.OFF)} = 1.83 V$ に達すると、即座にラッチモードでスイッチング動作を停止します。

リーディング・エッジ・ブランキング期間も、この

過電流保護は動作します。

ラッチ状態の解除は、電源入力電圧をオフし、 V_{CC} 端子電圧を $V_{CC(OFF)}$ 以下に下げることで行います。

9.11.3 過電流保護 1 (OCP1) 入力補正機能

一般的な制御 IC は、制御系を含めた回路に伝播遅延時間があります。そのため、電源の入力電圧が高く、ドレイン電流傾斜が急峻なほど、実際に流れるドレイン電流のピークは高くなり、検出電圧は過電流検出しきい電圧よりも高くなります。このように、OCP1 動作時のドレイン電流のピークは、入力電圧の変化に対してバラツキが生じる傾向があります。

擬似共振コンバータをユニバーサル入力 (AC85V ~ AC265V) で使用する場合は、出力電力を一定とすると、電源の入力電圧が高いほど動作周波数が上がり、オン幅が小さくなります。そのため OCP1 動作時のドレイン電流ピークは、電源の入力電圧が高い領域で、特に伝播遅延時間の影響を受けやすくなります。

入力補正が無い場合、入力電圧上限における OCP1 動作時の出力電流 $I_{OUT(OCP)}$ は、入力電圧下限時の最大負荷を考慮して調整した出力電流仕様 I_{OUT} に対して約 2 倍になります (図 9-25 “入力補正なし”)。

このバラツキを低減するため、本 IC は入力補正機能を内蔵しています。

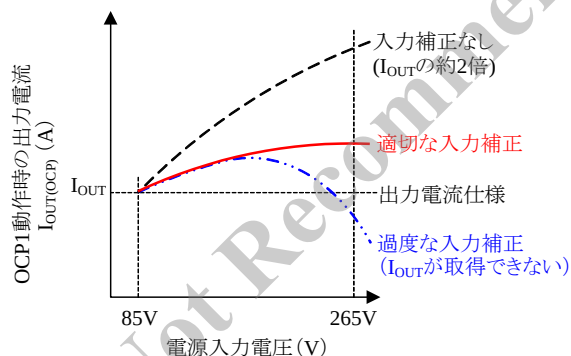


図 9-25 OCP1 動作時出力電流特性

図 9-26 に OCP1 の入力補正回路を示します。入力補正値は BD 端子の周辺部品で設定します。

OCP1 入力補正機能は、入力電圧に応じて過電流検出しきい電圧 (定常時) $V_{OCP(H)} = 0.910 \text{ V}$ を補正します。補助巻線 D のフォワード電圧 V_{FW1} は入力電圧に比例しています。そこで、図 9-26 のように V_{FW1} から DZ_{BD} のツェナー電圧 V_Z を引いた電圧を R_{BD1} と R_{BD2} で分圧し、BD 端子に入力します。

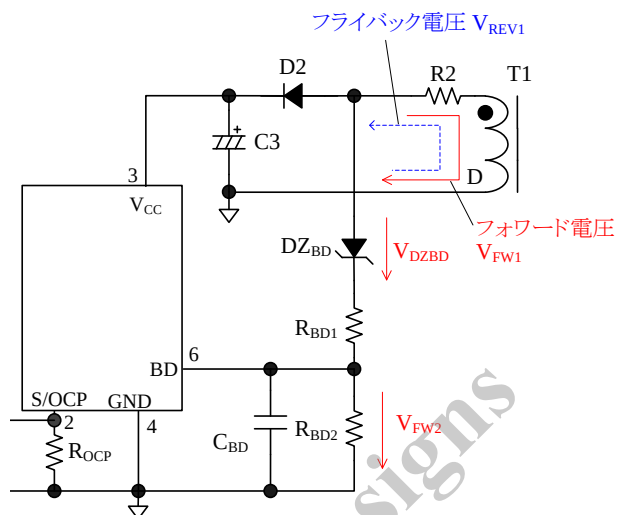


図 9-26 OCP1 入力補正回路

図 9-27 に擬似共振動作時の入力電圧に対する各電圧波形を示します。

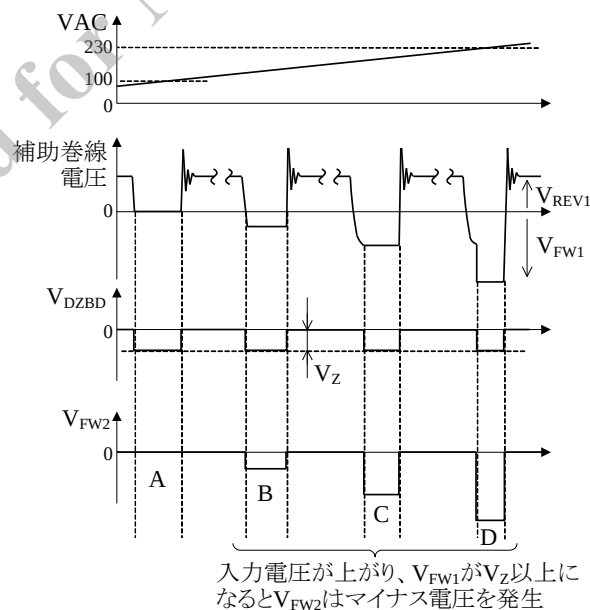


図 9-27 入力電圧に対する各電圧波形

$V_{DZBD} \geq V_{FW1}$ のとき (A 点)、 V_{FW2} にはマイナス電圧が生じません。そのため、過電流の検出電圧は、過電流検出しきい電圧 (定常時) $V_{OCP(H)}$ になります。入力電圧が上がり $V_{DZBD} < V_{FW1}$ になると (B 点 ~ D 点)、 V_{FW1} が DZ_{BD} のツェナー電圧 V_Z より高くなり V_{FW2} を生じます。この V_{FW2} を BD 端子で検出し、過電流検出しきい値電圧 (定常時) $V_{OCP(H)}$ を補正します。

V_{FW2} は出力電流仕様 I_{OUT} と入力電圧上限時の $I_{OUT(OCP)}$ の差が小さくなるようにします (図 9-25 “適

切な入力補正”)。過度に入力補正をかけると、入力電圧が高い領域で $I_{OUT(OC)}$ が I_{OUT} 以下になる場合があります (図 9-25 “過度な入力補正”)。全入力電圧範囲で $I_{OUT(OC)}$ が出力電流仕様 I_{OUT} 以上になるように V_{FW2} を調整します。

BD 端子の周辺部品、 DZ_{BD} 、 R_{BD1} 、 R_{BD2} の設定は以下の様に行います。

- 1) 入力補正を開始する電源入力電圧 $V_{IN(AC)C}$ を設定します。一般的な仕様の場合、AC120V～AC170V です。
- 2) 入力補正を開始する電源入力電圧は DZ_{BD} のツェナー電圧 V_Z で設定します。
 $V_{IN(AC)C}$ の時の V_{FW1} を次式(5)より求め、 DZ_{BD} のツェナー電圧 V_Z を設定します。

$$V_{FW1} = \frac{N_D}{N_P} \times V_{IN(AC)C} \times \sqrt{2} = V_Z \quad (5)$$

ここで

N_P : 一次側巻線の巻数

N_D : 補助巻線の巻数

- 3) R_{BD1} 、 R_{BD2} を設定します。
 R_{BD2} の推奨値は 1.0 k Ω です。
一般的な電源の場合、電源入力電圧上限で $V_{FW2} = -3.0$ V になるように、次式(6)を用いて R_{BD1} を設定します。

$$R_{BD1} = \frac{R_{BD2}}{|V_{FW2}|} \times \left(\frac{N_D}{N_P} \times V_{IN(AC)MAX} \times \sqrt{2} - V_Z - |V_{FW2}| \right) \quad (6)$$

ここで

V_{FW2} : BD 端子電圧 (-3.0 V)

N_P : 一次側巻線の巻数

N_D : 補助巻線の巻数

$V_{IN(AC)MAX}$: 電源入力電圧の上限値

V_Z : DZ_{BD} のツェナー電圧

- 4) 電源入力電圧最大時の入力補正後の過電流しきい電圧 $V_{OC(H)'}$ を求めます。
 $V_{OC(H)'}$ と BD 端子電圧 V_{FW2} の関係を図 9-28 に示します。次式(7)より電源入力電圧最大時の V_{FW2} を算出し、その結果を用いて図 9-28 より $V_{OC(H)'}$ とそのばらつきを求めます。ここで、ばらつきを含めた $V_{OC(H)'}$ が、ボトムスキップ動作

しきい値電圧 1 $V_{OC(BS1)} = 0.572$ V 以下になる場合、ワンボトムスキップ動作のみになり、出力電流仕様 I_{OUT} が取得できない場合があります。

$$\begin{aligned} |V_{FW2}| &= \frac{R_{BD2}}{R_{BD1} + R_{BD2}} \times (|V_{FW1}| - V_Z) \\ &= \frac{R_{BD2}}{R_{BD1} + R_{BD2}} \times \left(\left| \frac{N_D}{N_P} \times V_{IN(AC)MAX} \times \sqrt{2} \right| - V_Z \right) \quad (7) \end{aligned}$$

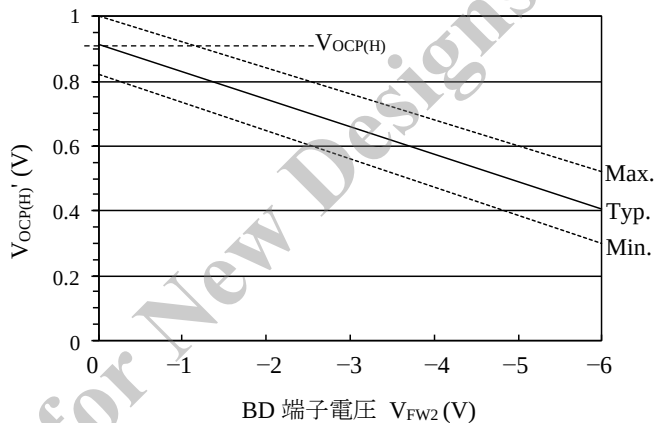


図 9-28 入力補正後の過電流しきい値電圧 $V_{OC(H)'}$ (設計目標の参考値)

- 5) 次式(8)より擬似共振電圧 V_{REV2} を計算し、擬似共振動作しきい値電圧 1 $V_{BD(TH1)} = 0.34$ V (max.) 以上であることを確認します (図 9-11 参照)。

$$V_{REV2} = \frac{R_{BD2}}{R_{BD1} + R_{BD2}} \times (V_{REV1} - V_F) \geq 0.34 \text{ V} \quad (8)$$

ここで

V_{REV1} : 補助巻線のフライバック電圧

V_F : DZ_{BD} の順方向電圧

- 6) 実働で BD 端子電圧を確認し、電源入力電圧上限時にサージ電圧も含め、BD 端子電圧の絶対最大定格 (-6.0V～+6.0V) 範囲内であることを確認します。

<BD 端子周辺定数設定参考例>

設定値 :

入力電圧 $V_{IN(AC)} = AC85V \sim AC265V$

入力補正開始電源入力電圧 $V_{IN(AC)C} = AC120V$

一次側巻線の巻数 $N_P = 40$ T

補助巻線の巻数 $N_D = 5$ T

補助巻線フォワード電圧 $V_{FW1} = 20$ V

式(5)より

$$V_{FW1} = \frac{N_D}{N_p} \times V_{IN(AC)C} \times \sqrt{2}$$

$$= \frac{5}{40} \times 120\sqrt{2} = 21.2V$$

これより、DZ_{BD}のツェナー電圧 V_Z は 22 V (E 系列) に設定します。

電源入力電圧 $V_{IN(AC)}$ の上限 AC265V 時に、 $V_{FW2} = -3.0 V$ になる R_{BD1} は、式(6)より、

$$R_{BD1} = \frac{R_{BD2}}{|V_{FW2}|} \times \left(\frac{N_D}{N_p} \times V_{IN(AC)MAX} \times \sqrt{2} - V_Z - |V_{FW2}| \right)$$

$$= \frac{1k}{|-3|} \times \left(\frac{5}{40} \times 265\sqrt{2} - 22 - |-3| \right) = 7.28k\Omega$$

これより、 $R_{BD1} = 7.5 k\Omega$ (E 系列) に設定します。

$R_{BD2} = 1.0 k\Omega$ とすると、 $V_{IN(AC)} = 265 V$ のときの $|V_{FW2}|$ は、式(7)より

$$|V_{FW2}| = \frac{R_{BD2}}{R_{BD1} + R_{BD2}} \times (|V_{FW1}| - V_Z)$$

$$= \frac{1k}{7.5k + 1k} \times \left(\frac{5}{40} \times 265\sqrt{2} - 22 \right) = 2.92V$$

図 9-28 から、 $V_{FW2} = -2.92 V$ の場合、 $V_{IN(AC)} = 265 V$ における入力補正後の過電流しきい電圧 $V_{OCP(H)}$ は約 0.66 V(typ.)になります。

擬似共振電圧 V_{REV2} は、式(8)に $R_{BD2} = 1.0 k\Omega$ 、 $R_{BD1} = 7.5 k\Omega$ 、 $V_F = 0.7 V$ 、 $V_{REV1} = 20 V$ を代入して計算すると

$$V_{REV2} = \frac{R_{BD2}}{R_{BD1} + R_{BD2}} \times (V_{REV1} - V_F)$$

$$= \frac{1k}{1k + 7.5k} \times (20 - 0.7) = 2.27V$$

V_{REV2} は $V_{BD(TH1)} = 0.34 V$ (max.)以上です。

9.11.4 過電流入力補正が必要ない場合

PFC 入力時や、ナロー入力仕様の場合などは、入力電圧変動が少ないため、過電流保護動作点の変化がユニバーサル入力仕様より少なくなります。

このように、過電流入力補正が必要ない場合は、ツェナーダイオード (DZ_{BD}) から高速ダイオードに変更し、BD 端子がマイナス電圧にならないようにすることで、入力補正機能を無効にできます。

なお、高速ダイオードに印加される電圧の目安は次式(9)で計算できます。高速ダイオードの耐圧は、ディレーティングを含めて選定します。

$$V_{FW1} = \frac{N_D}{N_p} \times V_{IN(AC)MAX} \times \sqrt{2} \quad (9)$$

ここで

V_{FW1} ：補助巻線のフォワード電圧

N_p ：一次側巻線の巻数

N_D ：補助巻線の巻数

$V_{IN(AC)MAX}$ ：電源入力電圧の上限値

9.12 過負荷保護機能 (OLP)

FB/OLP 端子の周辺回路と過負荷保護機能 (OLP) 動作時の波形を図 9-29、図 9-30 に示します。

過負荷状態 (過電流保護機能 1 によりドレインピーク電流値を制限している状態) になると、出力電圧が低下し、二次側のエラーアンプがカットオフします。そのため、フィードバック電流 I_{FB} は FB/OLP 端子に接続している C4 を充電し、FB/OLP 端子電圧 $V_{FB/OLP}$ が上昇します。 $V_{FB/OLP}$ がフィードバック制御時最大電圧 $V_{FB(MAX)} = 4.05 V$ まで上昇すると、フィードバック電流 $I_{FB(OLP)} = -10 \mu A$ で C4 を充電し、OLP しきい値電圧 $V_{FB(OLP)} = 5.96 V$ に達すると、OLP が動作してラッチモードでスイッチング動作を停止します。ラッチ状態を保持するため、VCC 端子電圧が $V_{CC(BIAS)}$ まで低下すると、バイアスアシスト機能が動作し、VCC 端子電圧を $V_{CC(OFF)}$ 以上に保持します。

ラッチ状態の解除は、電源電圧をオフし VCC 端子電圧を $V_{CC(OFF)}$ 以下に下げることで行います。

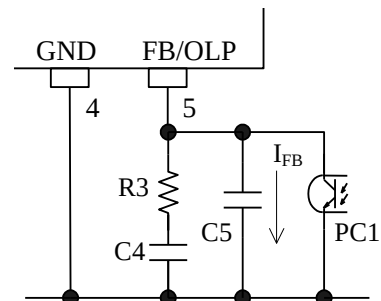


図 9-29 FB/OLP 端子周辺回路

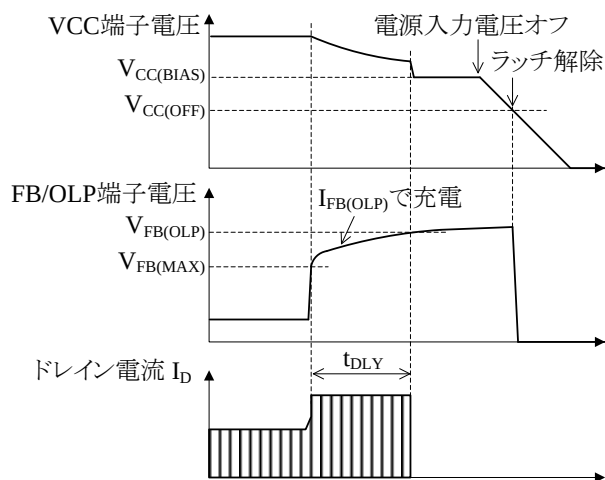


図 9-30 OLP 動作波形（ラッチ動作）

FB/OLP 端子電圧が $V_{FB(MAX)}$ から $V_{FB(OLP)}$ に達するまでの時間を、OLP 遅延時間 t_{DLY} とします。位相補正用のコンデンサ C5 は C4 に比べ十分に小さいので無視すると、 t_{DLY} は次式(10)で概略計算できます。

C4 = 4.7 μ F の場合、 t_{DLY} は約 0.9s になります。

R3 の推奨値は 47 k Ω です。

$$t_{DLY} \doteq \frac{(V_{FB(OLP)} - V_{FB(MAX)}) \times C4}{|I_{FB(OLP)}|}$$

$$t_{DLY} \doteq \frac{(5.96V - 4.05V) \times C4}{|-10\mu A|} \quad (10)$$

OLP のラッチ動作を無効にしたい場合は、図 9-31 のように FB/OLP 端子と GND 端子間に 220 k Ω の抵抗を接続します。これにより $I_{FB(OLP)}$ をバイパスさせ、過負荷状態の時に FB 端子の電圧が $V_{FB(OLP)}$ 未満になるようにします。

負荷短絡などの過負荷状態になると出力電圧が低下し、VCC 端子電圧も低下します。このとき、バイアスアシスト機能は無効なので、VCC 端子電圧は $V_{CC(OFF)}$ まで低下し、制御回路は動作を停止します。その後、VCC 端子電圧は起動電流により上昇し、 $V_{CC(ON)}$ に達すると、制御回路が再び動作します。このように、ラッチ動作が無効のときは UVLO による間欠発振動作を繰り返します（図 9-32 参照）。

間欠発振動作の周期は、VCC 端子に接続しているコンデンサ C3 の充放電時間で決まります。充電時間は起動回路、放電時間は IC の内部回路への電流供給による時間です。

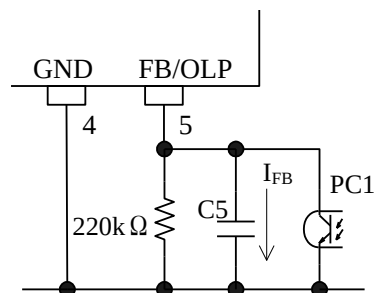
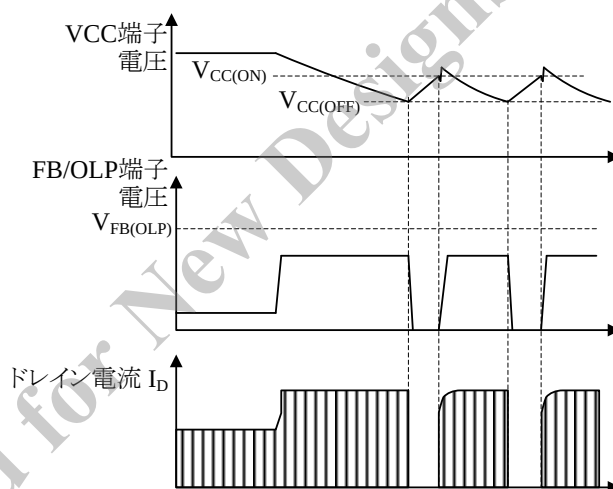


図 9-31 FB/OLP 端子周辺回路（ラッチ動作を無効）

図 9-32 負荷短絡時 OLP 動作波形
(ラッチ動作を無効にした場合)

9.13 過電圧保護機能（OVP）

VCC 端子と GND 端子間に、OVP しきい電圧 $V_{CC(OVP)} = 31.5$ V 以上の電圧を印加すると、過電圧保護機能（OVP: Overvoltage Protection）が動作し、ラッチ状態でスイッチング動作を停止します。ラッチ状態を保持するため、VCC 端子電圧が $V_{CC(BIAS)}$ まで低下すると、バイアスアシスト機能が動作し、VCC 端子電圧を $V_{CC(OFF)}$ 以上に保持します。

ラッチ状態の解除は、電源電圧をオフし VCC 端子電圧を $V_{CC(OFF)}$ 以下に下げることで行います。

VCC 端子電圧をトランスの補助巻線から供給する場合は、VCC 端子電圧が出力電圧に比例するため、出力電圧検出回路オープン時などの二次側の過電圧を検出できます。この場合、過電圧保護動作時の二次側出力電圧 $V_{OUT(OVP)}$ は、次式(11)で概略計算できます。

$$V_{OUT(OVP)} = \frac{V_{OUT(NORMAL)}}{V_{CC(NORMAL)}} \times 31.5 \text{ (V)} \quad (11)$$

ここで、

$V_{OUT(NORMAL)}$: 定常動作時の出力電圧

$V_{CC(NORMAL)}$: 定常動作時の VCC 端子電圧

9.14 過熱保護機能 (TSD)

IC の制御回路部の温度が、熱保護動作温度 $T_{j(TSD)} = 135\text{ }^{\circ}\text{C (min.)}$ 以上に達すると、過熱保護機能 (TSD: Thermal Shutdown) が動作し、ラッチ状態でスイッチング動作を停止します。スイッチング動作が停止すると、VCC 端子電圧は下降します。ラッチ状態を保持するため、VCC 端子電圧が $V_{CC(BIAS)}$ まで低下すると、バイアスアシスト機能が動作し、VCC 端子電圧を $V_{CC(OFF)}$ 以上に保持します。

10. 設計上の注意点

10.1 外付け部品

各部品は使用条件に適合したものを使用します。

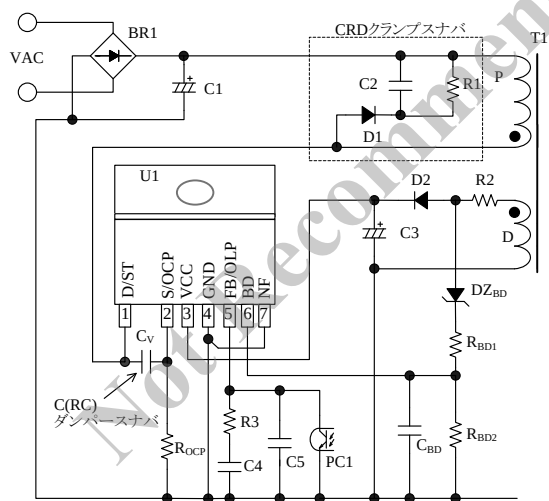


图 10-1 IC 周边回路

- 入力、出力の平滑用電解コンデンサ

電解コンデンサは、リップル電流・電圧・温度上昇に対し、適宜設計マージンを設けます。
また、リップル電圧を低減するため、スイッチング電源設計に適した、低 ESR タイプを推奨します。

• S/OCP 端子周边回路

図 10-1 に示す R_{OCP} は、電流検出用抵抗です。高周波スイッチング電流が流れるので、内部インダクタンスが小さく、かつ許容損失を満足するものを使用します。

• VCC 端子周辺回路

一般的な電源仕様の場合、図 10-1 に示す C3 の容量は $10\ \mu\text{F} \sim 47\ \mu\text{F}$ 程度を接続します（C3 は起動時間に影響するので、“9.1 起動動作”を参照）。また、実際の電源回路は、図 10-2 のように二次側出力電流 I_{OUT} により VCC 端子電圧が増加し、過電圧保護動作（OVP）になる場合があります。これは、パワーMOSFET がターンオフした瞬間に発生するサージ電圧が補助巻線にも誘起し、C3 をピーク充電するためです。

これを防止するには、図 10-1 のように、整流用ダイオード D2 と直列に、抵抗 R2（数 $\Omega \sim$ 数十 Ω ）の追加が有効です。ただし、出力電流に対する VCC 端子電圧の変化は、使用するトランスの構造により異なるため、実際に使用するトランスに合わせて R2 の最適値を調整する必要があります。

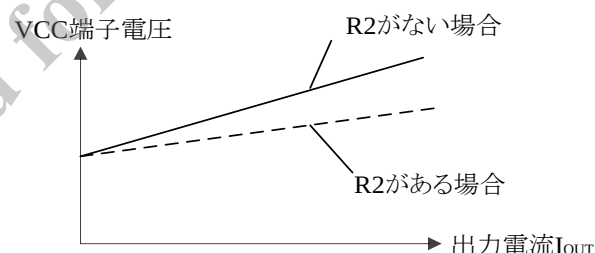


図 10-2 R2 による出力電流 $I_{OUT-VCC}$ 端子電圧

• FB/OLP 端子周边回路

図 10-1 に示す FB/OLP 端子と GND 端子間のコンデンサ C5 は、高周波ノイズ除去、位相補償用です。C5 の容量は 470p~0.01μF 程度が目安で、FB/OLP 端子と GND 端子近くに接続します。C5 は最終的に実機で動作を確認し、定数を調整します。

C4 は OLP 遅延時間 t_{DLY} 設定用コンデンサです (9.12 項参照)。

R3 の推奨値は 47 k Ω です。

• BD 端子周边回路

BD 端子はボトムオンのタイミングと OCP1 の入力補正信号の検出を行います。BD 端子の周辺回路 (DZ_{BD}、R_{BD1}、R_{BD2}、C_{BD}) の定数は、双方を考慮して調整します。

ボトムオンタイミングは 9.7.2 項、OCP1 の入力補正は 9.11.3 項を参照して設定します。

● NF 端子

NF (7 番端子) は動作安定のため、安定電位である GND (4 番端子) へ最短距離で接続します。

● スナバ回路

V_{DS} サージ電圧が大きくなる電源仕様の場合は以下のような回路を追加します(図 10-1)。

- ・ P 巻線間に CRD クランプスナバ回路を追加
- ・ D/ST 端子と S/OCP 端子間に C、または RC ダンパースナバ回路を追加。
ダンパースナバは、D/ST 端子と S/OCP 端子の直近に接続

● 二次側エラーアンプ周辺回路

一般的なシャントレギュレータ (U51) を使用した二次側エラーアンプ周辺回路を図 10-3 に示します。

C52、R53 は位相補償用のコンデンサと抵抗です。C52 の容量および抵抗 R53 の抵抗値は、それぞれ $0.047 \mu\text{F} \sim 0.47 \mu\text{F}$ 、 $4.7 \text{ k}\Omega \sim 470 \text{ k}\Omega$ 程度が目安です。

C52、R53 は、最終的に実機で動作を確認し、定数の調整を行います。

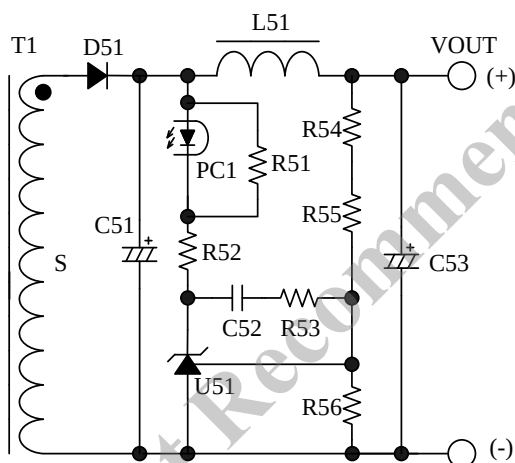


図 10-3 二次側シャントレギュレータ (U51) の周辺回路

● トランス

トランスは、銅損・鉄損による温度上昇に対し、適宜設計マージンを設けます。スイッチング電流は高周波成分を含むため、表皮効果が影響する場合があります。

このためトランスに使用する巻線の線径は、動作電流の実効値を考慮し、電流密度が $4 \sim 6 \text{ A/mm}^2$ を目安に選定します。表皮効果の影響などで、さらに温度対策が必要な場合は、巻線表面積を増加

させるため、以下の内容を検討します。

- ・ 巻線の本数を増やす
- ・ リッツ線を使用する
- ・ 線径を太くする

以下の場合には VCC 端子のサージ電圧が大きくなります。

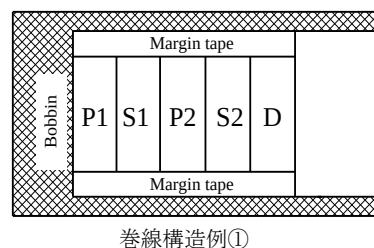
- ・ 低出力電圧、大電流負荷仕様など一次側主巻線 P のサージ電圧が高い場合
- ・ 補助巻線 D が一次側主巻線 P のサージの影響を受けやすいトランス構造の場合

D 巻線のサージ電圧が大きいと、VCC 端子電圧が増加し、過電圧保護動作 (OVP) になる場合があります。そこで、トランス設計時は、以下の内容を考慮する必要があります。

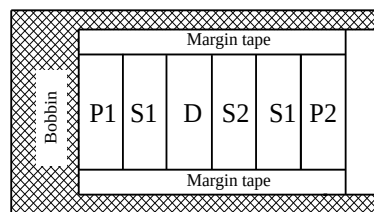
- ・ P 巻線と二次側出力巻線 S の結合を良くする (リーケージインダクタンスを小さくする)
- ・ D 巻線と S 巻線の結合を良くする
- ・ D 巻線と P 巻線の結合を悪くする

また、多出力の場合は出力電圧のレギュレーション特性を向上させるため、二次側安定化出力巻線 (定電圧制御をしている出力ラインの巻線) S1 と、他出力巻線 (S2、S3...) の結合を良くする必要があります。

これらを考慮した二出力のトランス参考例を図 10-4 に示します。



巻線構造例①



巻線構造例②

図 10-4 巻線構造例

< 巻線構造例① >

P1、P2 で S1 を挟み、P1、P2 と S1 の結合を良くし、P1、P2 のサージを小さくする。

D を P1、P2 から離し、結合を悪くして、D のサー

ジを小さくする。

<巻線構造例②>

P1、P2 と S1 を近くに巻き、結合を良くし、P1、P2 のサージを小さくする。

D と S2 を S1 で挟み、D と S1、S1 と S2 の結合を良くする。これにより D のサージが小さくなり、S2 出力電圧のレギュレーション特性が向上する。

10.2 トランス設計

トランスの設計は、基本的に RCC 方式 (Ringing Choke Converter: 自励式フライバックコンバータ) の電源トランス設計と同じです。

ただし、擬似共振動作により、ターンオンを遅延する分、Duty が変化するため、Duty の補正が必要です。

図 10-5 に擬似共振回路を示します。

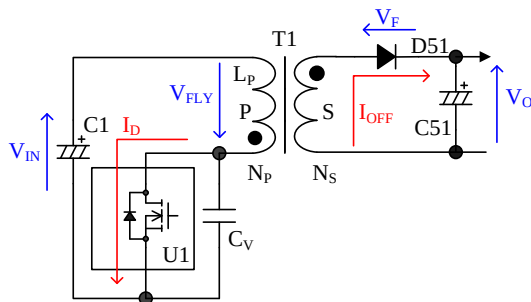


図 10-5 擬似共振回路

フライバック電圧 V_{FLY} は

$$V_{FLY} = \frac{N_p}{N_s} \times (V_o + V_F) \quad (12)$$

ここで、

N_p : 一次巻線の巻数

N_s : 二次巻線の巻数

V_o : 出力電圧

V_F : D51 の順方向電圧降下

これより、電源入力電圧下限時のオンデューティー D_{ON} は

$$D_{ON} = \frac{V_{FLY}}{V_{IN(MIN)} + V_{FLY}} \quad (13)$$

ここで、

$V_{IN(MIN)}$: 電源入力電圧下限時の C1 電圧

V_{FLY} : フライバック電圧

これより遅延時間を考慮した一次側のインダクタンス L_p' は次式(14)で計算できます。

$$L_p' = \frac{(V_{IN(MIN)} \times D_{ON})^2}{\left(\sqrt{\frac{2P_o \times f_{MIN}}{\eta_1}} + V_{IN(MIN)} \times D_{ON} \times f_{MIN} \times \pi \sqrt{C_V} \right)^2} \quad (14)$$

ここで、

$V_{IN(MIN)}$: 電源入力電圧下限時の C1 電圧

D_{ON} : 電源入力電圧下限時のオンデューティー

P_o : 最大出力電力

f_{MIN} : 最低発振周波数

η_1 : トランスの変換効率

C_V : 電圧共振コンデンサの容量

また、ドレイン電流ピーク I_{DP} などの各パラメータは以下の式で計算できます。

$$t_{ONDLY} = \pi \sqrt{L_p' \times C_V} \quad (15)$$

$$D_{ON}' = D_{ON} (1 - f_{MIN} \times t_{ONDLY}) \quad (16)$$

$$I_{IN} = \frac{P_o}{\eta_2} \times \frac{1}{V_{IN(MIN)}} \quad (17)$$

$$I_{DP} = \frac{2 \times I_{IN}}{D_{ON}'} \quad (18)$$

$$N_p = \sqrt{\frac{L_p'}{Al - value}} \quad (19)$$

$$N_s = \frac{N_p \times (V_o + V_F)}{V_{FLY}} \quad (20)$$

ここで、

t_{ONDLY} : 遅延時間

I_{IN} : 平均入力電流

η_2 : 電源の変換効率

I_{DP} : スイッチング電流ピーク

D_{ON}' : 補正後のオンデューティー

V_o : 二次側出力電圧

また、補正後のオンデューティより、最低発振周波数 f_{MIN} は以下の式で算出できます。

$$f_{\text{MIN}} = \left(\frac{-\sqrt{\frac{2P_o}{\eta_1}} + \sqrt{\frac{2P_o}{\eta_1} + \frac{4\pi(V_{\text{IN(MIN)}} \times D_{\text{ON}})^2 \times \sqrt{C_v}}{\sqrt{L_p'}}}}{2\pi\sqrt{C_v} \times V_{\text{IN(MIN)}} \times D_{\text{ON}}} \right)^2 \quad (21)$$

フェライトコアの NI-limit vs. Al-value 特性例を図 10-6 に示します。トランスに使用するフェライトコアは、NI-limit vs. Al-value 特性に対して温度バラツキなどの設計マージンを考慮し、磁気飽和を生じないものを選定します。図 10-6 に示すように、 L_p' と N_p で決まる Al-value と、式(22)から算出した NI が、飽和曲線に対して 30 %以上のマージンを持つコアを推奨します。

$$NI = N_p \times I_{\text{DP}} \quad (\text{AT}) \quad (22)$$

ここで、

N_p : 一次巻線の巻数

I_{DP} : スイッチング電流ピーク

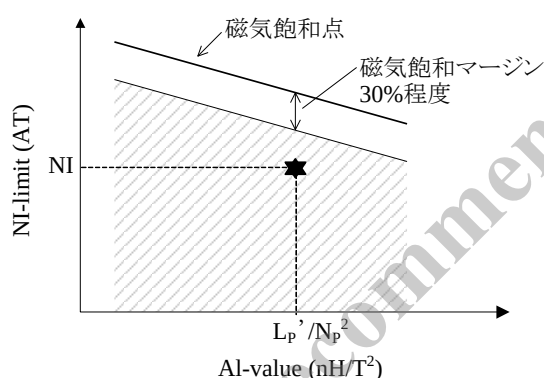


図 10-6 コアの NI-Limit vs. AL-value 特性例

10.3 パターン設計

スイッチング電源は、高周波かつ高電圧の電流経路が存在し、基板のパターンや部品の実装条件が、動作、ノイズ、損失などに大きく影響します。そのため、高周波電流ループは極力小さくし、パターンを太くして、ラインインピーダンスを低くする必要があります。

また、GND ラインは輻射ノイズに大きな影響を与えるため、極力太く、短く配線します。

さらに、以下に示す内容を配慮したパターン設計が必要です。

図 10-7 に IC 周辺回路の接続例を示します。

- (1) 主回路パターン
スイッチング電流が流れる主回路パターンです。このパターンは極力太く、電流ループを小さく配線します。IC と入力電解コンデンサ C1 の距離が離れている場合は、高周波電流ループのインピーダンスを下げるため、トランスもしくは IC の近くに、電解コンデンサやフィルムコンデンサ (0.1μF 程度) を追加します。
- (2) 制御系 GND パターン
制御系 GND パターンに主回路の大電流が流れると、IC の動作に影響を与える可能性があります。制御系の GND は専用パターンにし、 R_{OCP} のできるだけ近くに配線します(図 10-7 の A 点)。
- (3) VCC 端子周り
このパターンは、IC の電源供給用パターンのため、極力電流ループを小さく配線します。IC と電解コンデンサ C3 の距離が離れている場合は、VCC 端子と GND 端子の近くにフィルムコンデンサ C_f (0.1μF~1.0μF 程度) などを追加します。
- (4) 電流検出用抵抗 R_{OCP} 周り
 R_{OCP} は、S/OCP 端子の近くに配置します。主回路系と制御系のグラウンドは R_{OCP} 近傍で接続します(図 10-7 の A 点)。
- (5) IC の周辺部品
IC に接続する制御系の部品は IC の近くに配置し、最短で各端子に接続します。
- (6) 二次側整流平滑回路
このパターンは、スイッチング電流が流れる二次側主回路パターンです。このパターンは極力太く、電流ループを小さく配線します。このパターンのインピーダンスを下げると、パワー MOSFET がターンオフする際に発生するサージ電圧を減らすことができます。これにより、パワー MOSFET の耐圧マージンを増やし、クランプスナバ回路のストレスや損失を低減できます。
- (7) 温度に関する注意事項
パワー MOSFET の ON 抵抗 $R_{\text{DS(ON)}}$ は、正の温度係数のため、熱設計に注意が必要です。IC の下のパターンや、D/ST 端子のパターンは、放熱板として機能するため、極力広く設計します。

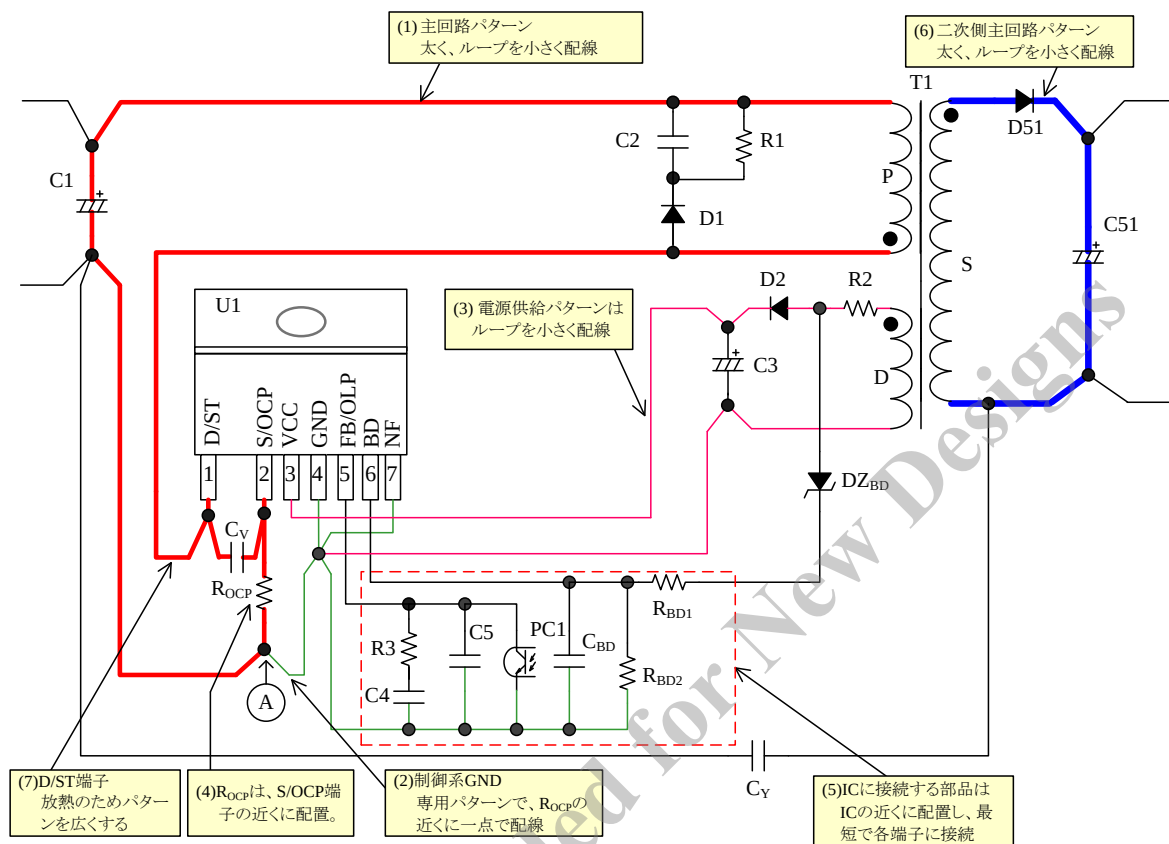


図 10-7 電源 IC 周辺回路の接続例

11. パターンレイアウト例

以下に、STR-Y6700 シリーズを使用した 4 出力タイプのパターンレイアウト例と、その回路図を示します。パターンレイアウト例は他 IC と共用です。図 11-2 に記載してある部品のみ使用します。

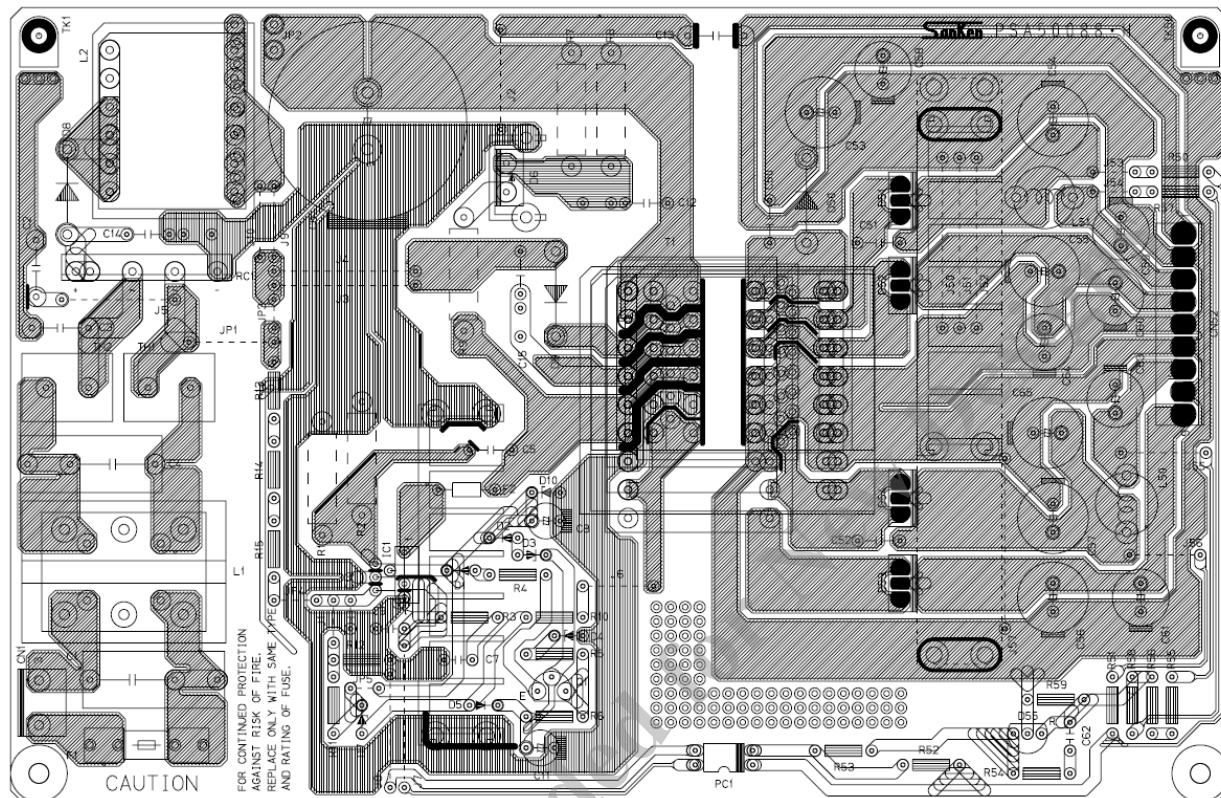


図 11-1 パターンレイアウト例

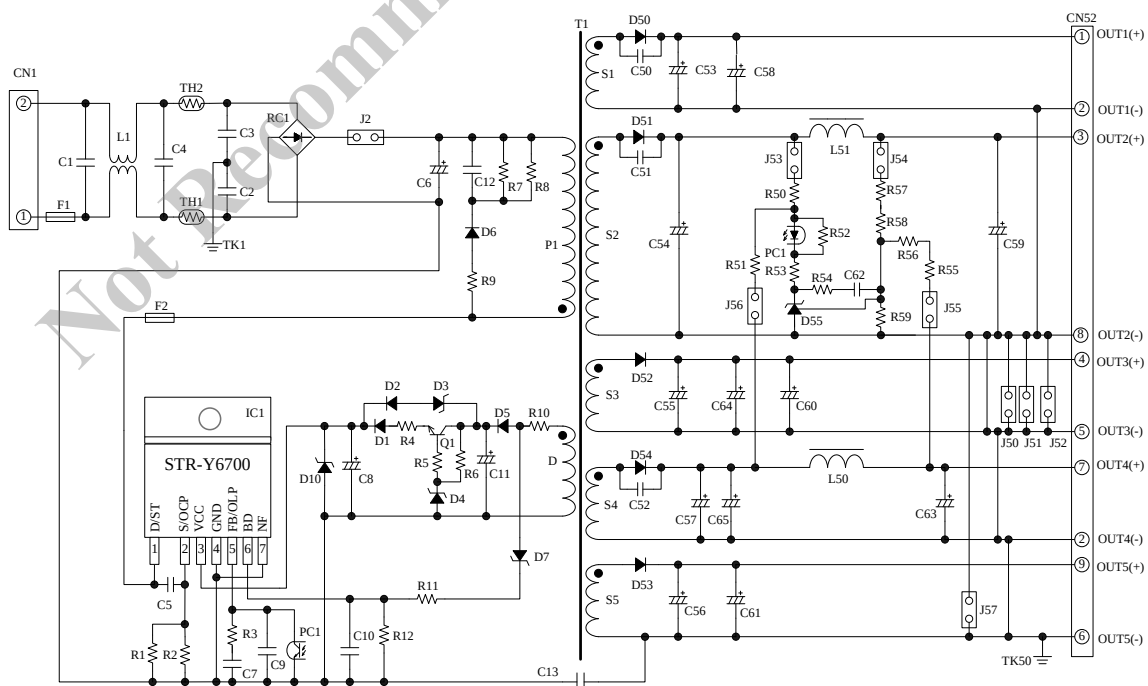


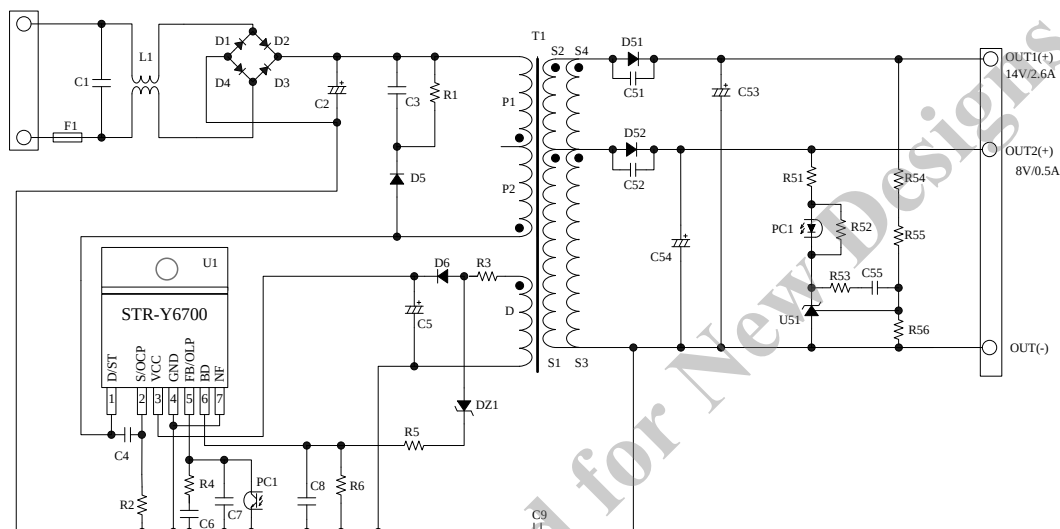
図 11-2 パターンレイアウト回路図

12. 電源回路例

● 電源仕様

使用 IC	STR-Y6754
入力電圧	AC85 V～AC265 V
最大出力電力	40.4 W
出力 1	14 V / 2.6A
出力 2	8 V / 0.5 A

● 回路図



● 部品表

記号	部品名	定格 ⁽¹⁾	弊社 推奨部品	記号	部品名	定格 ⁽¹⁾	弊社 推奨部品
C1 ⁽²⁾	Film, X2	0.1 μ F, 275 V		D52	Schottky	90 V, 1.5 A	EK 19
C2	Electrolytic	220 μ F, 400 V		DZ1	Zener	22V	
C3	Ceramic	2200 pF, 630 V		F1	Fuse	AC 250 V, 3 A	
C4	Ceramic	100 pF, 2 kV		L1 ⁽²⁾	CM inductor	3.3 mH	
C5	Electrolytic	22 μ F, 50V		PC1	Photo-coupler	PC123 相当	
C6	Ceramic	4.7 μ F, 16 V		R1 ⁽³⁾	Metal oxide	150 k Ω , 1 W	
C7 ⁽²⁾	Ceramic	4700 pF, 50V		R2 ⁽²⁾	General	0.56 Ω , 1 W	
C8 ⁽²⁾	Ceramic	470 pF, 50V		R3 ⁽²⁾	General	15 Ω	
C9	Ceramic, Y1	2200 pF, 250 V		R4	General	47 k Ω	
C51	Ceramic	2200 pF, 1 kV		R5 ⁽²⁾	General	6.8 k Ω	
C52	Ceramic	Open		R6	General	1 k Ω	
C53	Electrolytic	1000 μ F, 50 V		R51	General	820 Ω	
C54	Electrolytic	470 μ F, 16 V		R52	General	1.5 k Ω	
C55	Ceramic	0.1 μ F		R53 ⁽²⁾	General	22 k Ω	
D1	General	600V, 1A	EM01A	R54 ⁽²⁾	General	6.8 k Ω	
D2	General	600V, 1A	EM01A	R55	General, 1%	39 k Ω	
D3	General	600V, 1A	EM01A	R56	General, 1%	10 k Ω	
D4	General	600V, 1A	EM01A	T1	Transformer	トランス仕様参照	
D5	Fast recovery	1000 V, 0.5 A	EG01C	U1	IC	—	STR-Y6754
D6	Fast recovery	200 V, 1 A	AL01Z	U51	Shunt regulator	V _{REF} = 2.5 V TL431 相当	
D51	Schottky	150 V, 10 A	FMEN-210B				

⁽¹⁾ 特記のない部品の定格は、コンデンサ：50 V 以下、抵抗：1/8 W 以下

⁽²⁾ 実働評価で調整が必要な部品

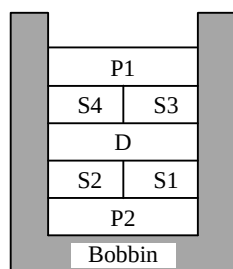
⁽³⁾ 高圧の DC 電圧が印加する高抵抗のため、電源要求仕様に応じて、電食を考慮した抵抗を選択したり、直列に抵抗を追加して、個々の印加電圧を下げたりするなどの配慮をします

STR-Y6700 Series

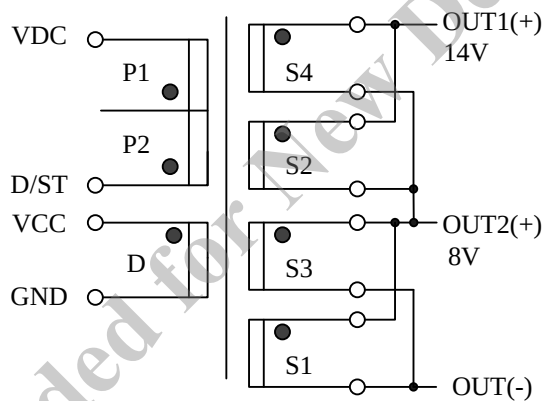
● トランス仕様

- 一次側インダクタンス L_p : 0.95 mH
- コアサイズ : EER28
- AL-value : 183 nH/N² (センターギャップ 約 0.8 mm)
- 巻線仕様

巻線名称	記号	巻数 (T)	線径 (mm)	形式
一次巻線 1	P1	43	1EUW - ϕ 0.30	2 層整列巻
一次巻線 2	P2	29	1EUW - ϕ 0.30	1 層整列巻
VCC 用補助巻線	D	12	TEX - ϕ 0.23 $\times$ 2	1 層スペース巻
出力巻線 1	S1	5	ϕ 0.32 $\times$ 2	1 層整列巻
出力巻線 2	S2	3	ϕ 0.32 $\times$ 2	1 層整列巻
出力巻線 3	S3	5	ϕ 0.32 $\times$ 2	1 層整列巻
出力巻線 4	S4	3	ϕ 0.32 $\times$ 2	1 層整列巻



トランス断面図



●印: 巻き始め

注意書き

- 本書に記載している製品(以下、「本製品」という)のデータ、図、表、およびその他の情報(以下、「本情報」という)は、本書発行時点のものです。本情報は、改良などで予告なく変更することがあります。本製品を使用する際は、本情報が最新であることを弊社販売窓口を確認してください。
- 本製品は、一般電子機器(家電製品、事務機器、通信端末機器、計測機器など)の部品に使用されることを意図しております。本製品を使用する際は、納入仕様書に署名または記名押印のうえ、返却をお願いします。高い信頼性が要求される装置(輸送機器とその制御装置、交通信号制御装置、防災装置、防犯装置、各種安全装置など)に本製品を使用することを検討する際は、必ず事前にその使用の適否について弊社販売窓口へ相談いただき、納入仕様書に署名または記名押印のうえ、返却をお願いします。本製品は、極めて高い信頼性が要求される機器または装置(航空宇宙機器、原子力制御、その故障や誤動作が生命や人体に危害を及ぼす恐れのある医療機器(日本における法令でクラスⅢ以上)など)(以下「特定用途」という)に使用されることは意図されておりません。特定用途に本製品を使用したことでお客様または第三者に生じた損害などに関して、弊社は一切その責任を負いません。
- 本製品を使用するにあたり、本製品に他の製品や部材を組み合わせる際、あるいはこれらの製品に物理的、化学的、その他の何らかの加工や処理を施す際は、使用者の責任においてそのリスクを必ず検討したうえで行ってください。
- 弊社は、品質や信頼性の向上に努めていますが、半導体製品は、ある確率で欠陥や故障が発生することは避けられません。本製品が故障し、その結果として人身事故、火災事故、社会的な損害などが発生しないように、故障発生率やディレーティングなどを考慮したうえで、使用者の責任において、本製品が使用される装置やシステム上で、十分な安全設計および確認を含む予防措置を必ず行ってください。ディレーティングについては、納入仕様書および弊社ホームページを参照してください。
- 本製品は、耐放射線設計をしておりません。
- 本書に記載している回路定数、動作例、回路例、パターンレイアウト例、設計例、推奨例、本書に記載しているすべての情報、およびこれらに基づく評価結果などは、使用上の参考として示したものです。
- 本情報に起因する使用者または第三者のいかなる損害、および使用者または第三者の知的財産権を含む財産権とその他一切の権利の侵害問題について、弊社は一切その責任を負いません。
- 本情報を、文書による弊社の承諾なしに転記や複製することを禁じます。
- 本情報について、弊社の所有する知的財産権およびその他の権利の実施、使用または利用を許諾するものではありません。
- 使用者と弊社との間で別途文書による合意がない限り、弊社は、本製品の品質(商品性、および特定目的または特別環境に対する適合性を含む)ならびに本情報(正確性、有用性、および信頼性を含む)について、明示的か黙示的かを問わず、いかなる保証もしておりません。
- 本製品を使用する際は、特定の物質の含有や使用を規制する RoHS 指令など、適用される可能性がある環境関連法令を十分に調査したうえで、当該法令に適合するように使用してください。
- 本製品および本情報を、大量破壊兵器の開発を含む軍事用途やその他軍事利用の目的で使用しないでください。また、本製品および本情報を輸出または非居住者などに提供する際は、「米国輸出管理規則」や「外国為替及び外国貿易法」など、各国で適用される輸出管理法令などを遵守してください。
- 弊社物流網以外における本製品の落下などの輸送中のトラブルについて、弊社は一切その責任を負いません。
- 本書は、正確を期すために慎重に製作したのですが、本書に誤りがないことを保証するものではありません。万一、本情報の誤りや欠落に起因して、使用者に損害が生じた場合においても、弊社は一切その責任を負いません。
- 本製品を使用する際の一般的な使用上の注意は弊社ホームページを、特に注意する内容は納入仕様書を参照してください。
- 本書で使用されている個々の商標、商号に関する権利は、弊社を含むその他の原権利者に帰属します。

DSGN-CJZ-16003